



UNIwersytet
ZIELONOGÓRSKI

Wydział Nauk Inżynieryjno-Technicznych
Instytut Sterowania i Systemów Informatycznych

ul. prof. Z. Szafrana 2, 65-516 Zielona Góra, tel.: 683282422
e-mail: sekretariat@issi.uz.zgora.pl, http://www.issi.uz.zgora.pl

Zielona Góra, 30 stycznia 2026

prof. dr hab. inż. Dariusz Uciński
e-mail: d.uciński@issi.uz.zgora.pl

SEKRETARIAT
Rady Dyscypliny AEEITK

Wpłynęło dnia 6.02.2026

Zarejestrowano pod nr 511.2.2025

Podpis 

Recenzja

**zgłoszonego osiągnięcia naukowego oraz istotnej aktywności naukowej
dra inż. Tomasza Kryjaka w związku z wnioskiem o nadanie stopnia
doktora habilitowanego w dyscyplinie automatyka, elektronika,
elektrotechnika i technologie kosmiczne**

Niniejsza recenzja powstała na zlecenie Rady Dyscypliny Automatyka, Elektronika, Elektrotechnika i Technologie Kosmiczne Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie w związku z powołaniem mnie na recenzenta w postępowaniu o nadanie stopnia doktora habilitowanego dr. inż. Tomaszowi Kryjakowi.

Ocenę przygotowano na podstawie dokumentacji przewodu habilitacyjnego dra inż. Tomasza Kryjaka, w tym osiągnięcia naukowego pt. *Architektury sprzętowe do przetwarzania strumienia wideo wysokiej rozdzielczości oraz danych z kamer zdarzeniowych*, w skład którego wchodzi cykl dziewiętnastu publikacji Habilitanta z lat 2010–2025, oraz autoreferatu.

1. Podstawowe informacje o habilitancie

Dr inż. Tomasz Kryjak ukończył studia magisterskie w 2008 r. na Wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki Akademii Górniczo-Hutniczej (AGH) w Krakowie (kierunek automatyka i robotyka, praca dyplomowa pt. *Implementacja algorytmów kryptograficznych w środowisku rekonfigurowalnym*). W 2013 r. Rada Wydziału Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej AGH nadała mu z wyróżnieniem stopień naukowy doktora nauk technicznych w dyscyplinie automatyka i robotyka na podstawie rozprawy doktorskiej pt. *Implementacja zaawansowanych algorytmów przetwarzania, analizy i szyfrowania obrazów w układach reprogramowalnych* (promotor: dr hab. inż. Marek Gorgoń, prof. nadzw. AGH).

Od 2007 r. Kandydat jest zatrudniony w Katedrze Automatyki w Katedrze Automatyki i Robotyki, na Wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej AGH (w latach 2007–2013



jako asystent, a od 2013 r. jako adiunkt).

2. Ocena osiągnięcia naukowego

Przedmiotem oceny jest powiązany tematycznie cykl dziewiętnastu publikacji pod wspólnym tytułem *Architektury sprzętowe do przetwarzania strumienia wideo wysokiej rozdzielczości oraz danych z kamer zdarzeniowych*. Publikacje te ukazały się w latach 2010–2025. Wśród nich znajduje się 12 prac opublikowanych w czasopismach indeksowanych w Web of Science, 6 prac w materiałach konferencji międzynarodowych indeksowanych w Web of Science i/lub IEEE Xplore, oraz jedna praca opublikowana w polskim kwartalniku naukowo-technicznym.

W przedstawionym cyklu tylko jedna publikacja (praca przeglądowa) jest samodzielna, a wszystkie pozostałe powstały we współautorstwie z innymi pracownikami macierzystej Katedry Automatyki i Robotyki AGH. Jest to zrozumiałe z uwagi na specyfikę i czasochłonność badań naukowych, które wymagają dużej biegłości w zakresie algorytmiki przetwarzania obrazów, ich odwzorowania w językach wysokiego poziomu, a także implementacji, integracji oraz ewaluacji na docelowej platformie sprzętowej. Z oświadczeń o wkładzie merytorycznym w powstanie poszczególnych publikacji wynika, że Kandydat jest albo wiodącym autorem, albo posiada co najmniej taki sam wkład, jak współautorzy.

Cykl publikacji dotyczy zagadnień zaawansowanych implementacji systemów wizyjnych, które od ponad pół wieku stanowią jeden z głównych kierunków badań automatyki i robotyki. Współczesne systemy wizyjne opierają się o szerokie spektrum czujników, od powszechnych i tanich kamer CMOS po wyspecjalizowane układy termowizyjne czy zdarzeniowe. Kluczowym problemem poruszonym w pracach Kandydata jest konieczność przetwarzania danych w czasie rzeczywistym przy zachowaniu niskiej latencji. Jest to szczególnie istotne w krytycznych aplikacjach takich jak zaawansowane systemy wspomagania kierowcy oraz pojazdy autonomiczne, inteligentne systemy transportowe i monitoring wizyjny, a także w percepcja robotów mobilnych. W realiach praktyki te wymagania zderzają się z ograniczeniami budżetu energetycznego, co wyklucza stosowanie energochłonnych stacji roboczych (np. zestawów CPU + GPU) czy poleganie wyłącznie na chmurze obliczeniowej ze względu na brak gwarancji niezawodnej łączności o niskim opóźnieniu. Najwyższą efektywnością charakteryzują się tu dedykowane układy ASIC, najlepiej dopasowane do konkretnego algorytmu, najczęściej jednak o wysokim koszcie produkcji. Nieco niższą, ale również wysoką efektywnością energetyczną oferują układy rekonfigurowalne FPGA i SoC (System-on-Chip) FPGA, umożliwiające tworzenie dedykowanych i modyfikowalnych architektur obliczeniowych. Jednym z głównych rezultatów badań raportowanych w recenzowanym cyklu publikacji jest silne uzasadnienie potrzeby stosowania metodologii projektowania algorytmów uwzględniającego architekturę sprzętową (*ang. hardware-aware algorithm design*). W podejściu uwzględnia się więc specyfikę konkretnej platformy sprzętowej oraz wykorzystuje koncepcję współprojektowania sprzętu i oprogramowania (*ang. hardware-software co-design*), w której zakłada się, że zarówno warstwa sprzętowa, jak i programowa powstają równolegle i wzajemnie na siebie wpływają, aby osiągnąć optymalną wydajność. Taki podział zadań między zasoby programowe (GPP, GPU) a logiczne (FPGA, ASIC) pozwala na osiągnięcie pożądanej wydajności przy minimalnym zużyciu energii.

Działalność naukowa Kandydata koncentruje się na projektowaniu dedykowanych architektur sprzętowych do akceleracji algorytmów wizyjnych, ze szczególnym uwzględnieniem systemów percepcji dla robotów mobilnych. Badania mają charakter interdyscyplinarny i łączą zagadnienia z zakresu automatyki, elektroniki oraz informatyki. W swoich pracach Kandydat wykorzystuje zaawansowane układy rekonfigurowalne FPGA oraz heterogeniczne systemy typu SoC FPGA (m.in. platformy Zynq i Zynq UltraScale+), realizując

autorskie rozwiązania w językach opisu sprzętu.

Kluczowym osiągnięciem Kandydata jest opracowanie architektur obliczeniowych (w tym akceleratorów dla głębokich sieci neuronowych) optymalizowanych pod kątem rygorystycznych wymogów systemów osadzonych, a w szczególności:

- wysokiej efektywności w zadaniach klasyfikacji i detekcji obiektów,
- pracy w czasie rzeczywistym, zapewniającej stabilność wizyjnego sprzężenia zwrotnego,
- możliwie niskiej latencji, co ma krytyczne znaczenie dla bezpieczeństwa pojazdów autonomicznych i bezzałogowych statków powietrznych.
- efektywności energetycznej, pozwalającej na implementację złożonych algorytmów w urządzeniach o ograniczonym budżecie energii.

Prace Kandydata stanowią spójny wkład w rozwój systemów wizyjnych, w których ścisła integracja warstwy sprzętowej z algorytmiczną pozwala na osiągnięcie parametrów niedostępnych dla klasycznych systemów procesorowych, co jest nie do przecenienia w zastosowaniach.

Przedłożony do recenzji materiał dokumentuje autorski wariant metodologii projektowania systemów obliczeniowych, ukierunkowany na sprzętową akcelerację algorytmów przetwarzania danych wizyjnych. Projektowanie algorytmów uwzględniające architekturę sprzętową (*ang. hardware-aware algorithm design*) stanowi spójny proces badawczo-rozwojowy, łączący aspekty teoretycznej analizy algorytmicznej z praktyczną implementacją sprzętowo-programową.

Wariant metodologii rozwijany przez Kandydata składa się z następujących etapów:

- **Analiza i modyfikacja istniejących algorytmów:** Proces rozpoczyna się od pogłębionego przeglądu literatury (CPU, GPU, FPGA, ASIC), co pozwala na zaproponowanie nowych wariantów algorytmów zoptymalizowanych pod kątem efektywności energetycznej i szybkości obliczeń. Kluczowym elementem jest tutaj identyfikacja możliwości zrównoleglenia zadań oraz optymalny podział zasobów obliczeniowych.
- **Modelowanie programowe:** Wybrane wersje algorytmów implementuje się w językach wysokiego poziomu (Python, C/C++), przy jednoczesnym uwzględnieniu specyfiki docelowego sprzętu. Kandydat kładzie nacisk na stosowanie obliczeń stałoprzecinkowych, uwzględnienie hierarchii pamięci oraz – w przypadku sieci neuronowych – wykorzystanie technik kwantyzacji i pruningu.
- **Ewaluacja i weryfikacja modelu programowego:** Modele programowe poddawane są rygorystycznym testom na uznanych zbiorach danych, co zapewnia porównywalność wyników z rozwiązaniami światowymi. Analizie podlega wpływ wprowadzonych uproszczeń (np. stałoprzecinkowych) na skuteczność końcową algorytmu.
- **Implementacja sprzętowa:** Kandydat wskazuje na świadomy wybór języków opisu sprzętu (VHDL, Verilog, SystemVerilog) ponad opis modułów w języku wysokiego poziomu, motywując to dbałością o najwyższą wydajność architektury. Proces ten obejmuje wielopoziomowe symulacje (funkcjonalne i sprzętowe).
- **Integracja i testy na docelowej platformie sprzętowej:** Końcowy etap obejmuje integrację z komponentami zewnętrznymi (kamery, pamięci RAM) oraz weryfikację rzeczywistych parametrów pracy: czasu rzeczywistego, latencji oraz zużycia energii.

Opisana metodologia stanowi dojrzałe narzędzie badawcze, które zostało skutecznie zastosowane we

wszystkich pracach wchodzących w skład osiągnięcia naukowego. Pozwala ona na wytwarzanie nowatorskich architektur obliczeniowych, które łączą wysoką skuteczność detekcji z rygorystycznymi wymaganiami pracy w czasie rzeczywistym przy ograniczonym budżecie energetycznym. Mimo wysokiej pracochłonności i wyzwań technicznych na etapie uruchamiania sprzętu, podejście to gwarantuje uzyskanie założonych celów naukowych i aplikacyjnych.

Poniżej omówiono zawartość poszczególnych artykułów wchodzących w skład monotematycznego cyklu publikacyjnego podsumowującego osiągnięcia Habilitanta we wspomnianym wyżej zakresie (podane wskaźniki bibliograficzne dotyczą bazy Web of Science):

Publikacje V01–V04 dotyczą projektowania algorytmów segmentacji obiektów pierwszoplanowych w oparciu o zasoby rekonfigurowalne i są efektem projektu NCN Preludium.

Publikacja V01: Tomasz Kryjak, Marek Gorgon (2010): Parallel implementation of local thresholding in Mitrion-C, *International Journal of Applied Mathematics and Computer Science*, 20(3): 571–580. SCIENDO, IF = 1.4, kwartył Q2 dla matematyki stosowanej, Q4 dla automatyki i systemów sterowania, 100 pkt MNiSW

W artykule dokonano krytycznej analizy użyteczności wysokopoziomowego języka opisu sprzętu Mitrion-C w kontekście akceleracji algorytmów przetwarzania obrazów na układach FPGA. Zaproponowano autorską modyfikację algorytmu lokalnego progowania Sauvola, która pozwoliła na dwukrotną redukcję wykorzystania zasobów logicznych FPGA przy zachowaniu pierwotnej jakości przetwarzania. Przeprowadzono szczegółowe porównanie implementacji stało- i zmiennoprzecinkowych, wykazując wpływ precyzji obliczeń na efektywność wykorzystania zasobów układu. Mimo abstrakcji oferowanej przez Mitrion-C, kluczowe dla efektywności pozostaje podejście *hardware-aware* oraz umiejętność projektowania algorytmów zorientowanych na przepływ danych (*data-flow*), a nie sekwencję instrukcji. Precyzyjnie zidentyfikowano granice stosowalności badanej technologii, wskazując na jej przydatność w przypadku obrazów statycznych oraz brak wsparcia dla przetwarzania strumieniowego w czasie rzeczywistym.

Publikacja V02: Tomasz Kryjak, Mateusz Komorkiewicz, Marek Gorgon (2014): Real-time background generation and foreground object segmentation for high-definition colour video stream in FPGA device, *Journal of Real-Time Image Processing*, 9(1): 61–77. Springer, IF = 3, kwartył Q2 dla elektroniki i elektrotechniki, 70 pkt MNiSW

Artykuł opisuje projekt i implementację systemu zdolnego do generowania złożonego modelu tła oraz segmentacji obiektów pierwszego planu w czasie rzeczywistym. Rozwiązanie przetwarza kolorowy strumień wideo o wysokiej rozdzielczości 1920×1080@60 fps, co stanowiło dotąd duże wyzwanie dla standardowych systemów wbudowanych. Wysoką jakość segmentacji osiągnięto poprzez zastosowanie zaawansowanych metod matematycznych i algorytmicznych, dotyczących przestrzeni barw (wykorzystanie modelu CIE Lab zamiast RGB), nietrywialnej techniki generacji tła (wykorzystanie informacji o jasności, kolorze, krawędziach oraz teksturze), oraz opracowanie modelu nie przekraczającego ograniczonej przepustowości do zewnętrznej pamięci RAM. Całość systemu została osadzona w pojedynczym, wysokowydajnym układzie FPGA Virtex 6, który zapewnia niezbędne zasoby logiczne i wysoką częstotliwość pracy. System jest dedykowany problemom, w których kluczowa jest identyfikacja nowych lub poruszających się obiektów (inteligentny monitoring wizyjny, systemy wizji maszynowej).

Publikacja V03: Tomasz Kryjak, Mateusz Komorkiewicz, Marek Gorgon (2014): Real-time implementation of foreground object detection from a moving camera using ViBE algorithm, *Computer Science and Information Systems*, 11(4), 1617–1637.

Cosis Consortium (Uniwersytet w Belgradzie, Serbia), IF = 1.8, kwartył Q3 dla informatyki i systemów informacyjnych, 40 pkt MNiSW

Praca raportuje pierwszą znaną realizację sprzętową systemu detekcji obiektów pierwszego planu dedykowaną ruchomej kamerze, osadzoną w układzie reprogramowalnym. Rozwiązanie to łączy estymację ruchu kamery z zaawansowanym modelowaniem tła. Architektura systemu opiera się o dwa kluczowe etapy przetwarzania: kompensację ruchu (obliczanie przesunięcia między kolejnymi klatkami obrazu przy użyciu korelacyjnego śledzenia punktów charakterystycznych) i segmentację obrazu (generowanie tła z wykorzystaniem wydajnego algorytmu ViBE). System zaimplementowany na platformie FPGA Virtex 7 przetwarzał obrazy 720×576@50 fps stając się jednym z najlepszych rozwiązań tego typu na świecie. Rozwiązanie poddano rygorystycznym testom na sekwencjach wideo zarejestrowanych zarówno kamerą statyczną, jak i znajdującą się w ruchu, potwierdzając skuteczność zaproponowanych modułów sprzętowych.

Publikacja V04: Tomasz Kryjak, Mateusz Komorkiewicz, Marek Gorgon (2014): Real-time foreground object detection combining the PBAS background modelling algorithm and feedback from scene analysis module, *International Journal of Electronics and Telecommunications*, 60(1): 61–72.

Polska Akademia Nauk, IF = 0.7, kwartył Q4 dla telekomunikacji, 70 pkt MNiSW

Artykuł opisuje realizację sprzętową znanego z literatury algorytmu PBAS (Pixel-Based Adaptive Segmenter) wzbogaconą o moduł analizy sceny, która pozwala na skuteczną detekcję obiektów na pierwszym planie. Zaproponowano mechanizm rozróżniania zatrzymanych obiektów (np. zaparkowanych samochodów czy porzuconego bagażu) od tzw. „duchów” (*ghosts*), wykorzystując analizę podobieństwa krawędzi oraz różnicowanie kolejnych klatek. Pozwoliło to na uzyskanie lepszych wyników w testach dla sekwencji zawierających obiekty statyczne w porównaniu z oryginalną wersją PBAS. System zaimplementowano w energooszczędnym układzie FPGA Virtex 7, co pozwoliło na wykorzystanie równoległości obliczeniowej. Architektura integruje następujące moduły: segmentację PBAS i różnicowanie klatek, detekcję krawędzi filtrem Sobela oraz filtrowanie medianowe, oraz zaawansowaną, jednoprzebiegową analizę składowych spójnych (CCA). Układ charakteryzuje się wysoką wydajnością, przetwarzając w czasie rzeczywistym strumień wideo 720×576@50 fps. Głównym osiągnięciem autorów jest optymalizacja algorytmu PBAS pod kątem obsługi obiektów nieruchomych, opracowanie wydajnej architektury sprzętowej oraz jej udana weryfikacja przy użyciu kamery HDMI na rzeczywistych sekwencjach wideo.

Prace V05–V06 powstały w okresie przed rozpoczęciem projektu NCN Sonata, którego Kandydat był kierownikiem.

Publikacja V05: Mateusz Komorkiewicz, Tomasz Kryjak, Marek Gorgon (2014): Efficient hardware implementation of the Horn-Schunck algorithm for high-resolution real-time dense optical flow sensor, *Sensors*, 14(2): 2860–2891.

Praca opisuje wysokowydajną, potokową architekturę sprzętową dedykowaną obliczaniu gęstego przepływu optycznego metodą Horna-Schuncka. Rozwiązanie zoptymalizowano pod kątem funkcjonowania w czasie rzeczywistym. Głównym osiągnięciem jest stworzenie pierwszego systemu opartego na FPGA, który przetwarza strumień wideo w pełnej rozdzielczości HD 1920×1080@60 fps przy zachowaniu wysokiej płynności. W przeciwieństwie do poprzednich prac, zaproponowano w pełni potokową strukturę, która eliminuje konieczność częstego korzystania z zewnętrznej pamięci RAM (pamięć ta służy jedynie do przechowywania obrazów). Opracowano i porównano trzy wersje modułów różniące się reprezentacją danych (stało- i zmiennoprzecinkową) oraz częstotliwością pracy. Dokonano również rygorystycznej oceny wpływu przejścia z obliczeń zmiennoprzecinkowych na stałoprzecinkowe na dokładność wyników. Należy zaznaczyć, że rozwiązanie nie ogranicza się do symulacji, zaprezentowano bowiem działający system wizyjny na płycie ewaluacyjnej Xilinx VC707 (układ Virtex 7), odbierający sygnał bezpośrednio z kamery HDMI. Praca dowodzi, że układy FPGA stanowią idealną platformę dla zaawansowanych systemów wizyjnych, oferując wyniki na poziomie *state-of-the-art* przy bardzo wysokiej efektywności energetycznej.

Publikacja V06: Tomasz Kryjak, Mateusz Komorkiewicz, Marek Gorgon (2018): Real-time hardware-software embedded vision system for ITS smart camera implemented in Zynq SoC, *Journal of Real-Time Image Processing*, 15(1): 123–159.

Springer, IF = 3, kwartył Q2 dla elektroniki i elektrotechniki, 70 pkt MNiSW

Artykuł opisuje projekt i weryfikację heterogenicznego systemu wizyjnego opartego o układ Zynq SoC, który łączy zasoby rekonfigurowalne (FPGA) z wydajnym procesorem ARM. Jest to rozwiązanie dedykowane monitorowaniu ruchu drogowego, zapewniające wysoką wydajność przy niskim poborze mocy. Kluczowe moduły obliczeniowe zaimplementowano w logice sprzętowej (Verilog HDL), wykorzystując pełną równoległość i potokowość przetwarzania. Jednostka ARM (z systemem PetaLinux) odpowiada za analizę wysokopoziomową oraz komunikację z infrastrukturą zewnętrzną, np. sterownikami świateł. System okazał się zdolny do przetwarzania w czasie rzeczywistym strumienia wideo 720×576@50 fps. Pomyślnie zintegrowano zestaw algorytmów kluczowych w monitoringu ruchu drogowego: detekcję i pomiar (wykrywanie, zliczanie oraz estymację prędkości pojazdów z użyciem wirtualnych linii detekcji, a także badanie długości kolejek przed skrzyżowaniem), oraz rozpoznawanie cech (identyfikację typu pojazdu za pomocą maszyny wektorów nośnych i cech lokalnych oraz analizę koloru w przestrzeni YcbCr). Według autorów jest to pierwsze opisane w literaturze podejście wykorzystujące architekturę Zynq SoC w tak kompleksowy sposób na potrzeby inteligentnych kamer drogowych. Wyniki potwierdziły, że układy SoC FPGA były wówczas optymalnym wyborem dla zaawansowanych systemów wbudowanych analizy obrazu.

Prace V07–V14 powstały w ramach projektu NCN Sonata, którym kierował Kandydat, poświęconemu organizacji obliczeń w heterogenicznych układach rekonfigurowalnych umożliwiających przetwarzanie strumienia wizyjnego UHD/4K w czasie rzeczywistym.

Publikacja V07: Marcin Kowalczyk, Dominika Przewlocka-Rus, Tomasz Kryjak (2018): Real-time implementation of contextual image processing operations for 4K video stream in Zynq UltraScale+ MPSoC, *DASIP 2018: Conference on Design and Architectures for Signal and Image Processing*, Porto,

Portugal.

Konferencja w bazach WoS oraz IEEE Xplore

Artykuł omawia proces projektowania i wdrażania zaawansowanych modułów wstępnego przetwarzania obrazu, zdolnych do obsługi strumienia wideo 3840×2160@60 fps. System implementuje szeroki wachlarz filtrów kontekstowych, w tym filtry uśredniające, Gaussa i medianowe, a także detekcję krawędzi (Sobel, Canny) oraz operacje morfologiczne (erozja i dylatacja). Aby sprostać ogromnej ilości danych, opisano schematy przetwarzania 2 oraz 4 pikseli w jednym cyklu zegara, co wiąże się ze specyficznymi wyzwaniami w projektowaniu potokowym. Dokonano zestawienia efektywności energetycznej oraz zużycia zasobów logicznych dla dwóch podejść: tradycyjnego opisu sprzętu w języku Verilog oraz narzędzi wysokiego poziomu (Vivado HLS, SDSoc, biblioteka xfOpenCV). Wszystkie zaprojektowane moduły pomyślnie przeszły testy wydajnościowe, zapewniając stabilne przetwarzanie obrazu 4K w czasie rzeczywistym. Potwierdziło to wysoką przydatność nowoczesnych (wówczas) układów Zynq UltraScale+ MPSoC w najbardziej wymagających aplikacjach wizyjnych.

Publikacja V08: Marcin Kowalczyk, Piotr Ciarach, Dominika Przewlocka-Rus, Hubert Szolc, Tomasz Kryjak (2021): Real-time FPGA implementation of parallel connected component labelling for a 4K video stream, *Journal of Signal Processing Systems for Signal, Image, and Video Technology*, 93(5): 481—498.

Springer, IF = 1.8, kwartył Q3 dla informatyki i systemów informacyjnych, Q3 dla elektroniki i elektrotechniki, 40 pkt MNiSW

Praca opisuje autorską, sprzętową realizację jednoetapowych modułów etykietowania (CCL) oraz analizy składowych spójnych (CCA) w logice rekonfigurowalnej. System umożliwia przetwarzanie strumienia wideo 4K o rozdzielczości 3840×2160@60 fps w czasie rzeczywistym. Główną nowością jest wsparcie dla przetwarzania 2 oraz 4 pikseli w jednym cyklu zegara (2 i 4 ppc). Według autorów była to pierwsza w literaturze implementacja na FPGA zdolna do obsługi wideo 4K@60fps zweryfikowana fizycznie na sprzęcie. Moduły zaimplementowano i porównano na nowoczesnych układach Xilinx Zynq UltraScale+ MPSoC (płytki ZCU 102 i ZCU 104). Rozwiązanie zweryfikowano w oparciu o system wizyjny dedykowany segmentacji obszarów o kolorze skóry. Praca stanowi istotny etap rozwoju systemów wizyjnych czasu rzeczywistego, oferując gotowe bloki dla najbardziej wymagających standardów wideo.

Publikacja V09: Krzysztof Blachut, Tomasz Kryjak (2022): Real-time efficient FPGA implementation of the multi-scale Lucas-Kanade and Horn-Schunck optical flow algorithms for a 4K video stream, *Sensors*, 22(13): 5017.

MDPI, IF = 3.5, kwartył Q2 dla elektroniki i elektrotechniki, 100 pkt MNiSW

Artykuł opisuje innowacyjną implementację dwóch algorytmów aproksymacji potoku optycznego opartych o iteracyjne obliczanie gradientu funkcji obrazu — Lucasa–Kanade oraz Horna–Schuncka — na platformie sprzętowej FPGA Zynq UltraScale+ MPSoC. Głównym celem pracy było umożliwienie obliczeń przepływu optycznego dla strumienia wideo o bardzo wysokiej rozdzielczości, co jest kluczowe w nowoczesnej robotyce i pojazdach autonomicznych. Dzięki zastosowaniu wektorowego formatu danych, system przetwarza obraz 3840×2160@60 fps. Wykorzystanie wielu skal pozwala na skuteczną detekcję dużych przesunięć pikseli. Zastosowanie różnych formatów danych w zależności od skali umożliwiło wysoką efektywność przy jednoczesnym ograniczeniu zużycia zasobów układu. Szacowany pobór mocy całego



rozwiązania wynosi poniżej 6 W. Architektura eliminuje konieczność korzystania z dodatkowej zewnętrznej pamięci do przechowywania wartości tymczasowych, co znacząco przyspiesza działanie. Autorzy podkreślają, że była to pierwsza w literaturze propozycja architektury zdolnej do wielkoskalowych obliczeń przepływu optycznego w rozdzielczości 4K w czasie rzeczywistym na platformie FPGA.

Publikacja V10: Tomasz Kryjak, Krzysztof Blachut, Hubert Szolc, Mateusz Wasala (2022): Real-time CLAHE algorithm implementation in SoC FPGA device for 4K UHD video stream, *Electronics*, 11(14): 2248.

MDPI, IF = 2.6, kwartył Q2 elektroniki i elektrotechniki, 100 pkt MNiSW

Praca opisuje proces projektowania i wdrożenia algorytmu CLAHE (Contrast-Limited Adaptive Histogram Equalization), tradycyjnej metody poprawy jakości obrazów o niskim kontraście, na platformie FPGA. Zaproponowana architektura umożliwia przetwarzanie strumienia wideo w rozdzielczości 4K przy zachowaniu płynności 60 kl./s w czasie rzeczywistym. Nowością było przetwarzanie wektorowe (4 piksele na cykl zegara), co wymagało gruntownego przeprojektowania komponentów algorytmu. Wybór układu FPGA podyktowany był możliwością prowadzenia obliczeń równoległych oraz bardzo niskim poborem mocy. Według autorów była to wówczas pierwsza znana implementacja sprzętowa CLAHE pozwalająca na pracę w czasie rzeczywistym z obrazem 4K.

Publikacja V11: Mateusz Wasala, Hubert Szolc, Tomasz Kryjak (2022): An efficient real-time FPGA-based ORB feature extraction for an UHD video stream for embedded visual SLAM, *Electronics*, 11(14): 2259.

MDPI, IF = 2.6, kwartył Q2 elektroniki i elektrotechniki, 100 pkt MNiSW

Artykuł opisuje innowacyjną implementację sprzętową technik detekcji i opisu punktów charakterystycznych, kluczowych w robotyce mobilnej (odometria i technika SLAM), przeznaczoną do przetwarzania strumienia wideo o bardzo wysokiej rozdzielczości w czasie rzeczywistym. Głównym celem była realizacja algorytmu ORB (Oriented FAST i Rotated BRIEF) dla systemów wizyjnych wymagających dużej szybkości działania i niskiego poboru energii. Aby dostosować system do rozdzielczości 4K, autorzy wykorzystali deskryptor RS-BRIEF (zamiast klasycznego R-BRIEF) oraz po raz pierwszy na świecie zaimplementowali na układzie FPGA metodę Fast Score zaproponowaną w bibliotece OpenCV i używaną tu do sprawdzania poprawności detekcji. System jest w pełni potokowy i przetwarza dane w sposób równoległy, co pozwala na uniknięcie wąskich gardeł typowych dla tak wysokich rozdzielczości. Według autorów jest to pierwsza znana realizacja algorytmu ORB działająca w czasie rzeczywistym dla standardu 4K. Biorąc pod uwagę rygorystyczne wymagania stawiane np. układom wizyjnym dronów (ograniczona moc obliczeniowa i budżet energetyczny), proponowane rozwiązanie stanowi duży postęp w dziedzinie wbudowanych systemów wizyjnych.

Publikacja V12: Michal Machura, Michal Danilowicz, Tomasz Kryjak (2022): Embedded object detection with custom LittleNet, FINN and vitis AI DCNN accelerators, *Journal of Low Power Electronics and Applications*, 12(2):30.

MDPI, IF = 1.8, kwartył Q3 elektroniki i elektrotechniki, 20 pkt MNiSW

Praca dotyczy akceleracji sprzętowej głębokich sieci neuronowych na potrzeby systemów detekcji obiektów. Porównano trzy metody implementacji akceleratorów sprzętowych: LittleNet (autorski akcelerator o strukturze gruboziarnistej), FINN (akcelerator drobnoziarnisty rozwijany przez firmę AMD) oraz Vitis AI (podejście sekwencyjne rozwijane przez firmę AMD). Ewaluację systemów przeprowadzono na płycie deweloperskiej Avnet Ultra96-V2 (układ Zynq UltraScale+ MPSoC) z wykorzystaniem standardowych zestawów danych Visual Object Tracking oraz Visual Tracking Benchmark. Przedstawiono rzadko spotykane w literaturze bezpośrednie zestawienie środowisk FINN oraz Vitis AI w oparciu o tę samą architekturę sieci i te same urządzenia. Zaproponowano sieci LittleNet i YoloFINN, zoptymalizowane pod kątem rekonfigurowalnych platform wbudowanych. Autorski akcelerator wprowadza m.in. operację wielokanałowych spłotów głębokościowych (*ang.* multidepthwise convolution) oraz zaawansowane buforowanie wyników warstw, co ogranicza transfer danych z pamięcią zewnętrzną i determinuje większą szybkość przetwarzania niż rozwiązania konkurencyjne. Sformułowano również zasady optymalizacji zużycia energii, biorące pod uwagę częstotliwość pracy oraz stopień równoległości obliczeń.

Publikacja V13: Mateusz Wasala, Tomasz Kryjak (2022): Real-time HOG+SVM based object detection using SoC FPGA for a UHD video stream, 11th Mediterranean Conference on Embedded Computing (MECO), Budva, Montenegro.

Konferencja w bazie IEEE Xplore

Detekcja pieszych to kluczowy element systemów wspomagania kierowcy oraz zaawansowanego monitoringu wizyjnego. Współczesne detektory oparte o głębokie sieci neuronowe (np. YOLO) są nadal zbyt obciążające obliczeniowo, by przetwarzać obraz o bardzo wysokiej rozdzielczości w czasie rzeczywistym przy ograniczonym budżecie energetycznym. Dlatego w pracy zaproponowano sprzętową implementację detektora opartego o ekstrakcję cech w postaci histogramów zorientowanych gradientów (HOG) wykorzystujący tradycyjną maszynę wektorów nośnych (SVM). System uruchomiony na układzie AMD Xilinx Zynq UltraScale+ MPSoC umożliwia przetwarzanie wideo w rozdzielczości 4K@60 fps. W momencie powstania publikacji był to jedyny moduł sprzętowy HOG + SVM wspierający rozdzielczość 4K i format 4 pcc.

Publikacja V14: Mariusz Grabowski, Tomasz Kryjak (2023): Real-time FPGA implementation of the semi-global matching stereo vision algorithm for a 4K/UHD video stream, Design and Architecture for Signal and Image Processing: 16th International Workshop, DASIP 2023: Toulouse, France.

Materiały warsztatów opublikowało wydawnictwo Springer (LNCS, vol. 13879)

Artykuł opisuje projekt i implementację algorytmu stereowizyjnego półglobalnego dopasowania (*ang.* semi-global matching, SGM) w układzie FPGA, przeznaczoną do przetwarzania obrazu stereoskopowego w czasie rzeczywistym. System obsługuje strumień wideo 4K/Ultra HD (3840×2160@30) przy 64 poziomach dysparycji. Zastosowano architekturę operującą na 4 pikselach w jednym cyklu zegara (4ppc). Autorzy zmodyfikowali bazowy algorytm SGM, aby rozwiązać problem zależności danych i spełnić restrykcyjne wymagania czasowe układu, zachowując przy tym dokładność porównywalną z oryginałem. Rozwiązanie zaimplementowano na płycie rozwojowej Xilinx VC707 z układem Virtex-7. Według opinii autorów była to wówczas jedyna zweryfikowana implementacja sprzętowa metody SGM dedykowana dla rozdzielczości 4K/Ultra HD.

Prace E01–E05 dotyczą architektur do przetwarzania danych z kamer zdarzeniowych, które w ciągu ostatnich kilku lat cieszą się szybko rosnącym zainteresowaniem zarówno ze strony zespołów naukowych, jak i przemysłu.

Publikacja E01: Kamil Bialik, Marcin Kowalczyk, Krzysztof Blachut Tomasz Kryjak (2023): Zliczanie szybkich obiektów z wykorzystaniem kamery zdarzeniowej — Fast object counting with an event camera, *Pomiary Automatyka Robotyka*, 27(1): 79–84.

70 pkt MNiSW

Praca opisuje zastosowanie kamery zdarzeniowej do zliczania małych, szybko przemieszczających się obiektów (ziaren kukurydzy) spadających wzdłuż pola widzenia czujnika. Wykorzystane urządzenie charakteryzuje się niską latencją, brakiem rozmycia ruchu, poprawnym działaniem w różnych warunkach oświetleniowych oraz bardzo niskim poborem mocy. Działanie systemu sprawdzono na stanowisku ze zsysem i podajnikiem wibracyjnym, który umożliwiał płynną regulację liczby spadających ziaren. Układ sterowania oparto o regulator PID, który skutecznie utrzymywał stały, zadany przepływ ziaren w czasie. Zaproponowany algorytm analizuje dane w czasie rzeczywistym i może być uruchomiony na typowym komputerze PC. Szereg testów potwierdził wysoką dokładność metody (wyniki bardzo zbliżone do wartości referencyjnych) oraz jej przydatność w szerokim spektrum zastosowań przemysłowych.

Publikacja E02: Marcin Kowalczyk, Tomasz Kryjak (2023): Interpolation-based event visual data filtering algorithms, *IEEE/CVF Conference on Computer Vision and Pattern Recognition Workshops*, Vancouver, Canada

Konferencja w bazie IEEE Xplore

Artykuł zajmuje się problemem znacznego zaszumienia strumienia danych z kamer zdarzeniowych. Zaproponowano cztery algorytmy oparte o macierz filtrów o nieskończonej odpowiedzi impulsowej. Rozwiązanie wyróżnia się wyjątkową efektywnością przy minimalnym zapotrzebowaniu na zasoby. Metoda pozwala na usunięcie około 99% szumu, zachowując przy tym większość użytecznego sygnału. Dla rozdzielczości 1280×720 algorytmy wymagają jedynie ok. 30 KB pamięci. Nowe algorytmy minimalizują negatywne efekty przejścia obiektów między sąsiednimi regionami i redukują artefakty, co było problemem w poprzednich rozwiązaniach. Gdy kamera jest nieruchoma, skuteczność filtrowania zakłóceń nieskorelowanych jest wyższa niż dla popularnej metody najbliższych sąsiadów.

Publikacja E03: Tomasz Kryjak (2024): Event-based vision on FPGAs – A survey, *DSD 2024: 27th Euromicro Conference on Digital System Design*, Paris, France.

Konferencja w bazach WoS oraz IEEE Xplore

Artykuł stanowi udany przegląd nowoczesnych systemów wizyjnych opartych o kamery zdarzeniowe i układy FPGA. Połączenie kamer zdarzeniowych z urządzeniami rekonfigurowalnymi (FPGA) uznaje się za optymalne rozwiązanie dla energooszczędnych systemów wbudowanych czasu rzeczywistego. Przegląd literatury zawarty w tekście wskazuje na szerokie spektrum zastosowań tej technologii, w tym:

- filtrację danych i stereowizję.
- wyznaczanie przepływu optycznego.

- akcelerację algorytmów AI (w tym impulsowych sieci neuronowych) do klasyfikacji, detekcji i śledzenia obiektów.
- systemy inspekcyjne oraz robotykę.

Publikacja E04: Kamil Jeziorek, Piotr Wzorek, Krzysztof Blachut, Andrea Pinna, Tomasz Kryjak (2024): Optimising graph representation for hardware implementation of graph convolutional networks for event-based vision, *Design and Architectures for Signal and Image Processing: 17th International Workshop, DASIP 2024, Munich, Germany*. Konferencja w bazach WoS oraz IEEE Xplore

Artykuł opisuje proces projektowania i wdrożenia modułu sprzętowego do generowania grafów ze strumienia danych z kamer zdarzeniowych. Rozwiązanie to ma na celu umożliwienie efektywnego wykorzystania grafowych sieci neuronowych w systemach wbudowanych. Skupiono się na dostosowaniu abstrakcyjnych modeli matematycznych do rygorystycznych ograniczeń układów FPGA. W szczególności, wprowadzono uproszczenia w strukturze grafu, w tym skalowanie i kwantyzację wartości, a także opracowano reprezentację, która znacząco zmniejsza liczbę krawędzi grafu, co jest kluczowe dla ograniczonej przepustowości pamięci w SoC FPGA. System wspiera zarówno grafy skierowane, jak i nieskierowane, generując dane gotowe do bezpośredniego przetwarzania przez warstwy splotowe typu PointNet. Praca udowadnia, że przeniesienie generowania grafów bezpośrednio do logiki sprzętowej jest nie tylko możliwe, ale i wysoce efektywne. Głównym wkładem tej pracy jest architektura sprzętowa generująca grafy w czasie rzeczywistym. Rozwiązanie otwiera drogę do ultraszybkiej detekcji obiektów w systemach autonomicznych.

Publikacja E05: Marcin Kowalczyk, Tomasz Kryjak (2025): High throughput event filtering: The interpolation-based DIF algorithm hardware architecture, *Microprocessors and Microsystems*, 117: 105171.

Elsevier, IF = 2.6, kwartył Q2 dla elektroniki i elektrotechniki, Q2 dla informatyki – teorii i metod, 40 pkt MNiSW

W pracy rozwiązano kluczowy problem szumu w strumieniu danych z kamery zdarzeniowej, którego intensywność zależy od oświetlenia sceny i temperatury sensora. Opracowano nowatorski algorytm filtracji DIF (Distance-based Interpolation with Frequency Weights) zaprojektowany tak, aby zmaksymalizować wykorzystanie zasobów obliczeniowych FPGA przy minimalnym zużyciu energii i wysokiej wydajności. Moduł pomyślnie zaimplementowano i zweryfikowano w logice układu FPGA. Przygotowano również i udostępniono publicznie nowy zbiór danych o wysokiej rozdzielczości 1280×720, dedykowany ocenie algorytmów filtracji dla dynamicznych sensorów wizyjnych. Praca stanowi znaczące rozszerzenie wcześniejszych badań, wzbogacone o dogłębną analizę dopasowania algorytmu do zasobów sprzętowych oraz szczegółowe porównanie z innymi dostępnymi rozwiązaniami.

Ogólnie, tematyka zawarta w przedstawionym monotematycznym cyklu publikacji tworzy pewien konsekwentny ciąg zadań, zrealizowanych w logicznej kolejności w latach 2010–2025. W mojej ocenie, zasadnicze osiągnięcia Habilitanta i jego wkład do światowego stanu wiedzy w dyscyplinie automatyka,

elektronika, elektrotechnika i technologie kosmiczne są następujące:

- **Udoskonalenie kompleksowej metodologii projektowania algorytmów uwzględniającej specyfikę platform sprzętowych (ang. hardware-aware algorithm design).** Integruje ona etapy pogłębionej analizy, tworzenia dedykowanych modeli programowych oraz precyzyjnej implementacji w językach opisu sprzętu. Podejście stosowane przez Habilitanta umożliwia optymalizację systemów wbudowanych pod kątem szybkości, energooszczędności i pracy w czasie rzeczywistym, zapewniając jednocześnie wysoką skuteczność algorytmiczną oraz pełną zgodność wyników pomiędzy modelem programowym a rozwiązaniem sprzętowym.
- **Opracowanie i implementacja bogatego zestawu innowacyjnych architektur sprzętowych dla zaawansowanych systemów percepcji robotycznej.** Habilitant zaprojektował dedykowane struktury sprzętowe dla szerokiego spektrum algorytmów wizyjnych, obejmujących m.in. stereowizję, przepływ optyczny, detekcję punktów charakterystycznych oraz śledzenie obiektów z wykorzystaniem filtrów korelacyjnych i sieci syjamskich.
- **Wyznaczenie nowych standardów wydajności w przetwarzaniu obrazu wysokiej rozdzielczości (4K/UHD) w czasie rzeczywistym.** Poprzez optymalizację organizacji obliczeń w heterogenicznych układach rekonfigurowalnych, Kandydat opracował pierwsze w literaturze naukowej moduły zdolne do przetwarzania strumienia wideo 3840×2160 przy 60 kl./s (30 kl./s dla stereowizji) w czasie rzeczywistym. Stanowi to kluczowy wkład w rozwój systemów sterowania robotów i pojazdów autonomicznych wymagających błyskawicznej analizy obrazu o wysokiej szczegółowości.
- **Rozwój autorskich metod akceleracji głębokich sieci neuronowych dla systemów wbudowanych.** Opracowanie i implementacja w języku HDL sieci **LittleNet** pozwoliły na stworzenie wydajnej alternatywy dla komercyjnych narzędzi (takich jak AMD FINN czy Vitis AI), optymalizując proces detekcji obiektów w systemach o ograniczonych zasobach sprzętowych.
- **Pionierskie badania nad wykorzystaniem wizji zdarzeniowej w automatyce.** Habilitant zaproponował i poddał ewaluacji nowatorskie algorytmy filtracji oparte o interpolację parametrów przestrzennych dla kamer zdarzeniowych. Ponadto zademonstrował możliwość implementacji sprzętowej modułów generujących grafy ze strumienia danych zdarzeniowych, co udowodniło możliwość wykorzystania grafowych sieci neuronowych w mobilnych systemach robotycznych.

Wprawdzie może wydawać się, że Habilitant nadmiernie skupił się na aspektach praktycznych, jednak w omawianych zastosowaniach dotyczących sprzętowo-programowej akceleracji układów wizyjnych aspekty teoretyczne są dalece nietrywialne. Badania Habilitanta odpowiadają przeciętnemu poziomowi prac na świecie z tego zakresu. Na przestrzeni ostatnich kilkunastu lat można zaobserwować ogromne zainteresowanie problemami tego typu w środowisku naukowym, przede wszystkim w Stanach Zjednoczonych i krajach Europy Zachodniej, co przekłada się na dużą liczbę publikacji, specjalizowanych czasopism i konferencji naukowych. Niestety, ten trend jest stosunkowo słabo widoczny w Polsce, co w pewnej mierze można wytłumaczyć samą złożonością zagadnienia oraz koniecznością opanowania wielu obszarów wiedzy zarówno teoretycznej, jak i praktycznej. Na tym tle należy więc wysiłki Habilitanta bardzo docenić.

Oddzielną (wg mnie nieco kontrowersyjną) sprawą pozostaje ocena czy cykl publikacji *Architektury sprzętowe do przetwarzania strumienia wideo wysokiej rozdzielczości oraz danych z kamer zdarzeniowych* posiada cechy oryginalnego i autorskiego osiągnięcia naukowego spełniającego wymagania ustawy o stopniach naukowych i tytule naukowym oraz o stopniach i tytule w zakresie sztuki. Habilitant zrezygnował z napisania monografii habilitacyjnej, co powinno przełożyć się na odpowiednio większą liczbę artykułów opublikowanych w najlepszych czasopismach naukowych związanych z dyscypliną automatyka, elektronika, elektrotechnika i technologie kosmiczne, dbających o wysoki poziom merytoryczny publikacji. Wydaje się, że Habilitant, pomimo sporego potencjału, dobrze rozwiniętej współpracy zagranicznej, dobrego opanowania rzemiosła i licznych ciekawych pomysłów, zamiast czasochłonnej próby publikacji w najbardziej wartościowych czasopismach głównego nurtu automatyki i robotyki, wybrał opcję wielu publikacji w czasopismach średniej klasy (wg Web of Science żadne z nich nie znajduje się w pierwszym kwartyle jakiegokolwiek rankingu). Z drugiej strony trzeba jednak Habilitantowi oddać, że wygłaszał referaty na bardzo dobrych konferencjach, w tym na warsztatach stowarzyszonych z konferencją CVPR (Conference on Computer Vision and Pattern Recognition), jedną z najważniejszych i najbardziej selektywnych konferencji z zakresu sztucznej inteligencji i wizji komputerowej na świecie. Przy okazji, w liście prac stanowiących osiągnięcie w czwartej części autoreferatu, pracom E02 i ES11 przypisano po 200 pkt MNiSW, co nie wydaje się mieć uzasadnienia. Taką liczbę punktów ma przypisana prestiżowa konferencja główna CVPR o bardzo rygorystycznym i wieloetapowym procesie recenzji, a nie towarzyszące jej warsztaty specjalistyczne CVPRW, w materiałach których znajdują się publikacje Habilitanta i dla których współczynnik akceptacji jest zazwyczaj znacznie wyższy. Wynika to jednak najprawdopodobniej z nieporozumienia, ponieważ Kandydat z całkowitą szczerością nie ukrywa np. wniosków o granty, które przygotowywał, i które zostały ocenione negatywnie.

Niestety, odczuwalny jest brak monografii habilitacyjnej, która uporządkowałaby dużą liczbę pomysłów rozważanych przez Habilitanta i zaoferowałaby dużo większą liczbę szczegółów teoretycznych i implementacyjnych, niż to udaje się zmieścić w ograniczonej objętości artykułu naukowego. Ponadto w monografii naturalnym byłaby klasyfikacja podejść wraz z przypisaniem im odpowiedniego miejsca w hierarchii ważności. Jest to duży mankament recenzowanego wniosku, utrudniający jego ocenę. Sam Habilitant ma problem z klarownym wyartykułowaniem swoich głównych osiągnięć naukowych, o czym świadczy dość kuriozalna lista najważniejszych osiągnięć naukowych związanych z architekturami sprzętowymi do przetwarzania strumienia wideo wysokiej rozdzielczości przedstawiona na str. 46. Lista zawiera bowiem takie główne pozycje, jak *pozyskanie, zrealizowanie i rozliczenie grantów, opublikowanie uzyskanych wyników, czy zbudowanie osobistej rozpoznawalności naukowej, lub też nabycie umiejętności zarządzania zespołem badawczym*.

Pomimo tych uwag krytycznych uważam, że oba cykle publikacji przedstawione jako oceniane osiągnięcie naukowe, odpowiadają wymaganiom zwyczajowo stawianym wnioskowi habilitacyjnemu.

3. Przedłożone pozostałe osiągnięcia naukowe Kandydata

Dwa cykle publikacje przedstawione we wniosku uzupełnia lista 25 związanych z nimi publikacji, głównie na dobrej klasy konferencjach międzynarodowych, w tym wysoko notowanej CVPRW. Tego typu wydarzeń jest od dwóch do czterech każdego roku, co jest dowodem wysokiej aktywności i dojrzałości naukowej oraz uznania Kandydata w międzynarodowym obiegu naukowym. W przypadku tak szybko rozwijającej się dziedziny, jak wizja maszynowa, prezentowanie wyników na forum międzynarodowym jest zresztą czymś normalnym wśród liczących się specjalistów. Prezentacje i demonstratory Habilitanta niejednokrotnie zdobywały wyróżnienia. O zbudowaniu marki osobistej jako eksperta w dziedzinie architektur sprzętowych

do przetwarzania danych z kamer świadczy zaproszenie do uczestniczenia w pracach komitetu redakcyjnego czasopisma *Microprocessors and Microsystems* (Elsevier) oraz powierzanie Habilitantowi współorganizacji konferencji międzynarodowych (*DASIP: Design and Architectures for Signal and Image Processing*; *DSD – Euromicro Conference on Digital System Design*) lub funkcji członka komitetu programowego (*ARC – Applied Reconfigurable Computing*; *ICCVG - International Conference on Computer Vision and Graphics*; *SPIE Real-time Processing of Image, Depth, and Video Information*).

Habilitant jest bardzo aktywnym recenzentem (167 recenzji na profilu w WoS). Jest również zapraszany do recenzowania zagranicznych doktoratów (Tampere University w Finlandii) i monografii (wydawnictwo Elsevier).

Habilitant był kierownikiem grantu NCN Preludium oraz Sonata, a także wykonawcą w grantach IAM4RAIL współfinansowanym ze środków Horyzont Europa, grantu ARTIQ – Centra Doskonałości AI NCN, oraz w grantach finansowanych przez NCBiR i w grantach finansowanych przez MNiSW. Potwierdza to umiejętności nie tylko pracy w zespołach naukowych, ale i kierowania takimi zespołami. Imponujące jest zbudowanie w warunkach polskich od podstaw zespołu dziewięciu młodych naukowców uczestniczących w realizacji grantu NCN Sonata, którzy pracowali w jego ramach nad swoimi doktoratami i byli współautorami powstałych w jego ramach publikacji. Habilitant pomagał również w przygotowaniu i realizacji trzech grantów Preludium członków jego zespołu (pięć innych nie zostało zakwalifikowanych, a cztery są w recenzji). Świadczy to o świetnych predyspozycjach Kandydata do pełnienia funkcji lidera zespołów badawczych.

Habilitant odbył czteromiesięczny staż naukowy w Katedrze Systemów Cyfrowych na Wydziale Automatyki, Elektroniki i Informatyki Politechniki Śląskiej w Gliwicach oraz miesięczny staż w charakterze profesora wizytującego w laboratorium LIP6 na Uniwersytecie Sorbona w Paryżu. Warto podkreślić, że efektem tej współpracy są cztery publikacje konferencyjne. Poza tym Habilitant ma udokumentowaną publikacjami współpracę naukową z uniwersytetami w Grenoble, Rennes i La Rochelle (Francja), Politechniką w Montrealu (Kanada), oraz z Uniwersytetem Technicznym w Berlinie, Niemcy. Współpraca w tak dużej skali jest rzadko spotykana we wnioskach habilitacyjnych.

Ważne miejsce zajmuje również doświadczenie ze współpracy z przemysłem. Habilitant był kierownikiem projektów z firmami ABB w Warszawie/Krakowie, ABERIT w Rzeszowie oraz PCO w Warszawie. Odbył dwa kilkumiesięczne staże przemysłowe. Jest zarejestrowany jako ekspert NCBiR oraz European Research Council.

W sumie Habilitant opublikował 63 prace (w tym 16 w czasopiśmie) znajdujące się w bazie WoS Core Collection. Przed uzyskaniem stopnia doktora tego typu publikacji w jego dorobku było tylko 6. Łączna liczba cytowań wg bazy Web of Science wynosi 336, w tym 282 bez autocytowań, co przekłada się na indeks Hirscha $H = 10$. Są to naprawdę bardzo dobre wskaźniki na tle typowych wniosków habilitacyjnych w dyscyplinie.

Podsumowując, co do istotnej aktywności naukowej Kandydata, a w szczególności działalności publikacyjnej, uważam, że jest ona zarówno liczebnie, jak i jakościowo bardzo dobra, co wynika przede wszystkim z liczby i solidnej renomy czasopism z listy WoS oraz świetnej rozpoznawalności prac za granicą. Zaletą dorobku publikacyjnego kandydata jest to, że podjęto w nim wiele tematów z dziedziny wbudowanych systemów wizyjnych, stanowiących jednak trudne i ważne zagadnienie dla automatyki i robotyki, którymi w Polsce zajmuje się stosunkowo niewiele osób.

4. Ocena dorobku dydaktycznego i popularyzatorskiego

Od uzyskania stopnia doktora Kandydat był promotorem aż 96 prac inżynierskich i 64 magisterskich, co bez wątpienia wymagało ogromnego wysiłku i inwencji. Z wieloma dyplomantami Habilitant przygotowuje wspólne publikacje, a wielu wręcz zrekrutował do zespołu badawczego. Prace jego podopiecznych były wielokrotnie nagradzane na konkursach organizowanych przez firmy AMD/Xilinx oraz Digilent.

Habilitant przygotował wykłady i/lub ćwiczenia laboratoryjne do 10 przedmiotów, z których połowa jest prowadzona w języku angielskim. Brał również udział w przygotowaniu materiałów do dwóch szkół letnich w ramach programu NAWA Spinaker. Od dekady jest opiekunem Studenckiego Koła Naukowego AGH AVADER, zrzeszającego studentów zainteresowanych wbudowanymi systemami percepcji i sterowania, a także dronami autonomicznymi. Członkowie odnosi sukcesy w wielu konkursach organizowanych m.in. przez firmę Mathworks.

Habilitant koordynuje umowy w ramach programu Erasmus z pięcioma uniwersytetami w Portugalii, Włoszech i Niemczech. Sam dwukrotnie uczestniczył w takiej wymianie.

Habilitant był lub jest promotorem pomocniczym dziewięciu doktorantów związanych z jego macierzystym Zespołem Wbudowanych Systemów Wizyjnych.

Jest bardzo aktywny na polu popularyzacji nauki, o czym świadczy wielokrotny udział w Festiwalu Nauki w Krakowie, Dniach Otwartych AGH czy Małopolskiej Nocy Naukowców.

Powyższy dorobek dydaktyczny i organizacyjny oceniam jako wybitny.

4. Podsumowanie

Osiągnięcia naukowe Kandydata dotyczą głównie projektowania dedykowanych zaawansowanych architektur sprzętowo-programowych do akceleracji algorytmów przetwarzania danych wizyjnych. Oryginalne w jego badaniach jest uwzględnienie całego cyklu projektowania uwzględniającego architekturę sprzętową, począwszy od syntezy algorytmu, poprzez jego modelowanie programowe, a skończywszy na implementacji w języku opisu sprzętu i testach na docelowej platformie sprzętowej. Uwzględniając, że wyniki badań nie zostały zebrane w postaci monografii, co uważam za pewną wadę recenzowanego wniosku, dorobek publikacyjny mierzony liczbą publikacji w czasopismach uważam za dobry (ogółem 63 prace z listy JCR, w tym 16 w czasopismach). Wyniki uzyskane przez Habilitanta mają różną jakość i są najczęściej natury technicznej. Publikacje poza czasopismami to prace w materiałach uznanych konferencji międzynarodowych. Na duży plus Habilitantowi należy zaliczyć to, że pracuje nad zagadnieniami bardzo aktualnymi, którymi obecnie na świecie zajmuje się intensywnie wiele osób, i mimo to udaje mu się wypracować swoje oryginalne podejście. Jest to tym bardziej ważne w sytuacji, gdy badania w zakresie projektowania i syntezy wbudowanych systemów wizyjnych są w polskim środowisku automatyków jeszcze stosunkowo słabo rozwinięte.

O aktywności i pozycji naukowej badacza w dużej mierze świadczy jego udział w naukowych projektach badawczych i wymianie międzynarodowej. Habilitant wyróżnia się tu znaczącymi osiągnięciami, co dodatkowo wzmacnia istotna współpraca z przemysłem. Aspekt praktyczności bywa niezasłużenie lekceważony, jednak prace naukowe Habilitanta są szczególnie predestynowane do zastosowań i zapewne

też z tego powodu w ich realizację tak chętnie angażują się dyplomanci i doktoranci. Jako wybitny oceniam natomiast dorobek dydaktyczny, popularyzatorski i organizacyjny Habilitanta.

Podsumowując, pomimo pewnych elementów krytycznych w mojej powyższej ocenie, stwierdzam, że całościowo osiągnięcie naukowe, istotna aktywność naukowa i dorobek dydaktyczny dra inż. Tomasza Kryjaka spełniają wszystkie ustawowe wymagania w odniesieniu do kandydatów do stopnia doktora habilitowanego. W konsekwencji, wnoszę o nadanie Kandydatowi tego stopnia w dyscyplinie automatyka, elektronika, elektrotechnika i technologie kosmiczne.

Dariusz Hinczki