

Autoreferat

31 sierpnia 2025

Architektury sprzętowe do przetwarzania strumienia wideo wysokiej rozdzielczości oraz danych z kamer zdarzeniowych

Tomasz Kryjak

Zespół Wbudowanych Systemów Wizyjnych, Laboratorium Systemów Wizyjnych,
Katedra Automatyki i Robotyki,
Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej,
Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie

1 Imię i nazwisko

Tomasz Kryjak

2 Posiadane dyplomy, stopnie naukowe lub artystyczne

- **Doktor nauk technicznych** w dyscyplinie Automatyka i Robotyka, nadany 04.04.2013 r. przez Radę Wydziału Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie.
Temat rozprawy: *Implementacja zaawansowanych algorytmów przetwarzania, analizy i szyfrowania obrazów w układach reprogramowalnych.*
Promotor: dr hab. inż. Marek Gorgoń, prof. nadzw. AGH
Praca wyróżniona.
- **Studia podyplomowe** „Zarządzanie przedsiębiorstwem – studia typu MBA” w Krakowskiej Szkole Biznesu Uniwersytetu Ekonomicznego w Krakowie
Temat pracy: *Analiza finansowa przedsiębiorstwa Polsport Bielsko-Biała Sp. z o.o.*
Promotor: dr Tomasz Rojek
Okres: 2009-2011r.
- **Magister inżynier** na Wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki Akademii Górniczo-Hutniczej w Krakowie.
Kierunek: Automatyka i Robotyka
Specjalność: Komputerowe Systemy Sterowania
Temat: *Implementacja algorytmów kryptograficznych w środowisku rekonfigurowalnym*
Promotor: dr hab. inż. Marek Gorgoń, prof. nadzw. AGH
Okres: 2003-2008r.

3 Informacja o dotychczasowym zatrudnieniu w jednostkach naukowych lub artystycznych

Okres	Stanowisko i miejsce zatrudnienia
01.06.2013 – dzisiaj	adiunkt dydaktyczno-badawczy w Katedrze Automatyki i Robotyki, na Wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie, Polska
07.12.2021 – 06.03.2022	adiunkt na etacie badawczym w Katedrze Systemów Cyfrowych na Wydziale Automatyki, Elektroniki i Informatyki Politechniki Śląskiej w Gliwicach, Polska
01.10.2008 – 31.05.2013	asystent naukowo-dydaktyczny w Katedrze Automatyki i Robotyki, na Wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie, Polska.
03.10.2007 – 30.06.2008	asystent-stażysta naukowo-dydaktyczny w Katedrze Automatyki i Robotyki, na Wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie, Polska.

4 Omówienie osiągnięć

Omówienie osiągnięć, o których mowa w art. 219 ust. 1 pkt. 2 ustawy z dnia 20 lipca 2018 r. Prawo o szkolnictwie wyższym i nauce (Dz. U. z 2021 r. poz. 478 z późn. zm.).

4.1 Tytuł osiągnięcia stanowiącego cykl powiązanych tematycznie artykułów:

Architektury sprzętowe do przetwarzania strumienia wideo wysokiej rozdzielczości oraz danych z kamer zdarzeniowych

4.2 Lista prac stanowiąca cykl powiązanych tematycznie artykułów:

Lista prac zawiera dwa cykle powiązanych ze sobą tematycznie artykułów. Pierwszy dotyczy architektur sprzętowych do przetwarzania danych wizyjnych wysokiej rozdzielczości, w tym rozdzielczości UHD/4K. W jego skład wchodzi 14 publikacji ([V01]–[V14]), z czego 11 opublikowałem w czasopismach (10 ze współczynnikiem IF), a 3 w recenzowanych materiałach konferencyjnych. Drugi cykl obejmuje prace dotyczące przetwarzania danych z kamer zdarzeniowych. W jego skład wchodzi 5 publikacji ([E01]–[E05]), z czego 2 opublikowałem w czasopismach (1 ze współczynnikiem IF), a 3 w recenzowanych materiałach konferencyjnych.

Liczby cytowań z baz Scopus i Web of Science oraz wartość współczynnika IF podałem na podstawie raportów przygotowanych przez Oddział Informacji Naukowej Biblioteki Głównej AGH (dokumenty źródłowe w załączniku) – stan na dzień 21.07.2025. W przypadkach braku cytowań w wyżej wymienionych źródłach wykorzystywałem inne bazy: CrossRef lub Google Scholar.

Publikacje uszeregowałem wg roku wydania, przy czym w danym roku jako pierwsze przedstawiłem publikacje w czasopismach, a następnie publikacje w recenzowanych materiałach konferencyjnych.

Oprócz sumarycznej liczby cytowań wykazałem do 3 cytowań danej pracy wskazując ośrodek naukowy, czasopismo (wskaźniki) lub konferencję oraz rok cytowania.

4.2.1 Architektury sprzętowe do przetwarzania danych wizyjnych wysokiej rozdzielczości

[V01] **Tomasz Kryjak**, Marek Gorgon (2010): *Parallel implementation of local thresholding in Mitrion-C*, **International Journal of Applied Mathematics and Computer Science** ; ISSN 1641-876X. — 2010 vol. 20 no. 3, pp. 571–580 <https://doi.org/10.2478/v10006-010-0042-2>

Wskaźnik IF: 0.794

Punkty MNiSW: 25 (100 od 2019)

Cytowania: 6 (Scopus), 6 (WoS)

- Technical University of Denmark, Denmark | Environmental Science: Nano (IF 5.8, CS 12.2) | 2019
- Technical University of Denmark, Denmark | Journal of Power Sources (IF 7.9, CS 14.9) | 2016
- University of Zielona Góra | Advances in Intelligent Systems and Computing | 2013

Wkład: opracowanie koncepcji badań, opracowanie modelu programowego systemu, jego ewaluacja, zaprojektowanie i implementacja modułu sprzętowego, przeprowadzenie eksperymentów oraz analiza uzyskanych wyników.

[V02] **Tomasz Kryjak**, Mateusz Komorkiewicz, Marek Gorgon (2014): *Real-time background generation and foreground object segmentation for high-definition colour video stream in FPGA device*, **Journal of Real-Time Image Processing** ; ISSN 1861-8200. — 2014 vol. 9 iss. 1 spec. iss., pp. 61–77 <http://dx.doi.org/10.1007/s11554-012-0290-5>

Wskaźnik IF: 2.020

Punkty MNiSW: 25 (70 od 2019)

Cytowania: 28 (Scopus), 28 (WoS)

- University of Calabria, Arcavacata di Rende, Italy | Journal of Real-Time Image Processing (IF 2.9, CS 6.8) | 2021
- P. Tecnológico, San Sebastián, Spain | Pattern Analysis and Applications (IF 3.7, CS 7.4) | 2018
- the University of Auckland, Auckland, New Zealand | Signal Processing: Image Communication (IF 2.7, CS 9.2) | 2018

Wkład: opracowanie koncepcji badań, opracowanie modelu programowego systemu, jego ewaluacja, zaprojektowanie i implementacja modułów sprzętowych: filtracji Sobela, obliczania odległości pomiędzy pikselem a warianciami modelu tła, aktualizacji modelu tła, sortowania modelu tła, obliczania operatora teksturowego NGD, przeprowadzenie eksperymentów oraz analiza uzyskanych wyników.

[V03] **Tomasz Kryjak**, Mateusz Komorkiewicz, Marek Gorgon (2014): *Real-time implementation of foreground object detection from a moving camera using ViBE algorithm*, **Computer Science and Information Systems** ; ISSN 1820-0214. — 2014 vol. 11 iss. 4 spec. iss., pp. 1617–1637, <http://dx.doi.org/10.2298/CSIS131218055K>

Wskaźnik IF: 0.477

Punkty MNiSW: 15 (40 od 2019)

Cytowania: 17 (Scopus), 11 (WoS)

- University La Rochelle, France | Computer Science Review (IF 13.3, CS 32.7) | 2020
- Velammal College of Engineering and Technology and Thiagarajar College of Engineering, India | Multimedia Tools and Applications (IF 3.0, CS 7.2) | 2018
- Nanchang University and Tianjin Polytechnic University, China | IEEE Transactions on Intelligent Transportation Systems | (IF 7.9, CS 14.8) | 2018

Wkład: opracowanie koncepcji badań, opracowanie modelu programowego systemu, jego ewaluacja, zaprojektowanie i implementacja modułów sprzętowych: algorytmu ViBE (z opcją inicjalizacji modelu tła), filtracji medianowej, przeprowadzenie eksperymentów oraz analiza uzyskanych wyników.

[V04] **Tomasz Kryjak**, Mateusz Komorkiewicz, Marek Gorgon (2014): *Real-time foreground object detection combining the PBAS background modelling algorithm and feedback from scene analysis module*, **International Journal of Electronics and Telecommunications** ; ISSN 2081-8491. 2014 — vol. 60 no. 1, pp. 61–72.
<https://doi.org/10.2478/eletel-2014-0006>
 Punkty MNiSW: 15 (40 od 2019, 70 od 2021)
 Cytowania: 12 (Scopus), 7 (WoS)

- Centro Federal de Educação Tecnológica (CEFET), Brazil | Journal of Electronic Imaging (IF 1.0, CS 2.1) | 2018
- University of Seville, Spain | Proceedings of the IEEE International Conference on Industrial Technology | 2015
- Instituto Tecnológico de Aeronáutica (ITA) and Universidade Estadual Paulista, Brasil | Eurasip Journal on Image and Video Processing (IF 2.0, CS 7.1) | 2015

Wkład: opracowanie koncepcji badań, opracowanie modelu programowego systemu, jego ewaluacja, zaprojektowanie i implementacja modułów sprzętowych: algorytmu PBAS, odejmowania ramek, filtracji Sobela, przeprowadzenie eksperymentów oraz analiza uzyskanych wyników.

[V05] Mateusz Komorkiewicz, **Tomasz Kryjak**, Marek Gorgon (2014): *Efficient hardware implementation of the Horn-Schunck algorithm for high-resolution real-time dense optical flow sensor*, **Sensors**, ISSN 1424-8220. — 2014 vol. 14 iss. 2, pp. 2860–2891. <http://dx.doi.org/10.3390/s140202860>

Wskaźnik IF: 2.245

Punkty MNiSW: 30 (100 od 2019)

Cytowania: 28 (Scopus), 23 (WoS)

- Xi'an Jiaotong University, China | IEEE Transactions on Circuits and Systems I: Regular Papers (IF 5.2, CS 9.8) | 2023
- Indian Institute of Space Science and Technology, India | Journal of Real-Time Image Processing (IF 2.9, CS 6.8) | 2022
- Korea Advanced Institute of Science Technology, Korea | IEEE Transactions on Very Large Scale Integration (VLSI) Systems (IF 2.8, CS 6.4) | 2020

Wkład: współudział w opracowaniu koncepcji badań, autorstwo modułów przetwarzania wstępnego oraz oceniających niezawodność wyznaczonego przepływu optycznego – implementacja programowa, ewaluacja, zaprojektowanie i implementacja sprzętowa, analiza wcześniejszych prac w tej tematyce oraz przeprowadzanie porównania zaproponowanego systemu z innymi opublikowanymi w literaturze naukowej.

[V06] **Tomasz Kryjak**, Mateusz Komorkiewicz, Marek Gorgon (2018): *Real-time hardware-software embedded vision system for ITS smart camera implemented in Zynq SoC*, **Journal of Real-Time Image Processing** ; ISSN 1861-8200. — 2018 vol. 15 iss. 1 spec. iss.: Design and architectures for real-time signal and image processing, pp. 123–159 <https://doi.org/10.1007/s11554-016-0588-9>

Wskaźnik IF: 2.588

Punkty MNiSW: 25 (70 od 2019)

Cytowania: 23 (Scopus), 20 (WoS)

- Instituto Federal Catarinense, São Francisco do Sul (SC), Brazil | IEEE Latin America Transactions (IF 1.3, CS 4.0) | 2020
- University of Calabria | Journal of Real-Time Image Processing (IF 2.9, CS 6.8) | 2020
- Qatar University, Qatar and University of Derby United Kingdom | Eurasip Journal on Image and Video Processing (IF 2.0, CS 7.1) | 2018

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, opracowanie algorytmu w wersji programowej, jego ewaluacja oraz zaprojektowanie i implementacja modułów sprzętowych: przetwarzania wstępnego (konwersji RGB do YCbCr, filtracji Sobela, odejmowania sąsiednich ramek, operatora tekstowego LBP), klasyfikacji koloru pojazdu, klasyfikacji typu pojazdu, liczenia pojazdów (linie detekcji), estymacji długości kolejki pojazdów, przeprowadzenie eksperymentów oraz analiza uzyskanych wyników. Integracja oraz uruchomienie rozwiązania na platformie sprzętowej.

[V07] Marcin Kowalczyk, Dominika Przewlocka-Rus, **Tomasz Kryjak** (2018): *Real-time implementation of contextual image processing operations for 4K video stream in Zynq UltraScale+ MPSoC*, DASIP 2018: Conference on Design and Architectures for Signal and Image Processing: October 10–12 2018, Porto, Portugal, IEEE <http://dx.doi.org/10.1109/DASIP.2018.8597105>

Punkty MNiSW: 20

Cytowania: 20 (Scopus), 12 (WoS)

- National Central University, Taiwan | Integration (IF 2.2, CS 3.8) | 2024
- University of Kassel, Germany | ACM Transactions on Reconfigurable Technology and Systems (IF 3.1, CS 4.9) | 2023
- University of Las Palmas de Gran Canaria, Spain and University of Pavia, Italy | Electronics (IF 2.6, CS 5.3) | 2019

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, koncepcji modułu generacji kontekstu dla danych w formacie 2 ppc i 4 ppc oraz implementacja modułu detekcji krawędzi metodą Canny (Verilog), analiza uzyskanych wyników, kierowanie projektem, w ramach którego były one realizowane (NCN Sonata).

[V08] Marcin Kowalczyk, Piotr Ciarach, Dominika Przewlocka-Rus, Hubert Szolc, **Tomasz Kryjak** (2021): *Real-time FPGA implementation of parallel connected component labelling for a 4K video stream*, **Journal of Signal Processing Systems for Signal, Image, and Video Technology** ; ISSN 1939-8018, vol. 93 iss. 5, pp. 481–498. <http://dx.doi.org/10.1007/s11265-021-01636-4>

Wskaźnik IF: 1.813

Punkty MNiSW: 40

Cytowania: 15 (Scopus), 8 (WoS)

- Chinese Academy of Sciences | IEEE Embedded Systems Letters (IF 1.7, CS 3.3) | 2025
- Massey University, New Zealand | Wiley-IEEE Press | 2024
- Massey University, New Zealand | Design for Embedded Image Processing on FPGAs (book, Wiley) | 2023

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, analiza uzyskanych wyników, kierowanie projektem, w ramach którego były one realizowane (NCN Sonata).

[V09] Krzysztof Blachut, **Tomasz Kryjak** (2022): *Real-time efficient FPGA implementation of the multi-scale Lucas-Kanade and Horn-Schunck optical flow algorithms for a 4K video stream*, **Sensors**, ISSN 1424-8220. — 2022 vol. 22 iss. 13 art. no. 5017, pp. 1–32, <http://dx.doi.org/10.3390/s22135017>

Wskaźnik IF: 3.9

Punkty MNiSW: 100

Cytowania: 19 (Scopus), 14 (WoS)

- University of Oklahoma, United States | 19th International Symposium on Visual Computing, ISVC 2024 (LNCS, Springer) | 2024
- Xi'an Jiaotong University, China | IEEE Transactions on Circuits and Systems I: Regular Papers (IF 5.2, CS 9.8) | 2023
- ETH Zürich, Zurich, Switzerland | Proceedings - 2023 9th International Workshop on Advances in Sensors and Interfaces, IWASI 2023 | 2023

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, analiza uzyskanych wyników, kierowanie projektem, w ramach którego były one realizowane (NCN Sonata).

[V10] **Tomasz Kryjak**, Krzysztof Blachut, Hubert Szolc, Mateusz Wasala (2022): *Real-time CLAHE algorithm implementation in SoC FPGA device for 4K UHD video stream*, **Electronics**, ISSN 2079-9292. — 2022 vol. 11 iss. 14 art. no. 2248, pp. 1–24, <http://dx.doi.org/10.3390/electronics11142248>

Wskaźnik IF: 2.9

Punkty MNiSW: 100

Cytowania: 9 (Scopus), 8 (WoS)

- Hanwha Systems, Infra Technology R and D Center, South Korea | Proceedings - 2024 IEEE 30th International Conference on Embedded and Real-Time Computing Systems and Applications, RTCSA 2024 | 2024
- University of Split, Croatia | Sensors (IF 3.4, CS 7.3) | 2024
- Xi'an Technological University, China | Infrared Physics and Technology (IF , CS 5.7) | 2024

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, zaprojektowanie i implementacja części modułów realizujących algorytm CLAHE (obliczanie histogramów dla danych 4K), analiza uzyskanych wyników, kierowanie projektem, w ramach którego były one realizowane (NCN Sonata).

[V11] Mateusz Wasala, Hubert Szolc, **Tomasz Kryjak** (2022): *An efficient real-time FPGA-based ORB feature extraction for an UHD video stream for embedded visual SLAM*, **Electronics**, ISSN 2079-9292. — 2022 vol. 11 iss. 14 art. no. 2259, pp. 1–20, <http://dx.doi.org/10.3390/electronics11142259>

Wskaźnik IF: 2.9

Punkty MNiSW: 100

Cytowania: 14 (Scopus), 6 (WoS)

- International Hellenic University, Greece | Journal of Imaging (IF 3.3, CS 6.7) | 2025
- University of Babylon, Iraq | International Journal of Communication Systems (IF 1.7, CS 5.9) | 2024
- Technische Universität Dresden and Audi AG, Germany | IEEE Access (IF 3.6, CS 9.8) | 2023

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, analiza uzyskanych wyników, kierowanie projektem, w ramach którego były one realizowane (NCN Sonata).

[V12] Michal Machura, Michal Danilowicz, **Tomasz Kryjak** (2022): *Embedded object detection with custom LittleNet, FINN and vitis AI DCNN accelerators*, **Journal of Low Power Electronics and Applications**, ISSN 2079-9268. — 2022 vol. 12 iss. 2 art. no. 30, pp. 1–35. <http://dx.doi.org/10.3390/jlpea12020030>

Wskaźnik IF: 2.1

Punkty MNIŚW: 20

Cytowania: 11 (Scopus), 6 (WoS)

- Polytechnic University of Bari and Sapienza University of Rome, Italy | (IF –, CS 4.4) | 2025
- Politecnico di Torino, Italy | IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (IF 2.7, CS 5.6) | 2024
- Fatih Sultan Mehmet Vakıf University and Marmara University, Turkey | Journal of Real-Time Image Processing (IF 2.9, CS 6.8) | 2024

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, analiza uzyskanych wyników, kierowanie projektem, w ramach którego były one realizowane (NCN Sonata).

[V13] Mateusz Wasala, **Tomasz Kryjak** (2022): *Real-time HOG+SVM based object detection using SoC FPGA for a UHD video stream*, 11th Mediterranean Conference on Embedded Computing (MECO), 7–10 June 2022, Budva, Montenegro, IEEE, cop. 2022, <http://dx.doi.org/10.1109/MECO55406.2022.9797113>

Punkty MNIŚW: 20

Cytowania: 9 (Scopus), 0 (WoS)

- University of Brasilia, Brazil | Journal of Parallel and Distributed Computing (IF 3.4, CS 10.3)
- Guilin University of Technology i Guangxi Normal University, China | Signal, Image and Video Processing (IF 2.0, CS 3.8)
- National Kaohsiung University Of Science And Technology, Taiwan | 19th Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, analiza uzyskanych wyników, kierowanie projektem, w ramach którego były one realizowane (NCN Sonata).

[V14] Mariusz Grabowski, **Tomasz Kryjak** (2023): *Real-time FPGA implementation of the semi-global matching stereo vision algorithm for a 4K/UHD video stream*, Design and Architecture for Signal and Image Processing : 16th International Workshop, DASIP 2023 : Toulouse, France, January 16–18, 2023, Proceedings / eds. Miguel Chavarrías, Alfonso Rodríguez. — Cham : Springer, cop. 2023. — (Lecture Notes in Computer Science ; ISSN 0302-9743 ; LNCS 13879). — ISBN: 978-3-031-29969-8; e-ISBN: 978-3-031-29970-4 https://doi.org/10.1007/978-3-031-29970-4_6

Punkty MNIŚW: 20

Cytowania: 0 (Scopus), 1 (WoS)

- Technology Innovation Institute, Abu Dhabi | 2025 IEEE Aerospace Conference, 2025
- Guilin University of Technology, China | IEEE Access (IF 3.6, CS 9.8) | 2024

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, analiza uzyskanych wyników, kierowanie projektem, w ramach którego były one realizowane (NCN Sonata), opieka nad pracą inżynierską, na podstawie której powstał artykuł.

4.2.2 Architektury sprzętowe do przetwarzania danych z kamer zdarzeniowych

[E01] Kamil Bialik, Marcin Kowalczyk, Krzysztof Blachut **Tomasz Kryjak** (2023): *Zliczanie szybkich obiektów z wykorzystaniem kamery zdarzeniowej — Fast object counting with an event camera*, **PAR Pomiar Automatyka Robotyka**; ISSN 1427-9126. — 2023 — vol. 27 no. 1, pp. 79-84, https://doi.org/10.14313/PAR_247/79

Punkty MNiSW: 100

Cytowania: 1 (Crossref), 5 (Google Scholar)

- Bosch Research, Germany | Journal of Laser Applications (IF 1.7, CS 3.6) | 2025
- University of Maryland, USA | Science Robotics (IF 26.1, CS 30.6) | 2024
- Western Sydney University and Macquarie University, Australia | IEEE Sensors Journal (IF 4.3, CS 7.7) | 2024

Wkład: współautorstwo hipotezy badawczej, opracowanie koncepcji badań, analiza uzyskanych wyników, nadzór merytoryczny nad prowadzonymi badaniami, opieka nad pracą magisterską, na podstawie której powstał artykuł.

[E02] Marcin Kowalczyk, **Tomasz Kryjak** (2023): *Interpolation-based event visual data filtering algorithms*, 2023 IEEE/CVF conference on Computer Vision and Pattern Recognition Workshops : Vancouver, Canada 18-22 June 2023, IEEE Computer Society Conference on Computer Vision and Pattern Recognition workshops (Online); ISSN 2160-7516), <https://doi.org/10.1109/CVPRW59228.2023.00425>

Punkty MNiSW: 200

Cytowania: 2 (Scopus)

- Imperial College London and Newcastle University, UK | Journal of Low Power Electronics and Applications (IF 1.6, CS 3.6) | 2023

Wkład: współautorstwo hipotezy badawczej, pomoc przy opracowaniu koncepcji badań, wsparcie merytoryczne przy analizie uzyskanych wyników.

[E03] **Tomasz Kryjak** (2024): *Event-based vision on FPGAs – a survey*, DSD 2024: 2024 27th Euromicro Conference on Digital System Design : 28–30 August 2024, Paris, France : proceedings, IEEE Computer Society, <https://doi.ieeecomputersociety.org/10.1109/DSD64264.2024.00078>

Punkty MNiSW: 20

Cytowania: 1 (Scopus), 0 (WoS), 6 (Google Scholar)

- Electrical and Computer Engineering University of Florida, Gainesville, U.S. | 2025 IEEE 36th International Conference on Application-specific Systems, Architectures and Processors (ASAP) | 2025
- Kyushu Institute of Technology, Japan | 2025 IEEE/SICE International Symposium on System Integration (SII) | 2025
- Saint Louis University, USA | IEEE Sensors Reviews (IF –, CS –) | 2024

Wkład: opracowanie koncepcji artykułu, przeprowadzanie wyszukiwania literatury, analiza zgromadzonych artykułów, zebranie najważniejszych wniosków wynikających z przeglądu.

[E04] Kamil Jeziorek, Piotr Wzorek, Krzysztof Blachut, Andrea Pinna, **Tomasz Kryjak** (2024): *Optimising graph representation for hardware implementation of graph convolutional networks for event-based vision*, Design and Architectures for Signal and Image Processing : 17th international workshop, DASIP 2024 : Munich, Germany, January 17–19, 2024 : proceedings / eds. Tiago Dias, Paola Busia. — Cham : Springer, cop. 2024. — (Lecture Notes in Computer Science ; ISSN 0302-9743 ; LNCS 14622), https://doi.org/10.1007/978-3-031-62874-0_9

Punkty MNiSW: 20

Cytowania: 0 (Scopus), 0 (WoS) 5 (Google Scholar)

- La Rochelle Université, France and Indian Institute of Technology Jammu, India | Computer Vision and Image Understanding (IF 4.3, CS 7.8) | 2025
- School of Computer Science, Peking University, Beijing, China | IEEE/CVF Conference on Computer Vision and Pattern Recognition (CVPR) | 2025,

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

[E05] Marcin Kowalczyk, **Tomasz Kryjak** (2025): *High throughput event filtering: The interpolation-based DIF algorithm hardware architecture*, **Microprocessors and Microsystems**, ISSN 0141-9331. — 2025 — vol. 117 art. no. 105171, s. 1–20, <https://doi.org/10.1016/j.micpro.2025.105171>

Wskaźnik IF: 2.6

Punkty MNiSW: 40

Cytowania: 0 (Scopus), 0 (WoS)

Wkład: współautorstwo hipotezy badawczej, pomoc przy opracowaniu koncepcji badań, wsparcie merytoryczne przy analizie uzyskanych wyników.

4.3 Motywacja

Szacuje się, że zmysł wzroku odpowiada za około 80% informacji dostarczanej do mózgu człowieka. Stąd pełni on kluczową rolę w percepcji otoczenia, w którym na co dzień funkcjonujemy. Dlatego też, wkrótce po pojawieniu się pierwszych komputerów, pod koniec lat 60. XX wieku, rozpoczęły się prace nad komputerowymi systemami wizyjnymi (ang. *computer vision* – widzenie komputerowe, wizja komputerowa) – jako nurt badań nad tzw. sztuczną inteligencją. Ich celem było „odtworzenie” funkcjonalności ludzkiego (w ogólności też zwierzęcego) systemu wizyjnego składającego się z **czujników** (oczu) oraz **algorytmów** głęboko zintegrowanych z **platformą obliczeniową** (sieciami neuronowymi tworzącymi mózg).

W komputerowym systemie wizyjnym rolę czujnika pełni najczęściej kamera. Przez wiele lat stosowana była typowa kamera klatkowa (ang. *frame camera*) rejestrująca sekwencje obrazów w odcieniach szarości lub kolorze. Obecnie spotyka się całe spektrum kamer specjalistycznych: działających w bliskiej podczerwieni, termowizyjnych, hiperspektralnych czy zdarzeniowych. Należy jednak zaznaczyć, że typowa kamera klatkowa, współcześnie wykonana najczęściej w technologii CMOS (ang. *Complementary Metal-Oxide-Semiconductor*), ma kilka niepodważalnych zalet: dostarcza bardzo bogatych danych o otaczającym świecie, pozwala na akwizycję obrazów o wysokiej rozdzielczości oraz jest przy tym bardzo tania. Stąd duża popularność tych czujników poczynając od smartfonów, gdzie współcześnie takich kamer występuje kilka, poprzez monitoring przestrzeni publicznych, po zaawansowane systemy wspomaganie kierowcy, czy pojazdy autonomiczne¹.

Algorytmy stosowane w systemach wizyjnych można obecnie podzielić na „klasyczne” i wykorzystujące głębokie sieci neuronowe. Do pierwszej kategorii zalicza się rozwiązania, w których szeroko rozumiana ekstrakcja cech, tj. etap przekształcania wejściowej macierzy pikseli w postać bardziej abstrakcyjną i jednocześnie bardziej informatywną, jest projektowana ręcznie lub przy użyciu klasycznych metod matematycznych. Przykładem stosowanych podejść są: detekcja krawędzi, histogram zorientowanych gradientów (HOG – ang. *Histogram of Oriented Gradients*), czy różne operatory teksturowe, które w połączeniu z klasyfikatorami takimi jak chociażby SVM (ang. *Support Vector Machine*) pozwalają przykładowo na realizację zadania detekcji obiektów. W drugiej grupie, która jest obecnie zdecydowanie częściej wykorzystywana i intensywniej rozwijana, etap ekstrakcji cech wykorzystuje metody uczenia maszynowego tj. abstrakcyjna reprezentacja jest uzyskiwana automatycznie na podstawie danych. Na podstawie kilkuletnich doświadczeń społeczności zajmującej się systemami wizyjnymi można stwierdzić, że użycie sieci głębokich pozwala na uzyskanie lepszych systemów percepcji, jednak kosztem złożoności obliczeniowej.

Algorytmy przetwarzania strumienia danych wizyjnych charakteryzują się zwykle dużą złożonością obliczeniową. W szczególności dotyczy to metod bazujących na głębokich sieciach neuronowych. Z drugiej strony istnieje cały szereg systemów percepcji, które powinny działać w tzw. czasie rzeczywistym, który w tym kontekście oznacza przetwarzanie wszystkich generowanych przez kamerę pikseli lub ramek na bieżąco oraz z możliwie niską latencją. Przykładowe aplikacje tego typu to: zaawansowane systemy monitoringu wizyjnego (AVSS – ang. *Advanced Video Surveillance Systems*) – m.in. wykrywanie niebezpiecznych czy niepożądanych zdarzeń i zachowań „na bieżąco”, systemy monitorowania ruchu drogowego na potrzeby inteligentnych systemów transportowych (ITS – ang. *Intelligent Transportation Systems*), coraz bardziej powszechne zaawansowane systemy wspomaganie kierowcy (ADAS – ang. *Advanced Driver Assistance Systems*) oraz szeroko rozumiana percepcja robotów mobilnych (jeżdżących, latających czy pływających) obejmująca również samochody autonomiczne (ang. *self-driving cars*, *autonomous cars*). Dodatkowo, w większości z wymienionych scenariuszy występuje ograniczenie na budżet energetyczny i z przyczyn praktycznych niemożliwe jest na przykład zastosowanie platformy obliczeniowej o mocy 1000 W, tj. typowego nowoczesnego procesora ogólnego przeznaczenia w połączeniu z wydajnym procesorem graficznym. Ponadto, w zdecydowanej większości przypadków nie jest akceptowalne przeniesienie obliczeń do tzw. chmury, czyli centrów obliczeniowych wyposażonych w bardzo wydajne procesory, gdyż obecnie nie jest możliwe zapewnienie niezawodnej szerokopasmowej komunikacji bezprzewodowej o niskiej latencji, która jest kluczowa w takim scenariuszu.

Z powyższych rozważań wynika, że dla pewnej klasy systemów percepcji, konieczne jest zastosowanie odpowiedniej wbudowanej platformy obliczeniowej, która w połączeniu z wybranym algorytmem pozwoli uzyskać system o pożądanych właściwościach: adekwatnym poziomie skuteczności, przetwarzaniu w czasie rzeczywistym, niskiej latencji oraz niewielkim zużyciu energii. Obecnie dostępne platformy obliczeniowe można podzielić na 4 główne kategorie:

- CPU/GPP (ang. *Central Processing Unit/General Purpose Processor*) – procesory ogólnego przeznaczenia, których zastosowanie w systemach wizyjnych czasu rzeczywistego jest dość ograniczone, z uwagi na niedostosowanie architektury do obliczeń realizowanych w tego typu algorytmach (zarówno klasycznych, jak i sieciach neuronowych). Przy czym niekiedy pewne zadania obliczeniowe warto realizować na CPU – wtedy dokonuje się analizy zadania obliczeniowego i przeprowadza podział zadań pomiędzy CPU i inne

¹Przykładowo firma Tesla zdecydowała się, że informacja z zestawu kamer wizyjnych będzie podstawą ich zaawansowanego systemu wspomaganie kierowcy – FSD (ang. *Full Self Driving*). Należy jednak zaznaczyć, że pomimo nazwy nie jest to technologia certyfikowana jako autonomiczna (na moment pisania autoreferatu).

architektury obliczeniowe (akceleratory). Takie podejście określa się mianem projektowania sprzętowo-programowego (ang. *hardware-software co-design*).

- GPGPU (ang. *General-Purpose computing on Graphic Processing Unit*) – procesory graficzne, które początkowo wykorzystywane były do generowania/renderowania grafiki, a obecnie stanowią podstawową platformę obliczeniową dla głębokich sieci neuronowych. Są również często stosowane we wbudowanych systemach wizyjnych, jednak ich ograniczeniem jest z góry ustalona architektura sprzętowa. Należy dodać, że obecnie wyodrębnia się klasę urządzeń dedykowanych do obliczeń algorytmów sztucznej inteligencji, którą określa się układy AI (ang. *AI chip*).
- FPGA i SoC FPGA (ang. *Field Programmable Gate Array, System on Chip FPGA*) – układy rekonfigurowalne (reprogramowalne), niekiedy połączone w ramach jednego układu z systemem procesorowym (SoC FPGA). Układy FPGA charakteryzują się mniejszym niż CPU/GPP i GPU zużyciem energii. Umożliwiają projektowanie dedykowanej architektury obliczeniowej, która może być wielokrotnie modyfikowana, jednak odbywa się to kosztem efektywności energetycznej w stosunku do układów ASIC. Szerzej omówione w rozdziale 4.4.
- ASIC (ang. *Application Specific Integrated Circuits*) – układy elektroniczne projektowane dla konkretnych zadań obliczeniowych. W kontekście systemów wizyjnych charakteryzują się największą efektywnością energetyczną i najlepszym dopasowaniem do realizowanych algorytmów. Z drugiej strony ich zaprojektowanie i wykonanie pochłania relatywnie dużo czasu i wymaga poniesienia niemałych kosztów materialnych co powoduje, że mają sens tylko w przypadku produkcji wielkoskalowej.

Podsumowując, główną motywację do prowadzonych badań stanowi potrzeba budowy zaawansowanych systemów percepcji dla robotów mobilnych i szeroko rozumianych systemów monitoringu, które powinny charakteryzować się wysoką skutecznością (np. wysokim procentem poprawnych detekcji obiektów), zdolnością do realizacji obliczeń w czasie rzeczywistym, niską latencją oraz niewielkim zużyciem energii. Osiągnięcie tego celu jest możliwe, jak zostanie to pokazane w dalszej części autoreferatu, poprzez zastosowanie metodologii *hardware-aware algorithm design* – tj. projektowania algorytmów w sposób uwzględniający specyfikę rozważanej platformy obliczeniowej. W wybranych przypadkach jest to również wykonalne dzięki zastosowaniu projektowania sprzętowo-programowego (ang. *hardware-software co design*, czyli odpowiedniego podziału zadań obliczeniowych pomiędzy dostępne zasoby sprzętowe (logika rekonfigurowalna lub układy ASIC) oraz programowe: (procesory ogólnego przeznaczenia (GPP), procesory graficzne (GPU)).

Przedstawione rozważania i osiągnięcia dotyczą głównie systemów wbudowanych, jednak należy zaznaczyć, że stosując zbliżone podejście można również uzyskać istotne oszczędności energetyczne w przypadku projektowania rozwiązań dla centrów obliczeniowych. Dobry przykład stanowią coraz częściej wykorzystywane wysoce wyspecjalizowane akceleratory do głębokich sieci neuronowych.

4.4 Główne cele i metody badawcze

Przedmiotem moich zainteresowań naukowych jest projektowanie dedykowanych architektur sprzętowych do akceleracji algorytmów, w szczególności wykorzystywanych w systemach wizyjnych, w tym dla percepcji robotów mobilnych. W badaniach, jako główną platformę do ewaluacji zaprojektowanych modułów, stosuję układy FPGA oraz, w ostatnich latach, reprogramowalne układy heterogeniczne (inaczej SoC FPGA – ang. *System of Chip FPGA*), np. Zynq SoC oraz Zynq UltraScale+ MPSoC (ang. *Multi-Processor System on Chip*). Zagadnienia te można określić jako interdyscyplinarne z pogranicza automatyki, elektroniki oraz informatyki technicznej.

W przypadku systemów automatyki, w szczególności tzw. inteligentnych systemów sterowania dla robotów mobilnych (samochodów autonomicznych, bezzałogowych statków powietrznych), kluczową rolę odgrywa tzw. wizyjne sprzężenie zwrotne. Informacja pozyskana z czujników stanowiących system percepcji, po przetworzeniu, jest wykorzystywana do realizacji sterowania. W rozważanych przypadkach istotnymi parametrami są: bardzo niska latencja oraz możliwość realizacji obliczeń w czasie rzeczywistym, tu rozumianym jako przetwarzanie danych przed dostarczeniem ich kolejnej porcji przez urządzenia wejściowe.

Podstawą prezentowanych rozwiązań jest projektowanie architektur obliczeniowych, które po realizacji w języku opisu sprzętu (np. Verilog, SystemVerilog, VHDL), procesie symulacji i implementacji, są następnie uruchamiane w układach rekonfigurowalnych (FPGA) lub heterogenicznych układach rekonfigurowalnych (SoC FPGA). Stąd badania również wpisują się w obszar elektroniki.

Związki z informatyką techniczną są natomiast dwojakie. Po pierwsze, projektowanie architektur obliczeniowych, w szczególności obejmujących również systemy procesorowe (układy SoC FPGA) oraz współpracę systemu procesorowego z akceleratorami sprzętowymi, zaliczane jest do tej dyscypliny. Po drugie, istotna część prac nt. szeroko rozumianych algorytmów przetwarzania, analizy oraz rozpoznawania obrazów, a także obecnie głębokich sieci neuronowych, zaliczana jest również do informatyki technicznej.

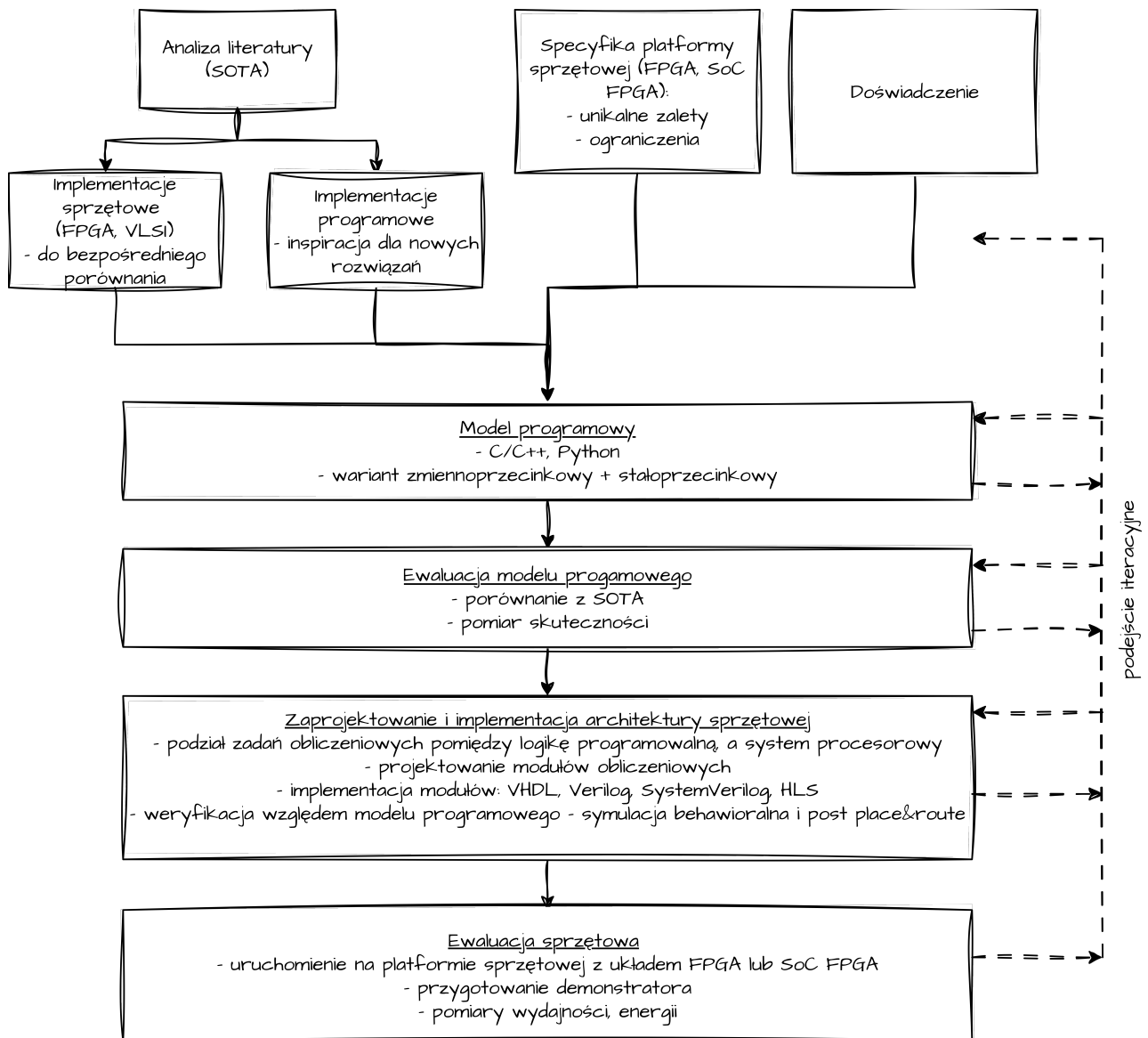
Celem wszystkich omawianych prac badawczych jest zaprojektowanie modułów lub systemów wizyjnych, które charakteryzują się:

- **wysoką skutecznością** – rozumianą np. jako poprawne działanie algorytmu przetwarzania wstępnego i analizy obrazu lub detekcji obiektów (np. wysoki procent poprawnych klasyfikacji lub detekcji),
- **przetwarzaniem w czasie rzeczywistym** – w przypadku systemów wizyjnych *system czasu rzeczywistego* powinien charakteryzować się z góry określonym czasem odpowiedzi, który zapewnia możliwość sterowania obiektem przy pomocy wizyjnego sprzężenia zwrotnego, tak by uwzględnić dynamikę rozważanego systemu oraz nie wpływać negatywnie na jego stabilność. Przykładowo być zdolnym do przetwarzania danych „na bieżąco”, w tempie, w jakim są one dostarczane przez czujnik, np. typowo 60 ramek wizyjnych na sekundę,
- **niską latencją** – rozumianą jako czas, który mija od pojawienia się strumienia danych (pikseli lub zdarzeń) na wejściu do modułu obliczeniowego do czasu pojawienia się rezultatu na wyjściu. Parametr ten ma szczególne znaczenie w przypadku, kiedy system wizyjny wchodzi w skład systemu percepcji np. pojazdu autonomicznego (samochodu, bezałogowego statku powietrznego),
- **niskim zużyciem energii** – rozwiązania, w których stosuje się rozważane algorytmy, można określić jako wbudowane (ang. *embedded*) np. kamery inteligentne, drony, roboty mobilne. W takim przypadku budżet energetyczny często jest ograniczony, a rozwiązania pozwalające na zapewnienie odpowiednich parametrów pracy systemu (skuteczność, szybkość, niezawodność), przy jednoczesnym ograniczeniu zużycia energii są bardzo pożądane. Należy też zauważyć, że obecnie duży nacisk kładzie się na efektywność energetyczną systemów obliczeniowych – niezależnie od tego, czy celem jest urządzenie wbudowane, czy praca w centrum obliczeniowym.

Aby zaprojektować moduł, który spełnia wyżej wymienione wymagania, najlepszym podejściem jest zastosowanie metodologii określanej jako projektowanie algorytmów z uwzględnieniem docelowej platformy sprzętowej (ang. *hardware-aware algorithm design*), w niektórych przypadkach uzupełnionej o projektowanie sprzętowo-programowe (ang. *hardware-software co-design*). Schematycznie zostało to przedstawione na rysunku 1. Należy zaznaczyć, że podejście to – w różnych wariantach – stosują zespoły naukowe zajmujące się zblizoną tematyką.

Wariant metodologii, doskonalony przeze mnie, a następnie przez Współpracowników pod moim nadzorem, obejmuje następujące etapy:

- pogłębioną **analizę algorytmów** opisanych w literaturze – obejmuje on przegląd algorytmów opracowanych z myślą o procesorach ogólnego przeznaczenia (CPU) oraz programowalnych procesorach graficznych (GPU), jak również dotychczas zaprojektowanych modułów sprzętowych – w układach FPGA, ale także jako ASIC. Na tej podstawie, uwzględniając zgromadzone doświadczenie i dogłębną znajomość specyfiki projektowania sprzętowych modułów obliczeniowych, można zwykle zaproponować nowy wariant algorytmu, który zachowując parametry rozwiązania bazowego, pozwoli na szybszą i bardziej efektywną energetycznie realizację obliczeń. Istotnym elementem tych rozważań jest również poszukiwanie możliwości zrównoleglenia algorytmów sekwencyjnych oraz analiza, który rodzaj zasobów obliczeniowych będzie najbardziej efektywnie realizował określony fragment zadania obliczeniowego, a następnie dokonanie odpowiedniego podziału rozważanych zadań.
- przygotowanie tzw. **modelu programowego** – obejmuje on implementację wstępnie wybranych wersji algorytmu w języku wysokiego poziomu, np. Python, C/C++, w taki sposób, aby uwzględnić specyfikę realizacji obliczeń na docelowej platformie. Przykładowo stosuje się obliczenia na liczbach stałoprzecinkowych (lub całkowitych), uwzględnia się specyfikę dostępnej hierarchii pamięci (lokalnej, blokowej, zewnętrznej) oraz specjalizowanych elementów obliczeniowych (np. mnożarek sprzętowych), a także możliwość zrównoleglenia obliczeń. Dodatkowo, w przypadku akceleracji sieci neuronowych, należy również określić ogólną architekturę akceleratora (iteracyjny, potokowy, mieszany), rodzaj kwantyzacji (w tym np. wykorzystanie kwantyzacji logarytmicznej), czy zastosowanie tzw. *pruning* (eliminacji mało znaczących neuronów i/lub połączeń). W uzasadnionych przypadkach rozważa się również możliwość podziału zadań pomiędzy zasoby sprzętowe a programowe.
- **ewaluację modelu programowego** – obejmuje on przygotowanie procedury testowej, która pozwala porównać zaproponowaną wersję algorytmu z oryginalną oraz z innymi opublikowanymi w literaturze naukowej. Obecnie dąży się do zapewnienia porównywalności wyników, m.in. poprzez testowanie rozwiązań na szeroko akceptowanych w środowisku naukowym zbiorach danych. Trend ten jest szczególnie widoczny w pracach dotyczących głębokich sieci neuronowych. Prawidłowo przeprowadzona analiza pozwala ocenić, czy opracowany algorytm spełnia założenie o wysokiej skuteczności. Dodatkowo analizuje się wpływ zaproponowanych modyfikacji (np. użycie obliczeń stałoprzecinkowych) na spadek skuteczności np. zmniejszenie się liczby poprawnych detekcji obiektów. Obliczenia na tym etapie realizowane są z wykorzystaniem procesorów ogólnego przeznaczenia oraz procesorów graficznych.



Rysunek 1: Schemat stosowania metodologii projektowania algorytmów z uwzględnieniem docelowej platformy sprzętowej (ang. *hardware-aware algorithm design*) w połączeniu z projektowaniem sprzętowo-programowym (ang. *hardware-software co-design*)

- zaprojektowanie i implementację **architektury sprzętowej** – obejmuje on „przeniesienie” całości lub części opracowanego modelu programowego na szereg współpracujących modułów sprzętowych, a następnie opisanie ich w języku opisu sprzętu (HDL – ang. *Hardware Description Language*) – przykładowo VHDL, Verilog lub SystemVerilog. Należy zauważyć, że możliwe jest tu również zastosowanie narzędzi HLS (ang. *High-Level Synthesis*, czyli opisu modułów w języku wysokiego poziomu (np. C/C++) uzupełnionego o dodatkową składnię (tzw. pragmy), które wskazują kompilatorowi np. to, że dana pętla ma zostać zrównoleglona. Takie podejście jest dość popularne wśród naukowców, jednak w naszym Zespole, po kilku negatywnych doświadczeniach z HLS, obecnie skupiamy się głównie na narzędziach HDL. Należy też zaznaczyć, że stosowanie narzędzi HLS jest zwykle łatwiejsze niż opisywanie architektury w językach opisu sprzętu, ale odbywa się to kosztem wydajności realizowanej architektury. Implementacja obejmuje również symulowanie i testowanie poszczególnych elementów rozwiązania – pojedynczych modułów oraz zintegrowanych systemów. W tym procesie kluczową rolę pełni model programowy, który stanowi punkt odniesienia dla stwierdzania poprawności uzyskiwanych wyników. Testowanie zwykle obejmuje poziom funkcjonalny (ang. *behavioural*) oraz sprzętowy (*post-synthesis* i *post-place and route*).
- **ewaluację** zaimplementowanych metod na docelowej platformie sprzętowej – obejmuje on integrację stworzonego modułu z pozostałymi komponentami systemu, np. źródłem danych wejściowych (kamerą, emulowaną kamerą – wyjściem z karty graficznej, kartą SD), wyjściem (np. modulem wyświetlającym obraz na monitorze, konsolą), zewnętrzną pamięcią RAM oraz częścią programową systemu. W drugim kroku system jest uruchamiany i weryfikowane jest jego poprawne działanie (ang. *in-circuit verification*). Oceniane są również: zdolność do działania w czasie rzeczywistym, latencja oraz zużycie energii. Należy podkreślić, że skuteczność rozwiązania zwykle ocenia się na podstawie modelu programowego, gdyż procedura taka na dużym zbiorze danych z wykorzystaniem układu FPGA jest dość skomplikowana technicznie. Tu zakłada się i dąży do pełnej zgodności wyniku modelu programowego i implementacji sprzętowej. Zatem w ewaluacji występują trzy aplikacje: wejściowa, model programowy oraz sprzętowa. Warto zaznaczyć, że pomiędzy aplikacją wejściową a modelem programowym i finalnym rozwiązaniem sprzętowym niekiedy występują różnice np. z uwagi na stosowanie obliczeń stałoprzecinkowych zamiast zmiennoprzecinkowych oraz innych modyfikacji i uproszczeń. Niekiedy prowadzi to do spadku skuteczności rozwiązania. Stąd analiza, czy proponowane zmiany są akceptowalne z punktu widzenia docelowego rozwiązania, stanowi element omawianej metodologii.

Opisana metodologia jest procesem iteracyjnym – często niezbędny jest powrót do wcześniejszego etapu i przeprowadzenie dodatkowych badań oraz eksperymentów. Przykładowo dość często okazuje się, że niemożliwa jest implementacja początkowo zakładanych modułów lub ich działanie nie jest efektywne. Wtedy konieczny jest powrót do modelu programowego, przeprojektowanie go, ponowne przeprowadzanie ewaluacji i zastosowanie nowego podejścia w module sprzętowym.

Przedstawiona metodologia została zastosowana we wszystkich pracach wchodzących w skład osiągnięcia naukowego i jest dalej doskonalona przeze mnie i moich współpracowników. Jej użycie zwykle pozwala uzyskać założone cele, choć sam proces bywa niekiedy bardzo czasochłonny. Szczególne wyzwanie stanowi często etap uruchomienia w sprzęcie, gdzie niekiedy pojawiają się trudne do wykrycia i usunięcia problemy, najczęściej wynikające ze współpracy z zewnętrznymi modułami (np. pamięć RAM) lub czujnikami. Stąd, w celu uzyskania zakładanego wyniku, konieczna jest praca zespołowa – główny badacz wyznacza kierunki prac, rozdziela zadania oraz prowadzi ciągły nadzór merytoryczny, natomiast poszczególni Członkowie Zespołu badawczego, w tym także dyplomanci, realizują przydzielone prace badawcze i implementacyjne (często także o charakterze inżynierskim).

Podsumowując, efektem moich badań stanowiących osiągnięcie habilitacyjne jest rozwinięcie metodologii akceleracji sprzętowej algorytmów przetwarzania danych wizyjnych *hardware-aware algorithm design* połączonej ze sprzętowo-programową realizacją zadań obliczeniowych. Aplikacja metodologii dla wybranych algorytmów wizyjnych pozwoliła na zaproponowanie nowatorskich sposobów organizacji obliczeń (architektur obliczeniowych), które z jednej strony charakteryzują się wysoką skutecznością, a z drugiej pozwalają na realizację obliczeń w czasie rzeczywistym, z niską latencją oraz przy ograniczonym budżecie energetycznym. W rozdziale 4.5 omówiłem prace dotyczące przetwarzania danych wizyjnych:

- dla strumienia o standardowej rozdzielczości – grant NCN Preludium (2011-2013) „Rekonfigurowalna implementacja modułów sprzętowych do przetwarzania i analizy złożonych sygnałów wizyjnych” oraz prace bezpośrednio po obronie rozprawy doktorskiej (2013-2016). W tym przypadku moja rola polegała zarówno na postawieniu tez badawczych, jak i wykonaniu całości lub istotnej części prac analitycznych i implementacyjnych.
- dla strumienia o rozdzielczości 4K/UHD (ang. *Ultra-High Definition*) – grant NCN Sonata „Opracowanie sposobu organizacji obliczeń w heterogenicznych układach rekonfigurowalnych najnowszej generacji umożliwiającego przetwarzanie strumienia wizyjnego UHD/4K w czasie rzeczywistym” realizowany w latach 2017-2022. W tym przypadku w zdecydowanie większym stopniu skoncentrowałem się na opracowaniu

koncepcji naukowej projektu oraz kierowaniu Zespołem, którego Członkowie zajmowali się częścią analityczną i implementacyjną.

Następnie, w rozdziale 4.6 omówiłem najnowsze prace, które skupiają się na akceleracji przetwarzania danych rejestrowanych kamerą zdarzeniową. Dla tych badań byłem współtwórcą koncepcji badawczej, a także kierowałem i na bieżąco nadzorowałem merytorycznie prowadzone przez Członków Zespołu prace – jako promotor pomocniczy zaangażowanych doktorantów oraz promotor współpracujących z Zespołem dyplomantów. Z uwagi na całkowicie odmienny sposób akwizycji, format danych wejściowych i jego wpływ na sposób organizacji obliczeń, a także inne metody stosowane do przetwarzania, analizy, rozpoznawania i wizualizacji danych zdarzeniowych, prace te stanowią odrębne osiągnięcie naukowe.

4.5 Architektury sprzętowe do przetwarzania strumienia wideo, w tym dla rozdzielczości 4K/UHD ([V01] – [V14])

Projektowanie architektur do przetwarzania danych wizyjnych ma długą historię sięgającą lat 70. XX wieku. Początkowo realizacja dedykowanych procesorów była możliwa albo z podstawowych cyfrowych elementów elektronicznych takich jak bramki logiczne, przerzutniki, rejestry opóźniające itp., albo poprzez projektowanie układów ASIC. W obu przypadkach zadanie było trudne i czasochłonne, a możliwe do realizacji algorytmy, z dzisiejszej perspektywy, bardzo elementarne. Pojawienie się w połowie lat 80. XX wieku układów FPGA, a szczególnie z początkiem lat 90. wersji wyposażonych w zasoby wbudowanej pamięci blokowej (BRAM – ang. *Block Random Access Memory*) oraz mnożarek sprzętowych (DSP – ang. *Digital Signal Processor*), zapoczątkowało prace w tematyce niekiedy określanej jako *FPGA imaging* [15].

Osobiście w ten nurt badań włączyłem się w 2009 roku, po zrealizowaniu pracy magisterskiej i jednego artykułu z tematyki akceleracji algorytmów kryptograficznych w układach FPGA (prace te są poza zakresem obecnie opisanego osiągnięcia naukowego²). Pierwsza z prac stanowiących osiągnięcie [V01] dotyczyła sprzętowej implementacji operacji binaryzacji lokalnej z użyciem narzędzia HLS Mittrion-C. W szczególności zaprojektowałem moduł obliczeniowy realizujący algorytm Sauvola [33] w dwóch wariantach: podstawowym (z buforowaniem całego obrazka) oraz z wykorzystaniem potokowości. Ponadto przeprowadziłem szereg eksperymentów nt. wpływu precyzji obliczeń na skuteczność binaryzacji i użycie zasobów układu FPGA (tj. pośrednio energii). Badania zakończyłem na etapie implementacji konfiguracji FPGA (weryfikacja na podstawie symulacji), gdyż z uwagi na brak dostępu do platformy sprzętowej wspierającej to narzędzie, nie udało mi się wykonać weryfikacji w sprzęcie. Cenną obserwacją z tamtych badań było stwierdzenie, że pomimo iż narzędzia typu HLS dążą do abstrakcji implementacji obliczeń od używanego sprzętu, brak znajomości własności wykorzystywanej platformy sprzętowej często prowadzi do nieefektywnych rozwiązań. Wydaje się, że 16 lat później powyższa uwaga jest nadal aktualna i to pomimo intensywnego rozwoju narzędzi HLS.

Na podstawie uzyskanych wtedy doświadczeń oraz chcąc kontynuować badania w obszarze wbudowanych systemów wizyjnych zrealizowanych w układach rekonfigurowalnych, aplikowałem o projekt NCN Preludium pt. „Rekonfigurowalna implementacja modułów sprzętowych do przetwarzania i analizy złożonych sygnałów wizyjnych”, który został mi przyznany i był realizowany przeze mnie w latach 2011 – 2013. Najważniejsze osiągnięcie tego projektu stanowi opracowanie koncepcji wykonania zadań obliczeniowych w zasobach rekonfigurowalnych dla trzech algorytmów segmentacji obiektów pierwszoplanowych opisanych w pracach [V02] – [V04].

Segmentacja obiektów pierwszoplanowych metodą klasteryzacji

Segmentacja obiektów pierwszoplanowych (ang. *foreground object segmentation*) to procedura, która pozwala wskazać tzw. obiekty pierwszoplanowe (np. pieszych, samochody; ang. *foreground*) i oddzielić je od tła (ang. *background*). Należy przy tym zauważyć, że obiekty pierwszoplanowe nie muszą być ruchome (np. samochód oczekujący na czerwonym świetle), a tło stacjonarne (np. płynąca woda). Zatem w tej aplikacji nie jest wystarczające wykrycie obiektów ruchomych, stosując przykładowo odejmowanie sąsiednich ramek lub wyznaczanie przepływu optycznego. Wyniki prac pozwoliły na wydatną akcelerację obliczeń przy zachowaniu pełnej zgodności ze znacznie wolniejszymi algorytmami wykonywanymi w zasobach programowych przy równoczesnym uzyskaniu mniejszej energochłonności. Zaproponowałem również poprawki do samych algorytmów. W tym okresie współpracowałem korespondencyjnie z międzynarodową grupą naukowców zajmujących się problematyką algorytmów generacji tła, w tym z prof. Thierryem Bouwmansem z Université La Rochelle, Francja, z którym także obecnie prowadzimy wspólne badania i organizujemy konferencje oraz warsztaty (por. rozdział 5). Warto także zauważyć, że obecnie (2025) znaczenie tej grupy algorytmów zmalało, głównie z uwagi na dynamiczny rozwój głębokich sieci neuronowych, a konkretnie zaawansowanych modeli do segmentacji – przykładowo model SAM 2 (ang. *Segment Anything Model* [31] zaproponowany przez Meta AI, oraz do detekcji obiektów np. YOLOv11³ (ang. *You Only Look Once*) rozwijany przez firmę Ultralytics.

²powstały artykuł pt. „Pipeline implementation of the 128-bit block cipher CLEFIA in FPGA”, którego wyniki zaprezentowałem na prestiżowej konferencji FPL 2009 w Pradze ma w bazie Scopus 16 cytowań (18.08.2025)

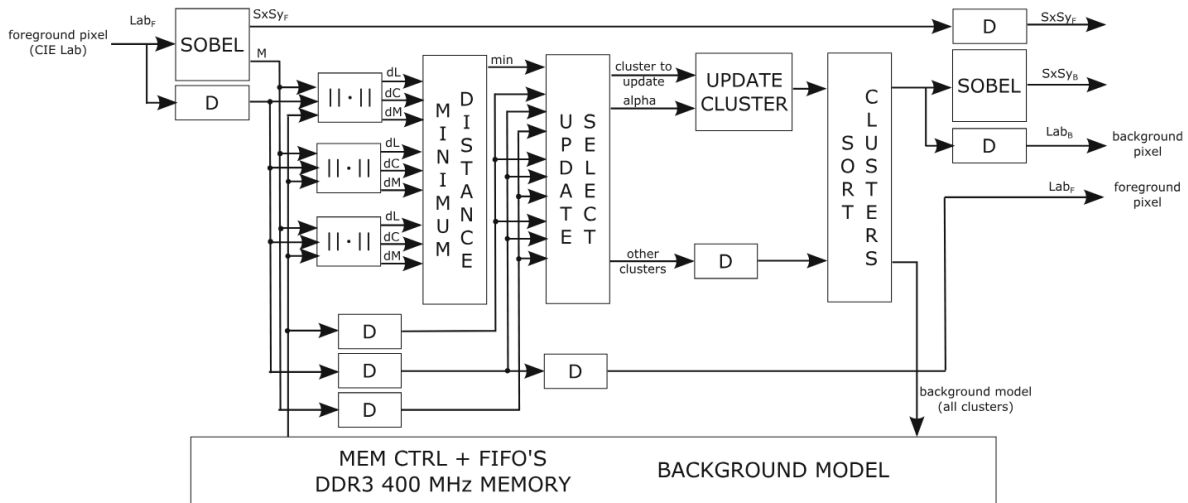
³<https://github.com/ultralytics/ultralytics>

W pracy [V02] zaproponowałem algorytm segmentacji obiektów pierwszoplanowych, który został zaprojektowany z myślą o przetwarzaniu kolorowego strumienia wideo o rozdzielczości FHD (ang. *Full High Definition* – 1920×1080 pikseli przy 60 klatkach na sekundę (ang. *frames per second* – fps)⁴. Inspirację stanowiły algorytm klasteryzacji [5] oraz popularne podejście GMM (ang. *Gaussian Mixture Model* [37].

Przy projektowaniu rozwiązania uwzględniłem główne ograniczenie dla tego typu algorytmów implementowanych w układach reprogramowalnych tj. przepustowość do zewnętrznej pamięci RAM. Układy FPGA charakteryzują się względnie ograniczonymi zasobami wewnętrznej pamięci RAM (BRAM lub w nowszych układach także URAM – *Ultra RAM*). Przykładowo rozważany w omawianym artykule układ FPGA z rodziny Virtex 7 firmy Xilinx⁵ zawiera 8.5 MB wewnętrznej pamięci BRAM. Z drugiej strony model tła, który stanowi pewną reprezentację sceny bez obiektów pierwszoplanowych, zwykle ma wymiary przestrzenne zgodne z rozdzielczością obrazu, ale wymaga słowa o większej szerokości niż obraz w skali szarości lub w kolorze, dla których wykorzystuje się odpowiednio 8 i 24 bity na piksel. Przekłada się to na przykładowy rozmiar modelu 2.7 MB do 53.4 MB, w zależności od przyjętych parametrów i rozważanego algorytmu, co stanowi wartość większą niż dostępne zasoby wewnętrzne RAM układu FPGA i wymusza współpracę z zewnętrzną pamięcią RAM.

Segmentacja realizowana jest w trzech krokach – pobranie modelu tła z RAM, określenie, czy dany piksel należy do tła, czy obiektu pierwszoplanowego (klasyfikacja), oraz zapis zaktualizowanego modelu do RAM. Stąd dla jednej ramki obrazu model przesyłany jest dwukrotnie (odczyt i zapis). Przy 60 ramkach na sekundę trzeba uwzględnić maksymalną przepustowość do zewnętrznej pamięci RAM – zarówno teoretyczną, jak i możliwą do osiągnięcia w praktyce, która, jak pokazały eksperymenty, jest zwykle niższa (nawet dwukrotnie). Ostatecznie, w rozważanym przypadku udało się uruchomić model o reprezentacji w postaci słowa o 160 bitach na piksel. Za implementację komunikacji z zewnętrzną pamięcią RAM był odpowiedzialny współautor artykułu Mateusz Komorkiewicz.

Zaprojektowany algorytm zawierał ponadto kilka dodatkowych autorskich rozwiązań. Zastosowałem przestrzeń CIE Lab zamiast RGB i pokazałem, że pozwala to na poprawę jakości segmentacji. Ponadto do procesu segmentacji dołączyłem informacje o teksturze – przebadalem grupę operatorów teksturowych od prostego detektora krawędzi Sobela po znormalizowaną korelację wzajemną, czy SILTP (ang. *Scale-Invariant Local Ternary Patterns*). Ewaluacja różnych wariantów modelu programowego prowadzona była na wykorzystywanym ówczesnie zbiorze Wallflower oraz Intelligent Room. Analizowano miarę F1 oraz *Similarity*.

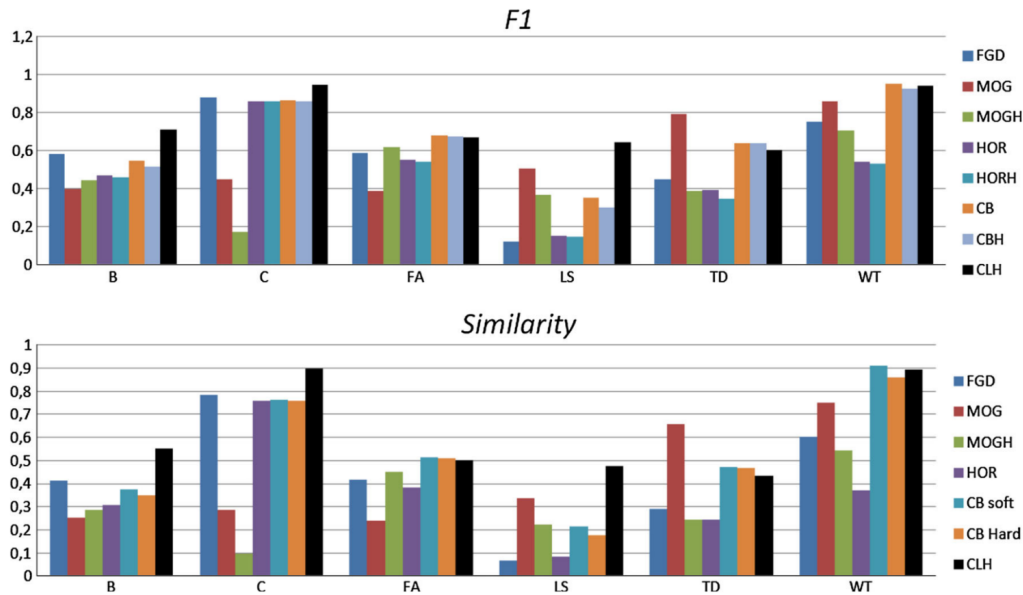


Rysunek 2: Schemat systemu do segmentacji obiektów pierwszoplanowych zaproponowanego w pracy [V02]

W etapie implementacji sprzętowej byłem autorem zdecydowanej większości modułów sprzętowych – schemat systemu pokazano na rysunku 4. System został uruchomiony i zweryfikowany na platformie ML605 z układem FPGA z rodziny Virtex 6. Ostatecznie uzyskano przetwarzanie strumienia FHD w czasie rzeczywistym. Na moment pisania publikacji był to jedyny algorytm segmentacji obiektów pierwszoplanowych uruchomiony w FPGA, działający dla kolorowego strumienia wizyjnego o parametrach $1920 \times 1080 @ 60fps$. Dodatkowo jego skuteczność wyznaczona na zbiorze Wallflower nie odbiegała znacząco od najlepszych ówczesnie rozwiązań, co pokazano na rysunku 3.

⁴w dalszej części autoreferatu parametry strumienia wizyjnego oznaczane będą w formacie $XX \times YY @ FFfps$, gdzie XX i YY to odpowiednio rozdzielczość pozioma i pionowa (w pikselach), a FF to liczba klatek na sekundę

⁵obecnie AMD



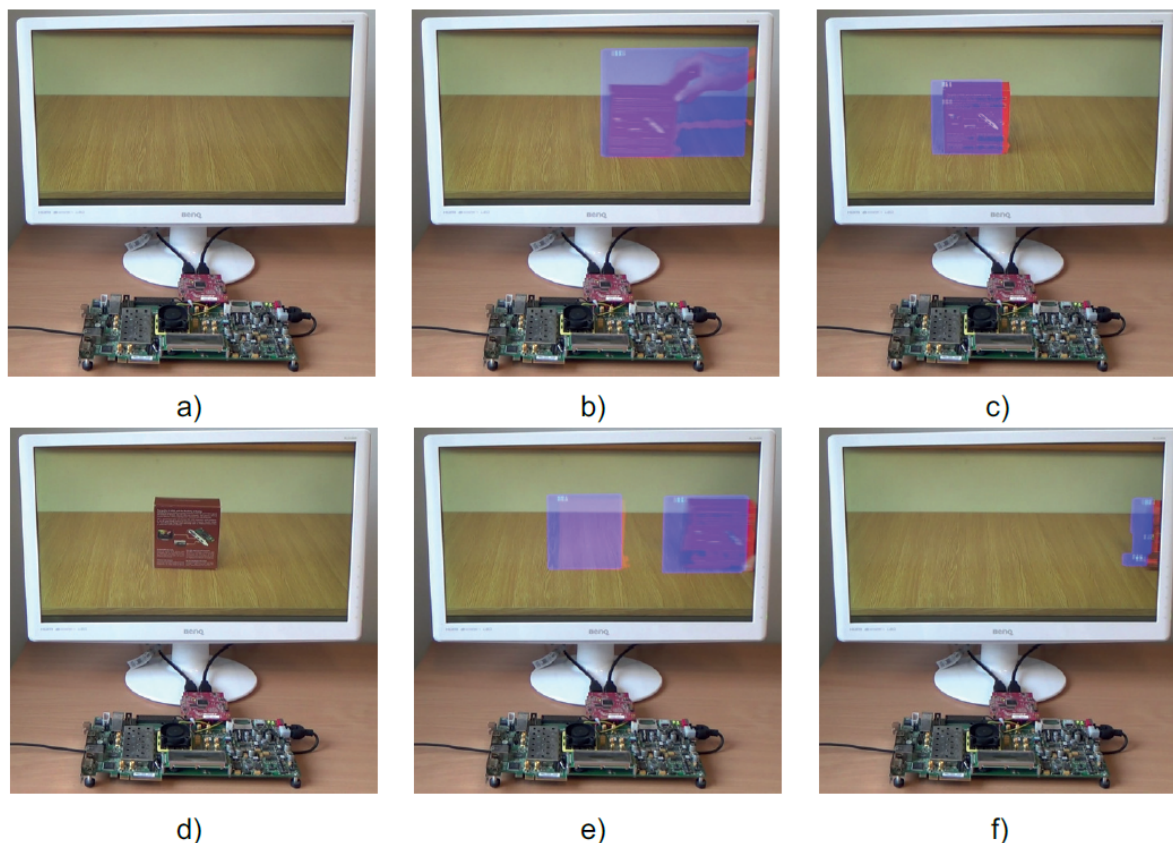
Rysunek 3: Miary F1 i *Similarity* na zbiorze Wallflower dla zaproponowanej metody (CLH) oraz innych ówczśnie dostępnych [V02]

Segmentacja obiektów pierwszoplanowych metodą ViBE

W pracy [V03] zaproponowałem pierwszą sprzętową implementację algorytmu segmentacji obiektów pierwszoplanowych ViBE (ang. *Visual Background Extractor* [3]). Na moment prowadzenia badań był on jednym z najlepszych rozwiązań wg rankingu *Changedetection.net*, ponadto charakteryzował się względnie prostymi obliczeniami. Jednakże, podobnie jak w przypadku [V02], wyzwaniem była współpraca z zewnętrzną pamięcią RAM. Wynikające stąd ograniczenia umożliwiły przetwarzanie w czasie rzeczywistym na karcie VC707 z układem Virtex 7 strumienia o rozdzielczości ograniczonej do $720 \times 576 @ 50fps$. Dodatkowo, we współpracy ze współautorem Mateuszem Komorkiewiczem, zaproponowałem dwa rozszerzenia pozwalające zastosować algorytm do strumienia zarejestrowanego ruchomą kamerą – warianty mViBE oraz mViBE+. Do estymacji przemieszczenia kamery wykorzystane zostało śledzenie narożników wykrytych algorytmem Harrisa (za tę część odpowiedzialny był współautor). Działanie systemu zostało pozytywnie zweryfikowane w spręcie.

Segmentacja obiektów pierwszoplanowych metodą PBAS

W pracy [V04] zaproponowałem pierwszą sprzętową implementację algorytmu segmentacji obiektów pierwszoplanowych PBAS (ang. *Pixel-Based Adaptive Segmenter* [17], który stanowi rozwinięcie metody ViBE [V03]. Dodatkowo, do oryginalnego algorytmu dodałem moduł pozwalający odróżnić zatrzymane obiekty pierwszoplanowe (np. pieszego oczekującego przed przejściem) od tzw. *ghostów* tj. „wirtualnych” (nieistniejących) obiektów, które powstały na skutek błędnego działania algorytmu. Przeprowadzone przeze mnie eksperymenty na zbiorze *Changedetection.net* pokazały, że zaproponowana metoda poprawia ogólną skuteczność segmentacji. Na podstawie modelu programowego opracowałem implementację sprzętową modułów algorytmu PBAS, a współautor odpowiedzialny był za moduł indeksacji (ang. *connected component labelling*) oraz kontroler pamięci RAM. Ostatecznie na karcie VC707 z układem Virtex 7 uzyskano przetwarzanie strumienia o rozdzielczości $720 \times 576 @ 50fps$. Należy zauważyć, że było to ówczśnie bardzo nowatorskie rozwiązanie – wykorzystanie układu FPGA pozwoliło na realizację obliczeń w czasie rzeczywistym, co nie było osiągalne na innych, programowalnych platformach obliczeniowych.



Rysunek 4: Ilustracja działania systemu zaproponowanego w pracy [V04] uruchomionego na karcie VC707. W górnym rzędzie zilustrowano działanie systemu w typowej sytuacji: inicjalizacja z pustym tłem (a), pojawienie się obiektu (b) oraz jego detekcja (c) – obiekt nie jest wtapiany do modelu tła. W dolnym rzędzie pokazano sytuację, w której podczas inicjalizacji systemu na scenie obecny jest ruchomy obiekt, który jest błędnie interpretowany jako tło (d), co prowadzi do powstania tzw. *ghosta* („ducha obiektu” – błędu w modelu tła), który jest wykrywany jako obiekt pierwszoplanowy obok prawidłowego obiektu (e), po pewnym czasie, dzięki zaproponowanemu mechanizmowi analizy błąd w modelu tła znika. Kolorem niebieskim oznaczono ramkę opisującą wykryte obiekty, a sam obiekt na rysunkach (b), (c), (e) i (f) jest półprzezroczysty.

Po ukończeniu projektu NCN Preludium, w ramach którego powstało również wiele innych modułów oraz wbudowanych systemów wizyjnych oraz uzyskaniu stopnia doktora (04.03.2013 r.), kontynuowałem prace w obszarze architektur sprzętowych do przetwarzania strumienia wideo. Z uwagi na chęć ograniczenia liczby prezentowanych publikacji oraz fakt, że większość wyników naukowych w latach 2014-2017 została w jakimś stopniu wykorzystana w omówionym w dalszej części autoreferatu projekcie NCN Sonata, przedstawiam tylko dwie najbardziej wartościowe naukowo prace z tego okresu ⁶.

Wyznaczanie przepływu optycznego metodą Horna-Schuncka

Wyznaczanie przepływu optycznego, czyli pola wektorowego opisującego przemieszczenie pikseli pomiędzy dwoma ramkami z sekwencji wideo, to podstawowa metoda detekcji ruchu, kluczowa dla systemów percepcji samochodów autonomicznych i dronów. Metoda ta jest stosowana przykładowo w systemach stabilizacji dronów jako tzw. czujnik przepływu optycznego. W literaturze zaproponowano wiele algorytmów pozwalających na wyliczenie przepływu optycznego, jednakże na moment prowadzenia badań najpopularniejsze były dwa: Lucas-Kanade [24] i Horn-Schunck [18]. W ramach pracy [V05] współuczestniczyłem w badaniach nad akceleracją sprzętową metody Horna-Schuncka w układzie FPGA. Mój wkład obejmował konsultowanie koncepcji badań, opracowanie metody filtracji wstępnej oraz metody i modułu sprzętowego pozwalającego na ocenę poprawności (tj. spójności) wyznaczonego przepływu optycznego. Byłem także odpowiedzialny za analizę dotychczas opublikowanych prac w tym obszarze i porównanie ich z zaproponowanym rozwiązaniem.

Ostatecznie na karcie VC707 z układem Virtex 7 uzyskano przetwarzanie strumienia o rozdzielczości 1920×1080 @ $60fps$ dla 32 iteracji algorytmu Horna-Schuncka (wersja z obliczeniami stałoprzecinkowymi). Warto zaznaczyć, że ówczesni inni autorzy proponowali moduły iteracyjne do akceleracji tego samego algorytmu zdolne

⁶pozostałe prace dostępne w pełnym wykazie publikacji w serwisie BaDAP AGH <https://badap.agh.edu.pl/autor/kryjak-tomasz-006219> lub Google Scholar <https://scholar.google.com/citations?user=1akpKyUAAAAJ&hl>

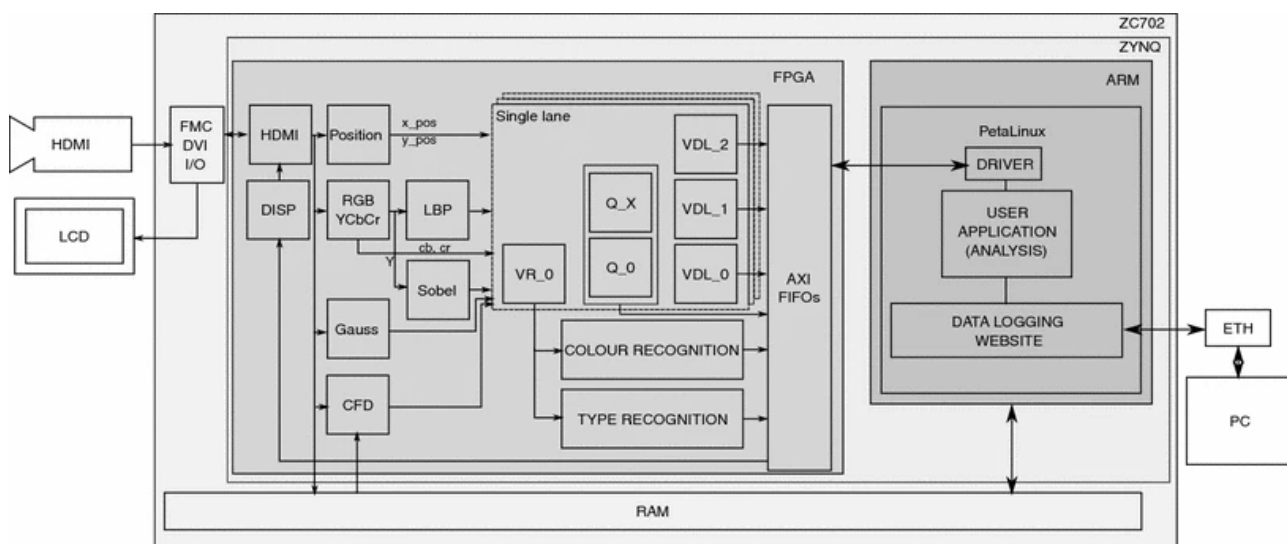
do przetwarzania strumienia 320×240 lub 256×256 dla maksymalnie 10 iteracji. Zatem moduł był w stanie analizować strumień danych o większej przepustowości (124.16 MPix/s vs. 16.19 MPix/s) oraz generował przepływ optyczny o wyższej dokładności. Co więcej, przez stosunkowo długi czas (do ok. 2019/2020), te parametry były zdecydowanie najlepszym wynikiem na świecie. Publikacja ta ma wg. bazy Scopus 28 cytowań (stan na 18.08.2025r.).

Sprzętowo-programowy system na potrzeby inteligentnych systemów transportowych

W ramach pracy [V06] prowadziłem badania nad wykorzystaniem heterogenicznych układów reprogramowalnych (SoC FPGA) jako podstawowej platformy obliczeniowej dla kamery inteligentnej (ang. *smart camera*), która może zostać zastosowana do monitorowania ruchu drogowego i stanowić element inteligentnego systemu transportowego (ang. *Intelligent Transportation System* – ITS). Należy przy tym zaznaczyć, że prace realizowałem w latach 2015-2016, czyli praktycznie od początku dostępności układów SoC FPGA nowej generacji (z procesorami ARM), a konkretnie Zynq SoC firmy Xilinx (AMD).

Przygotowałem demonstrator, w ramach którego opracowałem model programowy i większość modułów sprzętowych, które realizowały następujące funkcjonalności: estymację długości kolejki pojazdów przed skrzyżowaniem, detekcję pojazdu, zliczanie pojazdów (wirtualne linie detekcji), estymację prędkości pojazdów (na podstawie czasu przejazdu pomiędzy liniami detekcji) oraz klasyfikację pojazdów z wykorzystaniem cech LBP (ang. *Local Binary Pattern* oraz klasyfikatora SVM (ang. *Support Vector Machine*), a także koloru i klasyfikatora *k*-średnich (ang. *k-means*) (pozostałe moduły wykonał współautor).

Zdecydowaną większość obliczeń zrealizowałem w postaci modułów sprzętowych w części rekonfigurowalnej systemu, natomiast w systemie procesorowym, na którym uruchomiłem system operacyjny PetaLinux, zaimplementowałem końcową analizę wyników oraz komunikację z komputerem PC. Szczegółowy schemat rozwiązania widoczny jest na rysunku 5.



Rysunek 5: Schemat zrealizowanego systemu monitorowania ruchu drogowego. Zadanie obliczeniowe zostały podzielone pomiędzy część rekonfigurowalną (FPGA) oraz system procesorowy (ARM). Źródło [V06].

System został uruchomiony na platformie ZC702 z układem Zynq SoC. Umożliwił on przetwarzanie strumienia wideo o rozdzielczości 720×576 @ 50fps przy założeniu, że analizowany jest ruch na trzech pasach jednocześnie. Stworzony demonstrator pokazywał duży potencjał układów SoC FPGA w systemach wizyjnych, a także korzyści wynikające z podziału obliczeń pomiędzy zasoby sprzętowe (FPGA) oraz system procesorowy (ARM). Poza aspektem naukowym, warto podkreślić opanowanie techniki podziału zadań obliczeniowych pomiędzy zasoby rekonfigurowalne i procesor ARM. Nabyte umiejętności i doświadczenie było i jest wykorzystywane w kolejnych projektowanych systemach wizyjnych.

Geneza projektu nt. przetwarzania strumienia wideo o rozdzielczości 4K/UHD

W roku 2016 firma Xilinx (obecnie AMD) zaprezentowała następcę układu Zynq SoC – Zynq UltraScale+ MPSoC (ang. *Multi-Processor System on Chip*). Układ ten, z uwagi na bardziej zaawansowany proces technologiczny 16nm FinFET+, wspierał działanie zasobów SoC z wyższymi częstotliwościami zegara oraz posiadał ich ogólnie więcej (logicznych, pamięciowych i modułów DSP), co umożliwiało uruchamianie złożonych modułów, które mogły przetwarzać strumień wideo o wysokiej rozdzielczości. Równocześnie na rynku pojawiły się moduły

FMC (ang. *FPGA Mezzanine Connector*), które umożliwiały akwizycję sygnału wizyjnego o rozdzielczości 4K i wprowadzenie go do układu FPGA (np. model TB-FMCH-HDMI4K produkowany przez firmę Inrevium). Niezbędne do prowadzenia badań źródła strumienia o rozdzielczości 4K/UHD tj. 3840×2160 pikseli oraz monitory i telewizory o tej rozdzielczości były już dostępne od kilku lat.

Omówione powyżej czynniki, wraz z doświadczeniami wyniesionymi z realizacji projektu NCN Preludium, doktoratu oraz późniejszych badań, zainspirowały mnie do złożenia w 2016 r. wniosku o grant NCN Sonata pt. „Opracowanie sposobu organizacji obliczeń w heterogenicznych układach rekonfigurowalnych najnowszej generacji umożliwiającego przetwarzanie strumienia wizyjnego UHD/4K w czasie rzeczywistym”. Projekt został zakwalifikowany do finansowania i był przeze mnie i pod moim nadzorem merytorycznym realizowany od 25.07.2017 do 24.07.2022 r.

Charakterystyka sygnału 4K/UHD

W pierwszych dwóch dekadach XXI w. można było zaobserwować dynamiczny rozwój czujników wizyjnych. Analiza strumienia wideo o wysokiej rozdzielczości pozwala na poprawę skuteczności rozważanego systemu wizyjnego – np. umożliwia detekcję obiektów bardziej oddalonych od kamery, co ma znaczenie w przypadku systemów wspomagających kierowcę (ADAS), monitoringu wizyjnego (AVSS), a także w aplikacjach takich jak pojazdy autonomiczne (samochody, drony). Obecnie najczęściej wykorzystywane są trzy rozdzielczości⁷: High Definition (HD – 1280×720), Full High Definition (FHD – 1920×1080) oraz Ultra High Definition (UHD, inaczej 4K – 3840×2160). Pojawiają się również rozwiązania 8K (7680×4320), a także 16K (15360×8640), ale z uwagi na wysoki koszt nie są obecnie szeroko stosowane. Należy zaznaczyć, że rozdzielczość bezpośrednio wpływa na rozmiar danych, które należy przetworzyć i/lub zapisać.

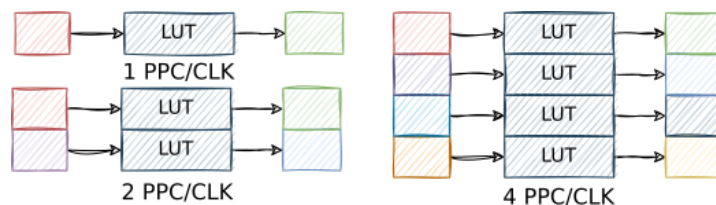
W kontekście systemów wizyjnych warto również zauważyć, że do momentu rozpoczęcia i rozwinięcia się trwającej obecnie „rewolucji sztucznej inteligencji”, gdzie za datę początkową można przyjąć rok ok. 2012/2013⁸, obserwowane było ciągle zwiększanie rozdzielczości analizowanego strumienia obrazu. Przełomowa praca, w której opisano konwolucyjną sieć neuronową, pozwalającą uzyskać istotnie lepsze wyniki klasyfikacji w konkursie ImageNet od algorytmów „klasycznych”, została opublikowana w 2012 r. [22], ale potrzebne było kilka lat, aby badania się rozwinęły i rozpowszechniły. Obecnie szeroko wykorzystywane głębokie sieci neuronowe, głównie z uwagi na bardzo dużą złożoność obliczeniową, przetwarzają zwykle obrazy o ograniczonej rozdzielczości, zwłaszcza jeśli system wizyjny ma działać w czasie rzeczywistym. Przykładowo bardzo popularna sieć do detekcji obiektów YOLOv11 (ang. *You Only Look Once*) przetwarza obraz o maksymalnej rozdzielczości 640×640 . Stąd dla strumienia o wyższych rozdzielczościach stosuje się podział obrazu wejściowego na mniejsze fragmenty, na których analiza przeprowadzana jest niezależnie (najlepiej równolegle), a końcowe wyniki są integrowane lub zmniejsza się rozdzielczość obrazu wejściowego.

Nieskompresowany, kolorowy strumień wizyjny (24 bity na piksel) o parametrach $3840 \times 2160 @ 60fps$ ma przepływność $1424 MB/s$. Dodatkowo, uzyskanie transmisji 60 klatek na sekundę przekłada się na zegar pikselela, czyli częstotliwość z jaką przesyłane lub odbierane są poszczególne piksele, na poziomie ok. 500 MHz, a po uwzględnieniu występujących dodatkowych pól wygaszania pionowego i poziomego na ok. 600 MHz. Wartości te stanowią wyzwanie dla projektanta architektur obliczeniowych, nawet w przypadku użycia układów rekonfigurowalnych najnowszych generacji. Wprawdzie proste elementy logiczne lub dedykowane zasoby typu pamięci BRAM lub moduły DSP mogą pracować poprawnie z taktowaniem nawet ponad 600 MHz, jednak dla bardziej złożonych modułów, na podstawie wieloletnich doświadczeń, można określić maksymalną częstotliwość pracy na poziomie 300-350 MHz.

Rozwiązaniem opisanego powyżej problemu jest zastosowanie przetwarzania danych wektorowych oznaczanych jako X ppc (ang. *pixels per clock*). W przypadku sygnału 4K/UHD, najczęściej stosuje się 2 warianty: 2 ppc oraz 4 ppc, które pozwalają efektywnie obniżyć wymaganą częstotliwość zegara do odpowiednio ok. 300 MHz i ok. 150 MHz. Idea przetwarzania wektorowego na przykładzie prostej operacji LUT (ang. *Look-up Table*) przedstawiona jest na rysunku 6.

⁷rozważania koncentrują się na parametrach systemu wideo, w przypadku aparatów fotograficznych dostępne rozdzielczości są obecnie wyższe – nawet ponad 200 megapikseli, jednak z opcją nagrywania sekwencji wideo ograniczoną do 8K

⁸w praktyce bardziej intensywne badania nad sprzętową akceleracją sieci neuronowych zaczęły się 2-3 lata później



Rysunek 6: Ilustracja przetwarzania wektorowego na przykładzie operacji LUT. 1 PPC/CLK – wariant sekwencyjny, 2 PPC/CLK i 4 PPC/CLK – warianty wektorowe (równoległe)

W ogólności format wektorowy, choć de-facto umożliwia przetwarzanie sygnału o rozdzielczości 4K/UHD w czasie rzeczywistym w układach FPGA, wiąże się z następującymi wyzwaniem. Po pierwsze, przetwarzanie 2 lub 4 pikseli jednocześnie wymaga zgrubnie 2 lub 4 razy więcej zasobów logicznych, co zwiększa zużycie energii oraz w niektórych przypadkach ogranicza, albo uniemożliwia implementację bardziej skomplikowanych algorytmów i systemów. Po drugie, projektowanie architektur przetwarzających dane wektorowe jest bardziej złożone i czasochłonne. Po trzecie, dla wybranych algorytmów, w których występują zależności pomiędzy wartościami piksela w obrębie pojedynczego wektora, konieczne jest stosowanie zaawansowanych rozwiązań – zarówno na poziomie algorytmicznym, jak i projektowania architektury obliczeniowej.

Informacje nt. kierowanego przeze mnie projektu NCN Sonata

Projekt NCN Sonata pt. „Opracowanie sposobu organizacji obliczeń w heterogenicznych układach rekonfigurowalnych najnowszej generacji umożliwiającego przetwarzanie strumienia wizyjnego UHD/4K w czasie rzeczywistym” był realizowany pod moim kierownictwem w latach 2017-2022. Jego łączna wartość wyniosła 250 000 zł. W ramach tej kwoty mogłem pozyskać niezbędną aparaturę: wspomniane karty wejściowe 4K HDMI 2.0, kamery 4K, zestaw ewaluacyjny z FPGA oraz wydajny komputer PC. Ponadto dysponowałem budżetem na delegację, który umożliwił mi upowszechnienie wyników projektu oraz budowę rozpoznawalności międzynarodowej, swojej oraz Zespołu naukowego, którego jestem współtwórcą i w którym pracuję. Dodatkowo w projekcie dysponowałem budżetem na wynagrodzenia dla członków Zespołu badawczego.

Byłem pomysłodawcą projektu oraz hipotez badawczych, autorem wniosku oraz nadzorowałem merytorycznie wszystkie prace prowadzone przez Zespół badawczy, w skład którego wchodził doktoranci, dla których byłem lub jestem promotorem pomocniczym: Marcin Kowalczyk, Dominika Przewłocka-Rus⁹, Piotr Janus¹⁰, Krzysztof Błachut, Hubert Szolc oraz Mateusz Wąsala. W skład Zespołu projektowego wchodził także moi magistranci Karol Radwan oraz Piotr Ciarach. Badania związane z projektem prowadzili też magistranci: Michał Machura (przez rok realizował doktorat w naszym Zespole) i Michał Daniłowicz (obecnie członek naszego Zespołu i doktorant).

W ramach projektu NCN Sonata kierowany przeze mnie Zespół projektowy zaimplementował i uruchomił w układach Zynq UltraScale+ MPSoC szereg algorytmów i systemów wizyjnych – od prostych operacji punktowych i kontekstowych (typu filtracja Gaussa, Sobela, medianowa, bilateralna, czy VMF (ang. *Vector Median Filtering*)), poprzez moduły CLAHE (ang. *Contrast Limited Adaptive Histogram Equalization*), stereowizję (algorytm Semi-Global Matching), przepływ optyczny (wieloskalowe wersje algorytmów Horna-Schuncka oraz Lucasa-Kanade), detekcję i deskrypcję punktów charakterystycznych (ORB – ang. *Oriented Brief*), detekcję pieszych (HOG+SVM, ang. *Histogram of Oriented Gradients + Support Vector Machine*), segmentację obiektów pierwszoplanowych (algorytmy *Gaussian Mixture Model* oraz *Pixel-Based Adaptive Segmenter* wraz z propozycją kompresji modelu tła) i indeksację jednoprzebiegową, aż do prac nad metodami śledzenia obiektów (filtr korelacyjny oraz tzw. syjamskie sieci neuronowe) oraz akceleracji głębokich konwolucyjnych sieci neuronowych. Wybrane najistotniejsze wyniki omówię w dalszej części autoreferatu.

Rezultaty projektu zostały opublikowane na następujących konferencjach, uznanych w środowisku naukowców zajmujących się FPGA: FPL (Field Programmable Logic), DASIP (Design and Architectures for Signal and Image Processing), ARC (Applied Reconfigurable Computing), DSD (Digital System Design), MECO (Mediterranean Conference on Embedded Computing), na międzynarodowych konferencjach związanych z przetwarzaniem obrazów i sygnałów: ICCVG (International Conference on Computer Vision and Graphics), CORES (International Conference on Computer Recognition Systems) oraz SPA (Signal Processing: Algorithms, Architectures, Arrangements and Applications), a także w czasopiśmie: Journal of Signal Processing Systems, Sensors, Electronics oraz Journal of Low Power Electronics and Applications. W sumie w czasie trwania projektu opublikowano 4 artykuły w czasopiśmie z JCR, jeden w czasopiśmie bez IF¹¹ oraz 20 prac w recenzowanych

⁹pozytywnie obroniła doktorat dnia 28.03.2025

¹⁰zrezygnował z realizacji doktoratu

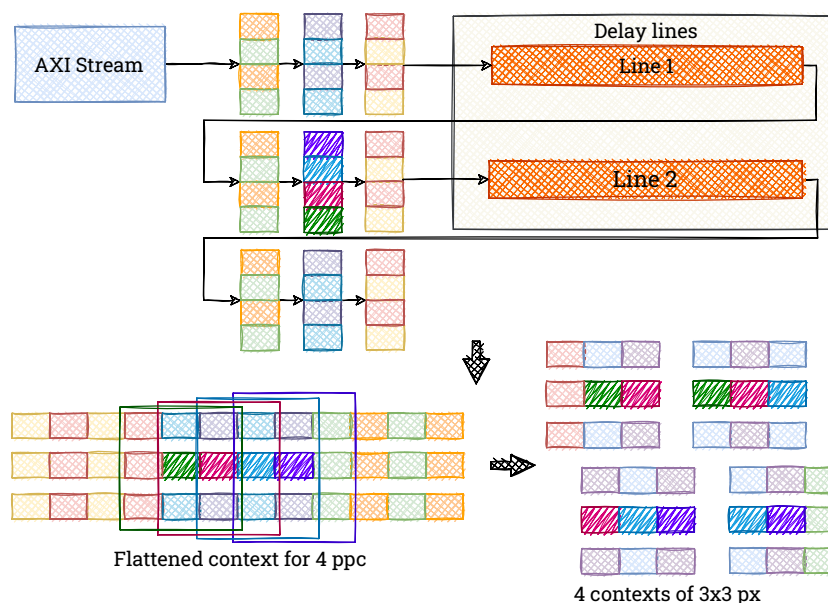
¹¹obecnie to czasopismo posiada już IF

materiałach konferencyjnych (w tym 7 krótkich artykułów opisujących demonstratory). Najważniejsze publikacje włączono do osiągnięcia i omówiłem poniżej, grupując je tematycznie. Pozostałe istotne dla tego osiągnięcia publikacje zestawilem w rozdziale 4.8 – pozycje [VS01] – [VS12].

Implementacja operacji kontekstowych dla strumienia wideo o rozdzielczości 4K

Operacje kontekstowe definiuje się jako operacje przetwarzania obrazu, w których wartość wynikowa piksela zależy od jego wartości wejściowej oraz wartości pikseli w jego bezpośrednim otoczeniu (sąsiedztwie, kontekście). Przykłady obejmują filtrację dolnoprzepustową (rozmywanie obrazu), filtrację górnoprzepustową (detekcję krawędzi), filtr medianowy i wiele bardziej złożonych algorytmów. Operacje kontekstowe są również podstawą konwolucyjnych sieci neuronowych.

Mając na uwadze fundamentalne znaczenie operacji kontekstowych w przetwarzaniu obrazów, zdecydowałem, że pierwszym etapem projektu będzie ich implementacja sprzętowa w trybie 2 i 4 ppc. Wyniki zostały opisane w artykule [V07] i zaprezentowane na konferencji DASIP 2018 w Porto. W pracy zaproponowano moduł generujący kontekst dla strumienia w formacie 2 ppc i 4 ppc. Ponadto, oprócz języka opisu sprzętu Verilog, wykorzystano narzędzie Vivado HLS (ang. *High Level Synthesis*) oraz bibliotekę xOpenCV z narzędziem Xilinx SDSoC. Warto zaznaczyć, że na moment powstania artykułu, były to pierwsze opisane w literaturze naukowej moduły wspierające operacje kontekstowe dla rozdzielczości 4K. Schemat generacji kontekstu 3×3 przedstawiono na rysunku 7.



Rysunek 7: Schemat modułu generacji kontekstu 3×3 dla strumienia w formacie 4 ppc. Źródło [V11].

Odwzorowuje on typowy układ linii opóźniających, z uwzględnieniem formatu wektorowego oraz dodatkowo z transmisją strumienia wideo w formacie *AXI Stream*. Na jego podstawie zaimplementowano w języku Verilog HDL szereg podstawowych operacji: filtr uśredniający (*box filter*), filtr Gaussa, filtr Sobela, filtr medianowy, operacje morfologiczne: erozję i dylatację oraz bardziej zaawansowaną detekcję krawędzi metodą Canny'ego [7]. Byłem autorem pierwotnej koncepcji modułu sprzętowego do generacji kontekstu w formacie 2 ppc i 4 ppc oraz zaprojektowałem i zaimplementowałem moduł detekcji krawędzi Canny. Wszystkie moduły zostały pomyślnie zweryfikowane w sprzęcie z wykorzystaniem karty ZCU 102 z układem SoC FPGA Zynq UltraScale+ MPSoC XCZU9EG-2FFVB1156E.

Ponadto przeprowadzono eksperyment, w którym porównano efektywność energetyczną i użycie zasobów dla operacji filtracji medianowej dla wariantu 2 ppc pracującego z zegarem 300 MHz i 4 ppc z zegarem 150 MHz. Wyniki zestawiono w tabeli 1. Okazało się, że użycie niższej częstotliwości prowadzi do niższego zużycia energii, nawet uwzględniając większe użycie zasobów logicznych. Świadczy to o dużym wpływie komponentu mocy dynamicznej przy wzroście częstotliwości zegara FPGA.

Tabela 1: Porównanie użycia zasobów logicznych oraz energii dla modułu filtracji medianowej 3×3 na karcie ZCU 102.

Zasób	2 ppc 300 MHz	4 ppc 150 MHz
LUT	1446	2295
FF	1264	1605
BRAM	3	3
Moc [W]	0.641	0.535

W przypadku narzędzia Vivado HLS konieczne było stworzenie własnych funkcji, gdyż nie zapewniało ono wsparcia dla formatu wektorowego. Wykonane moduły używały więcej zasobów niż opisane w Verilog HDL. Analiza biblioteki xOpenCV wykazała, że przyjęty przez twórców model przetwarzania danych zakłada współpracę z zewnętrzną pamięcią RAM oraz nie wspiera przetwarzania wektorowego.

Indeksacja dla strumienia o rozdzielczości 4K

Indeksacja (ang. *connected component labelling* oraz analiza parametrów obiektów (ang. *connected component analysis*) to dwa bardzo istotne zagadnienia w „klasycznych” systemach wizyjnych. Wejście do algorytmu stanowi obraz binarny, przykładowo po segmentacji, a wyjście lista wyodrębnionych obiektów oraz ich parametry takich jak pole, współrzędne prostokąta otaczającego, środek ciężkości czy bardziej zaawansowane tzw. współczynniki kształtu (ang. *shape coefficients*).

W implementacjach sprzętowych indeksacja realizowana jest zwykle jako operacja kontekstowa tj. indeks (etykieta) analizowanego piksela nadawany jest na podstawie pikseli z otoczenia, przeanalizowanych w poprzednich krokach. Przy czym wyróżnia się dwa warianty – dwuprzebiegowy (ang. *two-pass*) oraz jednoprzebiegowy (ang. *single-pass*).

W podejściu dwuprzebiegowym, w pierwszym kroku nadawane są indeksy tymczasowe. Następnie po przetworzeniu wszystkich pikseli, struktura, w której zapisane są indeksy (zwykle graf) jest analizowana i wyznaczane jest ostateczne przekodowanie, które jest stosowane w drugim kroku do nadania pikselom ostatecznych indeksów. Podejście to, choć proste koncepcyjne, wymaga dwukrotnej iteracji po obrazie, który musi być zapamiętywany w zewnętrznej pamięci RAM.

Dlatego też częściej spotyka się tzw. rozwiązania jednoprzebiegowe. W tym podejściu wszystkie potencjalne konflikty, tj. sytuacje, gdzie z uwagi na sposób działania algorytmu pikselom należącym do tego samego obiektu nadano różne indeksy, są rozwiązywane w trakcie jednej iteracji. Wymaga to zaawansowanego zarządzania mechanizmami nadawania indeksów oraz aktualizacji parametrów obiektów.

Bazując na wcześniejszych doświadczeniach z indeksacją realizowaną sprzętowo oraz wynikach pracy [V07] postawiłem hipotezę, że możliwe jest zaprojektowanie modułu sprzętowego, który będzie przeprowadzał indeksację w czasie rzeczywistym dla strumienia wideo o rozdzielczości UHD. Następnie zaproponowałem temat pracy magisterskiej: „Implementacja sprzętowa modułu indeksacji dla strumienia wizyjnego UHD”, który został podjęty przez p. Piotra Ciaracha¹² Na podstawie wyników przygotowany został artykuł [VS01], który został opublikowany na konferencji ARC 2019 w Darmstadt.

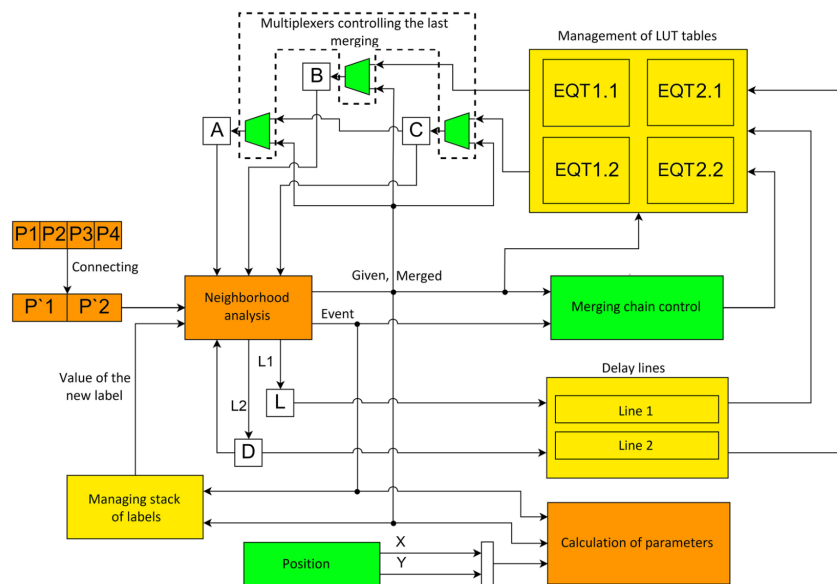
Następnie, jego rozszerzona wersja została opublikowana w czasopiśmie Journal of Signal Processing Systems for Signal, Image, and Video Technology [V08]. W przypadku strumienia wizyjnego 4K największym wyzwaniem przy implementacji indeksacji jednoprzebiegowej jest konieczność realizacji analizy indeksów dla dwóch (2 ppc) lub czterech (4 ppc) pikseli w jednym taktie zegara. Co więcej, w niekorzystnym przypadku wartości tych pikseli są od siebie zależne, zatem obliczenia trzeba prowadzić sekwencyjnie. Przykładowo dla wektora 1001 konieczne jest nadanie dwóch nowych etykiet (przy założeniu, że nie ma innych pikseli o wartości 1 w otoczeniu). Natomiast dla wektora 1111 należy nadać tę samą etykietę „od lewej do prawej”. W pracy przeprowadzono rozważania dla czterech możliwych wariantów:

- indeksacji w formacie 4 ppc z uproszczeniem w postaci łączenia dwóch sąsiednich pikseli,
- indeksacji w formacie 2 ppc,
- indeksacji w formacie 4 ppc,
- indeksacji w formacie 2/4 ppc w analizę w postaci serii danych.

Ostatecznie w sprzęcie zaimplementowano i zweryfikowano pierwsze dwa warianty. Schemat zaproponowanego modułu zaprezentowany jest na rysunku 8, a szczegółowe omówienie zamieszczono w artykule [V08]. Moduł

¹²Warto zaznaczyć, że p. Piotr Ciarach realizował pod moją opieką również pracę inżynierską pt. „Implementacja sprzętowa oraz optymalizacja algorytmu indeksacji jednoprzebiegowej.”

działał poprawnie dla częstotliwości zegara 150 MHz i 300 MHz, stąd mógł współpracować zarówno z uproszczonym formatem 4 ppc, jak i pełnym 2 ppc. Na moment prowadzenia badań tj. rok 2020, zaproponowany moduł jako jedyny umożliwiał przetwarzanie obrazu 4K z częstotliwością 60 ramek na sekundę.



Rysunek 8: Schemat modułu do indeksacji jednoprzebiegowej. Kolorami oznaczono stopień modyfikacji względem rozwiązania dla danych 1 ppc: zielony – niewielki, żółty – średni, pomarańczowy – duży. Źródło [V08].

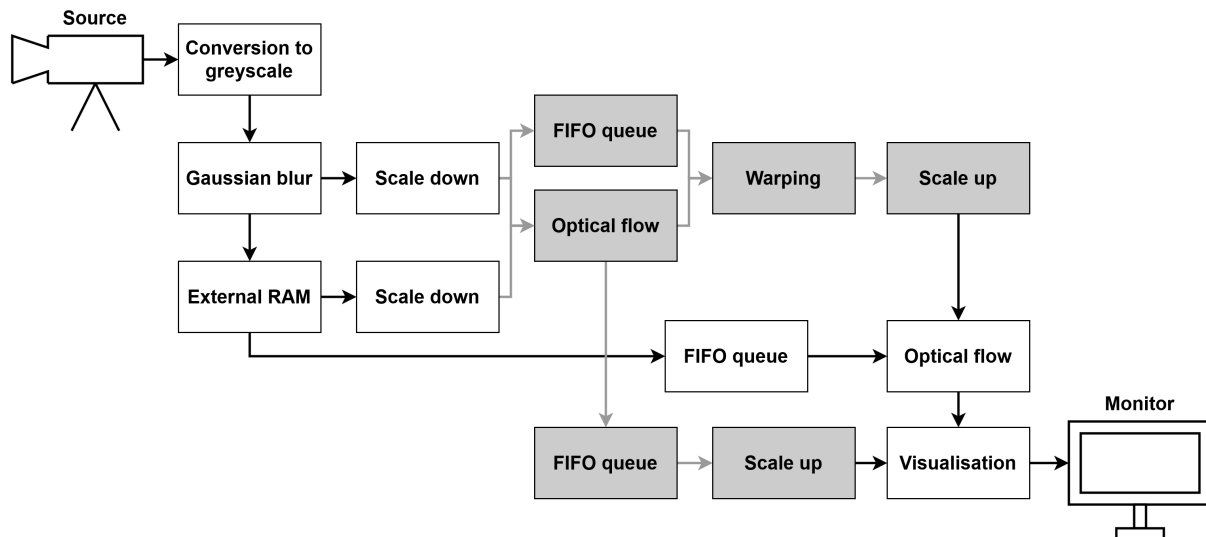
W dalszych pracach opracowany został moduł, który umożliwiał przetwarzanie strumienia w formacie 4 ppc bez jakichkolwiek uproszczeń. Kluczowym okazała się obserwacja, że przypadki wymagające złożonej analizy w obrębie jednego wektora występują stosunkowo rzadko. Z drugiej strony, w formacie *AXI Stream* jest możliwe chwilowe wstrzymanie przesyłu danych wizyjnych, co pozwala w złożonych przypadkach przeprowadzić operacje, które wymagają więcej niż jednego taktu zegara. Wykorzystując obie właściwości, zrealizowano moduł indeksacji, który został pomyślnie zweryfikowany na karcie ZCU 104. Uzyskane wyniki zostały przedstawione na konferencji DSD 2021 w Palermo [VS06] (on-line z uwagi na pandemię COVID-19) oraz w postaci demonstratora na konferencji FPL 2021 w Dreźnie [VS07].

Wyznaczanie przepływu optycznego dla strumienia o rozdzielczości 4K

Wyznaczanie przepływu optycznego jest jednym z podstawowych zagadnień w przetwarzaniu i analizie obrazów. Mając to na uwadze, jako dalszy kierunek badań w projekcie wskazałem implementację sprzętową tej operacji dla strumienia wideo o rozdzielczości 4K. Jednocześnie bazując na wcześniejszych doświadczeniach – pracach [V05] (przepływ optyczny metodą Horna-Schuncka dla rozdzielczości FHD) i [V07] (operacja kontekstowa dla rozdzielczości 4K) oraz analizie algorytmów i dostępnych zasobów sprzętowych sformułowałem hipotezę, że możliwe jest zaprojektowanie, zaimplementowanie i uruchomienie modułu przepływu optycznego dla rozdzielczości 4K dla popularnych algorytmów Horna-Schuncka (HS) [18] i Lucasa-Kanade (LK) [24] w wersjach jedno i wieloskalowej.

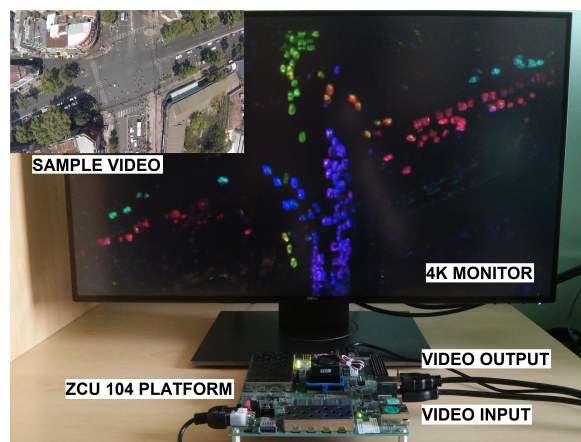
W pierwszym kroku sformułowałem temat pracy magisterskiej: „Implementacja sprzętowa wieloskalowych metod obliczania przepływu optycznego dla strumienia wideo o rozdzielczości 4K”, którego realizacji podjął się p. Krzysztof Błachut. W drugim etapie badania były kontynuowane już w ramach Szkoły Doktorskiej AGH.

Wykorzystanie opisanego uprzednio modułu do generacji kontekstu [V07] oraz zdobytych doświadczeń pozwoliło na zaprojektowanie, zaimplementowanie i uruchomienie dwóch modułów wyznaczania przepływu optycznego o parametrach istotnie przewyższających opisane ówczesnie rozwiązania. W przypadku algorytmu Lucasa-Kanade był to pierwszy moduł wspierający rozdzielczość 4K @ 60 fps, a w przypadku Horna-Schuncka pierwszy wspierający więcej niż jedną skalę dla 4K @ 60 fps. Szczególnym osiągnięciem było zaprojektowanie przetwarzania w wielu skalach, w tym transformacji obrazu (ang. *warping*), skalowania, doboru reprezentacji danych oraz ich odpowiedniej synchronizacji. Wykorzystano równocześnie format 4 ppc oraz 2 ppc, co pozwoliło na oszczędność zasobów sprzętowych. Ogólny schemat zaprojektowanego modułu pokazany jest na rys. 9, a zdjęcie działającego systemu na rysunku 10.



Rysunek 9: Schemat realizacji przetwarzania w wielu skalach. Białe moduły działają w formacie 4 ppc, a szare w formacie 2 ppc. Podobnie czarne strzałki oznaczają przesył w formacie 4 ppc, a szare w formacie 2 ppc. Przepływ optyczny (moduł *Optical flow* może być wyliczany metodą HS, LK lub dowolną inną. Źródło [V09].

Analiza użycia zasobów wykazała, że aby zaimplementować przetwarzanie w więcej niż dwóch skalach, konieczne byłoby użycie układu z większą liczbą zasobów pamięci BRAM. Należy także podkreślić efektywność energetyczną rozwiązania – w zależności od wariantu uzyskano 5-6 W. Dla modułu wyznaczono także liczbę operacji realizowaną w czasie jednej sekundy – GOPS (ang. *Giga Operations Per Second*). Dla wieloskalowej wersji algorytmu LK uzyskano wartość 463 GOPS oraz efektywność energetyczną 81 GOPS/W. Natomiast dla wieloskalowej wersji algorytmu HS uzyskano wartość 446 GOPS i 78 GOPS/W. Wskazane wartości istotnie przewyższają ówczesnie najlepsze rozwiązanie [21], gdzie uzyskano 43 GOPS/W (dla wersji jednoskalowej).



Rysunek 10: Weryfikacja sprzętowa zaproponowanego systemu. Dla przykładowej sekwencji wideo uzyskano poprawne przetwarzanie strumienia w rozdzielczości 4K. Kolory oznaczają kierunek ruchu, a ich intensywność ilustruje szybkość (długość wektora przepływu optycznego). Źródło [V09].

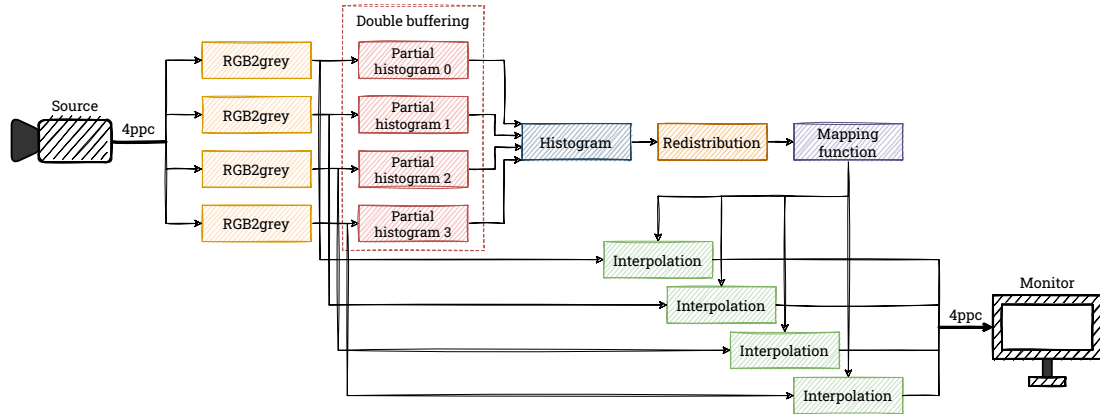
Algorytm CLAHE dla strumienia o rozdzielczości 4K

Algorytm CLAHE (ang. *Contrast Limited Histogram Equalization*) [29] to popularna metoda poprawy jakości obrazów o niskim kontraście takich jak: obrazy zarejestrowane kamerą termowizyjną, obraz wykonane pod wodą, niektóre obrazy w systemach percepcji pojazdów, czy obrazowania medyczne – zdjęcia rentgenowskie czy wyniki tomografii komputerowej. Poprawienie kontrastu czyni obraz łatwiejszym do analizy przez człowieka oraz ułatwia jego automatyczne rozpoznawanie. Możliwość realizacji CLAHE w czasie rzeczywistym dla strumienia o wysokiej rozdzielczości jest pożądana w systemach percepcji robotów mobilnych, w szeroko rozumianych systemach inspekcji, a także niektórych scenariuszach medycznych, gdzie obrazowanie jest bezpośrednio wykonywane w trakcie operacji.

Bazując na wcześniejszych doświadczeniach z algorytmem CLAHE oraz realizacją operacji kontekstowych [V07] postawiłem hipotezę, że możliwa jest sprzętowa implementacja modułu CLAHE, który będzie przetwa-

rzał strumień wizyjny o rozdzielczości 4K w czasie rzeczywistym. W pierwszym kroku sformułowałem temat pracy inżynierskiej: „Implementacja algorytmu adaptacyjnego wyrównywania histogramu z ograniczeniem kontrastu (CLAHE) dla strumienia wizyjnego 4K w układzie FPGA”, którego realizacji podjął się p. Aleksander Orlikowski. W efekcie powstała koncepcja realizacji modułu i część niezbędnych modułów sprzętowych.

W drugim kroku, we współpracy z Doktorantami z Zespołu dokończyłem implementację sprzętową oraz przygotowałem artykuł naukowy [V10]. Osobiście byłem odpowiedzialny za implementację modułu obliczenia histogramów dla strumienia 4K oraz nadzór merytoryczny nad całością pracy. W efekcie powstał moduł, którego schemat prezentuje rysunek 11.

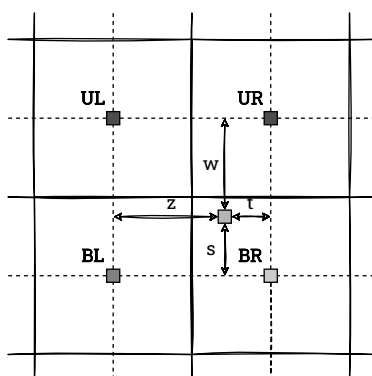


Rysunek 11: Schemat modułu CLAHE dla strumienia w formacie 4 ppc. Źródło [V10].

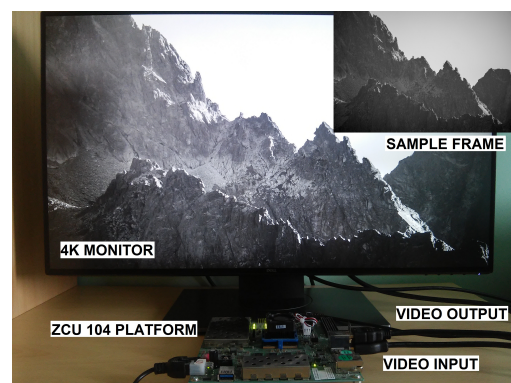
Algorytm można podzielić na trzy kroki. W pierwszym tworzone są histogramy w nienachodzących na siebie (tj. rozłącznych) fragmentach obrazu (ang. *patch*). Dla rozdzielczości 4K obraz podzielono na 8×8 bloków o rozdzielczości 480×270 pikseli każdy. Dla formatu 4 ppc jedną z opcji jest zastosowanie czterech histogramów cząstkowych (*Partial histogram*) działających w trybie podwójnego buforowania, tj. połowa modułów odpowiada za generowanie, a połowa służy do odczytu i realizacji późniejszych operacji. Ich funkcja zamieniana jest po zakończeniu obliczeń dla pełnej linii fragmentów. Na podstawie wyników cząstkowych wyznaczane są końcowe (pełne) histogramy.

W drugim kroku na podstawie histogramu wyznaczana jest funkcja mapująca (*Mapping function*). W trzecim kroku dla nadchodzących pikseli realizowana jest interpolacja nowej wartości, tj. na podstawie wartości piksela, jego odległości od czterech sąsiednich środków fragmentów oraz odpowiednich funkcji mapujących wyliczana jest nowa wartość piksela. Zilustrowano to na rysunku 12(a). Z uwagi na format 4 ppc obliczenia te muszą być realizowane dla 4 pikseli jednocześnie.

Działający system przedstawiono na rysunku 12(b). Na moment publikacji artykułu był to jedyny system CLAHE zrealizowany w układzie FPGA, który wspierał przetwarzanie strumienia wideo o rozdzielczości 4K @ 60 fps. Co więcej, charakteryzował się on dużą efektywnością energetyczną – dla karty ZCU 104 moc wynosiła mniej niż 5 W (estymacja z narzędzia Vivado).



(a)



(b)

Rysunek 12: (a) Schemat interpolacji zastosowanej w algorytmie CLAHE, (b) ilustracja działającego systemu. Źródło [V10].

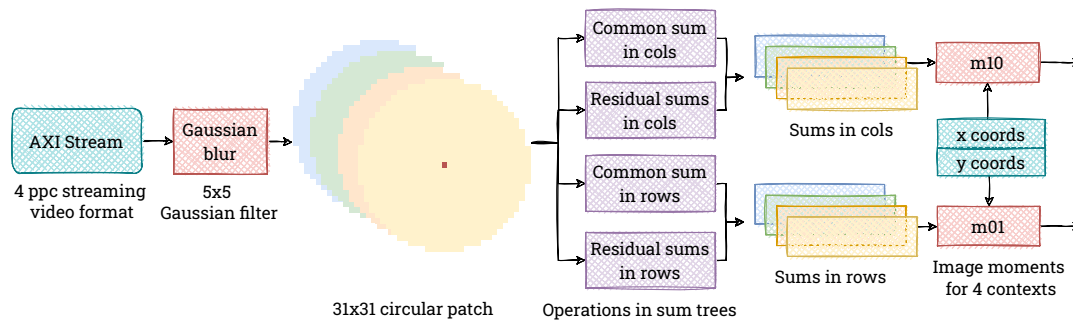
Detekcja i deskrypcja punktów charakterystycznych dla strumienia o rozdzielczości 4K

Detekcja i deskrypcja punktów charakterystycznych to zagadnienie kluczowe dla nawigacji autonomicznych robotów mobilnych, gdyż stanowi podstawę dwóch istotnych metod: odometrii wizyjnej (ang. *visual odometry*) oraz jednoczesnej lokalizacji i mapowania (ang. *Simultaneous Localisation and Mapping (SLAM)*). Algorytmy tej klasy można również wykorzystać do rozpoznawania obiektów, łączenia zdjęć oraz w metodach SFM (ang. *Structure from Motion*), tj. określaniu struktury 3D sceny na podstawie sekwencji obrazów zarejestrowanych ruchomą kamerą.

Mając na uwadze kluczowe znaczenie tej klasy algorytmów dla robotyki mobilnej oraz wcześniejsze doświadczenia m.in. z pracy [V03] oraz kilku prac dyplomowych i artykułów, zdecydowałem o podjęciu badań w tym obszarze. Po wstępnej analizie ocenilem, że sprzętowa realizacja modułu algorytmu ORB (ang. *Oriented FAST (Features from Accelerated Segment Test) and Rotated BRIEF (Binary Robust Independent Elementary Features)* [32] działająca w czasie rzeczywistym dla strumienia wizyjnego o rozdzielczości 4K @ 60 fps w formacie 4 ppc powinna być możliwa.

Efektem prowadzonych i nadzorowanych merytorycznie badań był artykuł [V11], w którym przedstawiono moduł ORB zdolny do przetwarzania strumienia 4K. Zapewnienie działania w czasie rzeczywistym wymagało odpowiedniego zaprojektowania poszczególnych modułów obliczeniowych oraz doboru precyzji dla poszczególnych komponentów algorytmu. W szczególności w module FAST zrealizowano generowanie czterech kontekstów o rozmiarze 7×7 jednocześnie, a następnie równoległe sprawdzenie, czy dany punkt jest narożnikiem. Dodatkowo, zamiast oryginalnego sprawdzania poprawności detekcji metodą Harrisa, wykorzystano rozwiązanie *Fast Score* zaproponowane w bibliotece OpenCV (ówcześnie po raz pierwszy w układzie FPGA).

W przypadku modułu BRIEF zaproponowano sposób wyliczania momentów geometrycznych dostosowany do strumienia 4 ppc. Na ich podstawie możliwe jest określenie orientacji danego fragmentu obrazu. Schemat wykonanego modułu prezentuje rysunek 13. W celu redukcji użycia zasobów logicznych, podzielono obliczenia na prowadzone dla części wspólnej (ang. *common*) oraz resztowej (ang. *residual*). Równoległe do wyznaczania orientacji wyliczany był deskryptor binarny, który ostatecznie był przekształcany (normalizowany) zgodnie z orientacją fragmentu, co zapewnia inwariantność metody na obrót.



Rysunek 13: Schemat modułu estymacji orientacji w algorytmie ORB dla strumienia w formacie 4 ppc. Źródło [V11].

Porównując parametry zaproponowanego modułu z innymi opisanymi ówczynie w literaturze naukowej, można stwierdzić, że zastosowanie formatu 4 ppc powoduje nieunikniony wzrost użycia zasobów logicznych – 2-3-krotny, co jest jednak rezultatem lepszym niż „bazowy” wzrost czterokrotny i wynika z umiejętnego zaprojektowania równoległe pracujących modułów obliczeniowych, w tym współdzielenia zasobów i wyników obliczeń. System charakteryzował się zużyciem energii mniejszym niż 5 W (estymacja Vivado) dla karty ZCU 104.

Detekcja obiektów metodą HOG+SVM dla strumienia o rozdzielczości 4K

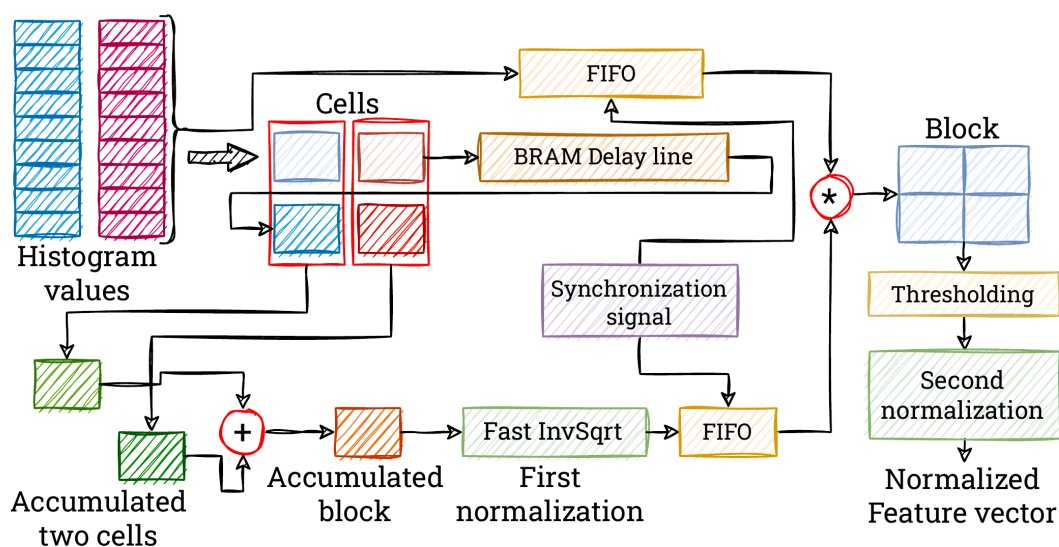
Detekcja i klasyfikacja obiektów to jedno z fundamentalnych zagadnień w systemach wizyjnych – przykładowo niezawodna i szybka detekcja pieszych stanowi kluczowy element systemu percepcji pojazdu autonomicznego. Współcześnie najbardziej popularne są detektory z rodziny YOLO (ang. *You Only Look Once*), które wykorzystują zaawansowane głębokie konwolucyjne sieci neuronowe [20]. Tego typu rozwiązania, pomimo wysokiej skuteczności, charakteryzują się dużą złożonością obliczeniową i nie można ich zastosować do obrazu o rozdzielczości 4K. Przed szerokim rozpowszechnieniem sieci głębokich, detekcja i klasyfikacja obiektów była realizowana „klasycznie”, tj. projektowano ekstrakcję cech oraz uczono klasyfikator. Dla zadania detekcji pieszych, najpopularniejszym rozwiązaniem algorytmicznym było połączenie cech w postaci histogramów zorientowanych gradientów (ang. *Histogram of Oriented Gradients* – HOG) oraz klasyfikatora – maszyny wektorów nośnych (ang. *Support Vector Machine* – SVM) [10].

Bazując na wcześniejszych doświadczeniach, w tym prowadzonych przeze mnie pracach dyplomowych oraz artykułach naukowych, które pozwoliły mi dogłębnie poznać zarówno sam algorytm HOG+SVM, jak i różne

podejścia do jego implementacji sprzętowej (dla danych w formacie 1 ppc), postawiłem hipotezę badawczą, że możliwe jest zaprojektowanie modułu sprzętowego realizującego algorytm HOG+SVM dla strumienia wizyjnego o rozdzielczości 4K.

W celu weryfikacji tej hipotezy, zaproponowałem temat pracy magisterskiej: „Implementacja sprzętowa wieloskalowej detekcji obiektów z wykorzystaniem algorytmu HOG+SVM dla strumienia wideo o rozdzielczości 4K”, który został podjęty przez p. Mateusza Wąsę. Na podstawie uzyskanych wyników oraz wspomnianych wcześniejszych doświadczeń powstała publikacja [V13] zaprezentowana na międzynarodowej konferencji ME-CO, w której opisana jest sprzętowa implementacja algorytmu HOG+SVM przystosowana do współpracy ze strumieniem wizyjnym w formacie 4 ppc o rozdzielczości 4K @ 60 FPS.

Wyznaczanie cech HOG przebiega w trzech etapach. W pierwszym, dla każdego piksela wyliczany jest gradient pionowy i poziomy, a następnie moduł oraz orientacja. Obliczenia wykorzystują linię opóźniającą opracowaną w [V07]. W drugim obliczany jest histogram orientacji dla komórek, zwykle o rozmiarze 8×8 (wykorzystano doświadczenia z pracy [V10]). W trzecim wykonywana jest normalizacja w blokach, tj. grupach komórek o rozmiarze 2×2 . Z uwagi na nakładanie się bloków oraz operację pierwiastkowania, moduł stanowi największe wyzwanie do potokowej implementacji sprzętowej, szczególnie dla strumienia o wysokiej rozdzielczości (rys. 14). Obliczenia SVM realizowane są w sposób zbliżony do operacji kontekstowej, w której kolejne elementy wektora cech mnożone są przez wagi, na końcu dodawany jest bias i zwracany wynik klasyfikacji.



Rysunek 14: Schemat modułu normalizacji w blokach w algorytmie HOG dla strumienia wizyjnego w formacie 4 ppc. Źródło [V07].

Na moment powstania publikacji, był to jedyny moduł sprzętowy HOG+SVM wspierający rozdzielczość 4K i format 4 ppc. Dzięki realizacji w zasobach układu FPGA charakteryzował się on relatywnie niewielkim zużyciem energii ok. 10 W, a wprowadzone zmiany, optymalizacje i uproszczenia, niezbędne dla skutecznej implementacji, spowodowały tylko nieznaczny spadek skuteczności detekcji o ok. 0.5 punktu procentowego.

Stereowizja dla strumienia o rozdzielczości 4K

Stereowizja to kolejne istotne zagadnienie z obszaru systemów wizyjnych, także często implementowane w układach FPGA z uwagi na dużą złożoność obliczeniową metod, możliwość zrównoleglenia obliczeń, a także konieczność działania w czasie rzeczywistym jako np. komponent systemu percepcji robota mobilnego.

Bazując na własnych badaniach w tym obszarze, zarówno w ramach prac dyplomowych, jak i artykułów naukowych oraz doświadczeniach wyniesionych z realizacji innych modułów sprzętowych w projekcie NCN Sonata, uznałem, że powinno być możliwe zrealizowanie sprzętowego modułu algorytmu stereowizyjnego SGM (ang. *Semi-Global Matching* [16] dla strumienia wizyjnego 4K.

W celu weryfikacji powyżej hipotezy zaproponowałem temat pracy inżynierskiej: „Implementacja sprzętowa rektyfikacji i obliczania map dysparycji metodą SGM dla strumienia wizyjnego o rozdzielczości 4K”, której realizacji podjął się p. Mariusz Grabowski.

Na podstawie uzyskanych wyników przygotowany został artykuł naukowy [V14], który został opublikowany na międzynarodowej konferencji DASIP w 2023 r. w Tuluzie. Zaproponowano w nim implementację sprzętową modułu stereowizyjnego realizującego algorytm SGM dla strumienia wizyjnego 4K @ 30 fps przy 64 poziomach

dysparycji. Ograniczona częstotliwość pracy, inna niż dla wcześniej omówionych rozwiązań, wynikała ze stopnia złożoności modułu.

Algorytm SGM składa się z dwóch etapów. W pierwszym wyznaczany jest koszt dopasowania metodami lokalnymi (kontekstowymi). W rozwiązaniu zastosowano popularną transformatę Censusa, która z jednej strony poprawia skuteczność, jednocześnie upraszczając implementację sprzętową. W drugim, koszty dopasowania są agregowane w 8 lub 4 kierunkach oraz dodawana jest kara za zmianę wartości dysparycji (wymuszenie ciągłości mapy dysparycji, quasi-globalna optymalizacja). Obliczenie kosztu dla danego piksela wymaga znajomości tej wartości dla jego sąsiadów. W konsekwencji dla kierunku 0 (poziomego) w formacie 4 ppc obliczenia dla 4 pikseli muszą być przeprowadzone sekwencyjne oraz w jednym taktie zegara. Wstępne analizy i eksperymenty wykazały, że nie jest to możliwe do realizacji nawet dla zegara piksela równego 75 MHz. Stąd w pracy zaproponowano metodę estymacji kosztu dopasowania, która umożliwia realizację obliczeń w czasie rzeczywistym i nie wpływa istotnie na jakość generowanych map dysparycji. Na moment powstania publikacji była to jedyna realizacja algorytmu SGM dla strumienia wizyjnego o rozdzielczości 4K.

Klasyfikacja i detekcja obiektów z wykorzystaniem konwolucyjnych sieci neuronowych

Jak już wspomniałem, tematyka i założenia projektu NCN Sonata nie uwzględniały wprost implementacji głębokich sieci neuronowych do przetwarzania strumienia wizyjnego. Nawet w momencie pisania niniejszego auto-referatu, rozdzielczość strumienia wizyjnego, który stanowi wejście do modeli neuronowych przeznaczonych do systemów czasu rzeczywistego wynosi maksymalnie 640×640 (np. YOLOv11) i istotnie odbiega od 4K. Jednakże, z uwagi na duże znaczenie praktyczne, wysoką skuteczność oraz ogólne trendy w badaniach naukowych związanych z wbudowanymi systemami wizyjnymi, zdecydowałem się podjąć prace także w tym obszarze. Do cyklu publikacji dołączam jeden artykuł opublikowany w czasopiśmie [V12], a pozostałe prace krótko omawiam w następnym podrozdziale.

W artykule [V12] porównane zostały trzy podejścia do akceleracji głębokich sieci neuronowych realizujących detekcję obiektów: autorska i zaimplementowana w języku HDL sieć LittleNet, użycie narzędzia FINN firmy AMD oraz użycie narzędzia Vitis AI również firmy AMD.

Sieć LittleNet wykorzystywała konwolucje *depthwise* oraz *pointwise*¹³, które łącznie stanowią tzw. konwolucję separowalną (ang. *separable convolution*). Polega ona na rozdzieleniu typowej konwolucji na dwa etapy: w pierwszym filtracja przeprowadzana jest dla każdego kanału z mapy cech niezależnie, a następnie wyniki z różnych kanałów łączone są poprzez filtr o rozmiarze 1×1 . Pozwala to na redukcję zarówno liczby obliczeń, jak i parametrów modelu sieci. W pracy dodatkowo zaproponowano konwolucję *multi-depthwise*, która zakładała użycie więcej niż jednego filtra dla danego kanału z mapy cech. W pierwszym kroku model został wytrenowany z użyciem liczb zmiennoprzecinkowych, a następnie poddany kwantyzacji do formatu stałoprzecinkowego (8 bitów). Zastosowano podejście QAT (ang. *Quantization Aware Training* – trenowanie uwzględniające kwantyzację). Pozwoliło to na zmianę formatu z 32-bitowego zmiennoprzecinkowego na 8-bitowy stałoprzecinkowy ze stratą skuteczności 1.58%. Dla sieci LittleNet zaprojektowano autorski akcelerator sprzętowy o architekturze gruboziarnistej (ang. *coarse-grained*), który został opisany w języku SystemVerilog. Przeprowadzono także badania nad optymalizacją zużycia energii, w tym zależnością od stopnia zrównoleżenia obliczeń i częstotliwości.

Narzędzie FINN, rozwijane przez dział badawczy firmy Xilinx AMD, w momencie pisania artykułu posiadało ograniczenia, które uniemożliwiły implementację sieci LittleNet w zaprojektowanej postaci. Główną trudnością był brak wsparcia dla konwolucji separowalnych, które zostały zastąpione wersjami standardowymi. Nie było również możliwe wykorzystanie funkcji aktywacji ReLU (ang. *Rectified Linear Unit*). Dlatego zaproponowano zmodyfikowaną wersję LittleNet nazwaną YOLOFINN. W FINN generowane są akceleratory drobnoziarniste (ang. *fine-grained*), które ogólnie charakteryzują się większą przepustowością, ale kosztem użycia zasobów sprzętowych, co wymusiło zastosowanie kwantyzacji 4-bitowej.

Ostatnim z rozważanych akceleratorów był DPU (ang. *Deep Processing Unit*), wchodzący w skład narzędzia Vitis AI firmy Xilinx. Jest to przykład rozwiązania sekwencyjnego, gdzie obliczenia realizowane są przez „procesor” do sieci neuronowych. Stąd dość szerokie wsparcie dla różnych operacji, w tym także dla konwolucji separowalnych, co umożliwiło uruchomienie obu rozważanych architektur: LittleNet oraz YOLOFINN. Porównanie rozważanych architektur przedstawiono w tabeli 2.

¹³nie są mi znane „dobre” polskie tłumaczenia tych wyrażań

Tabela 2: Porównanie wyników rozważanych akceleratorów. Objaśnienie skrótów: C-G – *coarse-grained*, F-G – *fine-grained*, Seq. – *sequential*. Najwyższa przepustowość została uzyskana w podejściu C-G. Sieć YOLOFINN charakteryzowała się lepszą skutecznością detekcji, ale kosztem większej od LittleNet złożoności obliczeniowej.

Model	IoU_{float}	Metoda	Kwantyzacja	IoU_{HW}	fps	E [J]	P [W]
LittleNet	0.6682	C-G	8-bit	0.6616	196	49.88	3.259
		Seq.	8-bit	0.6625	123.3	68.33	2.808
YOLOFINN	0.7209	F-G	4-bit	0.6608	111	79.83	2.954
		Seq.	8-bit	0.6746	53.2	175.82	3.118

Uzyskane wyniki dobrze ilustrowały wady i zalety poszczególnych podejść i stanowiły bazę do obecnie prowadzonych przeze mnie badań nad akceleratorami sieci neuronowych, głównie grafowych. Warto zaznaczyć, że pierwszy autor artykułu p. Michał Machura [V12] był przez ponad rok członkiem naszego Zespołu, ale zrezygnował z realizacji doktoratu, a drugi z autorów p. Michał Daniłowicz do dzisiaj współpracuje ze mną i kontynuuje prace nad akceleracją głębokich sieci neuronowych w układach FPGA – głównie z użyciem narzędzia FINN.

Pozostałe badania prowadzone w ramach projektu NCN Sonata

Oprócz tematów i prac [V07]-[V14] wybranych do osiągnięcia, w ramach projektu NCN Sonata poruszane były też inne wątki, m.in. kontynuowane były prace nad akceleracją segmentacji obiektów pierwszoplanowych. Badania pod moim nadzorem realizował p. Piotr Janus oraz p. Kamil Piszczek, przy czym p. Piotr był również przez ponad rok doktorantem w naszym Zespole. W pracy [VS02] (konferencja SPA 2018) przeprowadzono analizę możliwości implementacji metody *Gaussian Mixture Model* dla strumienia o rozdzielczości 4K, a w pracy [VS03] (konferencja ARC 2018) rozważano zastosowanie bezstratnej kompresji algorytmem HACP+SBT, jako remedium na ograniczoną przepustowość do zewnętrznej pamięci RAM.

Innym wątkiem było śledzenie obiektów, które stanowi bardzo ważny element współczesnych systemów wizyjnych. Rozważano dwa współcześnie popularne podejścia: filtry korelacyjne [VS04] (DASIP 2019), [VS10] (ARC 2022) oraz sieci syjamskie [VS05] (ICCVG 2020), [VS08] (FPL 2021 - demo), [VS09] (DASIP 2021).

Podsumowanie projektu NCN Sonata

Za najważniejsze osiągnięcia projektu NCN Sonata, który był realizowany pod moim kierownictwem w latach 2017-2022, mogę wskazać:

- opracowanie architektur sprzętowych dla szeregu algorytmów wizyjnych istotnych dla „klasycznych” systemów wizyjnych: operacji kontekstowych, segmentacji obiektów pierwszoplanowych, obliczania przepływu optycznego, obliczania map dysparycji (stereowizja), algorytmu CLAHE, detekcji i deskrypcji punktów charakterystycznych (ORB), indeksacji, detekcji obiektów (HOG+SVM) oraz śledzenia obiektów (filtry korelacyjne, sieci syjamskie), także dodatkowo detekcji obiektów z wykorzystaniem sieci neuronowych,
- w większości przypadków uzyskano przetwarzanie strumienia wizyjnego o parametrach $3840 \times 2160 @ 60fps$ (lub 30 fps dla stereowizji) w czasie rzeczywistym – były to zawsze pierwsze moduły o takich parametrach opublikowane w literaturze naukowej, co potwierdziło główną hipotezę badawczą projektu,
- opublikowanie wyników w łącznie 18 artykułach (5 czasopisma, 13 recenzowane materiały konferencyjne) oraz 7 demonstratorach. Dodatkowo udział w konferencjach naukowych pozwolił mi zbudować rozpoznawalność naukową w środowisku skupionym wokół wbudowanych systemów wizyjnych, co zaowocowało zaproszeniami do komitetów sterujących konferencji DASIP, ARC oraz DSD oraz komitetu redakcyjnego czasopisma *Microprocessors and Microsystems*.
- nabycie unikalnych kompetencji w dziedzinie przetwarzania strumienia wizyjnego o rozdzielczości 4K/UHD przez cały Zespół, w szczególności dotyczy to przetwarzania danych w postaci wektorowej – formaty 2 ppc oraz 4 ppc,
- nabycie przeze mnie kompetencji zarządzania projektami naukowymi – od samodzielnego stawiania hipotez badawczych i pisanie wniosku, poprzez bieżące nadzorowania prac Zespołu badawczego, po ich publikację oraz rozliczanie.

Jednak za najważniejsze osiągnięcie uważam zbudowanie Zespołu. Przygotowując w 2016 wniosek, Zespół projektowy składał się ze mnie oraz jednej dodatkowej osoby (wtedy nieokreślonej). W trakcie jego realizacji dołączali do niego kolejni moi Dyplomanci, z których część zdecydowała się na kontynuowanie współpracy: realizację doktoratu ze mną w roli promotora pomocniczego, a także podjęcie zatrudnienia na Akademii Górniczo-Hutniczej i tworzenie ze mną Zespołu Wbudowanych Systemów Wizyjnych. W ten sposób kolejno do projektu dołączali:

- Marcin Kowalczyk – realizacja doktoratu i praca na AGH do chwili obecnej,
- Dominika Przewłocka-Rus – doktorat obroniony 28.03.2025 r., praca na AGH przez 4 lata, planowana dalsza współpraca w przyszłości,
- Hubert Szolc – realizacja doktoratu i praca na AGH do chwili obecnej,
- Mateusz Wąsala – realizacja doktoratu i praca na AGH do chwili obecnej,
- Krzysztof Błachut – realizacja doktoratu i praca na AGH do chwili obecnej,
- Piotr Janus – przez ponad rok realizował doktorat,
- Piotr Ciarach – uczestniczył w przygotowaniu artykułu [VS01],
- Karol Radwan – uczestniczył w przygotowaniu demonstratora na konferencję DASIP 2018.

W pracy zaangażowany był również Michał Daniłowicz, który obecnie realizuje doktorat i pracuje na AGH oraz Michał Machura, który przez ponad rok realizował doktorat.

Badania prowadzone po zakończeniu projektu NCN Sonata

Po zakończeniu projektu NCN Sonata nadal prowadzę badania w obszarze wbudowanych systemów wizyjnych realizowanych w układach SoC FPGA, w tym również nad akceleracją głębokich sieci neuronowych.

Nadzorowałem merytorycznie, jako promotor pomocniczy, prace p. Dominiki Przewłockiej-Rus nt. klasyfikacji znaków drogowych z użyciem sieci binarnych [V11] (CORES 2022) oraz użycia kwantyzacji logarytmicznej (o wagach będących potęgami liczby dwa – PoT, ang. *power of two*) [VS12] (ICCVG 2022).

Wraz z dyplomantem p. Maciejem Baczmańskim oraz doktorantem p. Mateuszem Wąsalą prowadziłem badania nad zastosowaniem sieci segmentacyjno-detekcyjnej jako podstawy systemu percepcji pojazdu autonomicznego [V13] (ARC 2023). Nadzoruję również prace doktoranta p. Michała Daniłowicza nt. akceleracji metod śledzenia obiektów. Nasza ostatnia publikacja, która została zaprezentowana na konferencji ARC 2025 [VS14], dotyczy akceleracji metody SORT (ang. *Simple Online and Real-Time Tracking*) w zasobach układu SoC FPGA.

4.6 Architektury do przetwarzania danych zdarzeniowych ([E01]–[E05])

Koncepcja kamery zdarzeniowej, tj. czujnika, którego sposób działania inspirowany jest siatkówką oka (ang. *retina*) powstała w latach 90' XX w. (projekt *silicon retina* [25]). Urządzenia tego typu pojawiły się na rynku po roku 2008, ale dopiero w ostatnich 4 latach obserwuje się bardzo duże zainteresowanie tą technologią – zarówno w świecie naukowym, gdzie liczba publikacji i badań gwałtownie wzrasta. Dobrze ilustruje to arkusz [12], który jest prowadzony przez prof. Guillermo Gallego z TU Berlin. Można powiedzieć, że obecnie kamery zdarzeniowe to jeden z nośnych tematów na obszarze systemów wizyjnych (ang. *computer vision*), który jest obecny na najważniejszych konferencjach naukowych (CVPR, ICCV, WACV, IROS, ICRA), ale też w czasopismach: IEEE TPAMI, IEEE RAL, IEEE TRO, IEEE TIP, IEEE TCSVT.

Co więcej, kamery zdarzeniowe są coraz częściej wykorzystywane w przemyśle np. do zliczania szybko poruszających się obiektów, monitorowania wibracji, rozwiązań AR (ang. *Augmented Reality*) w połączeniu z systemami do śledzenia ruchu gałki ocznej czy poprawy ostrości obrazów zarejestrowanych w niekorzystnych warunkach oświetleniowych (ang. *image deblurring*).

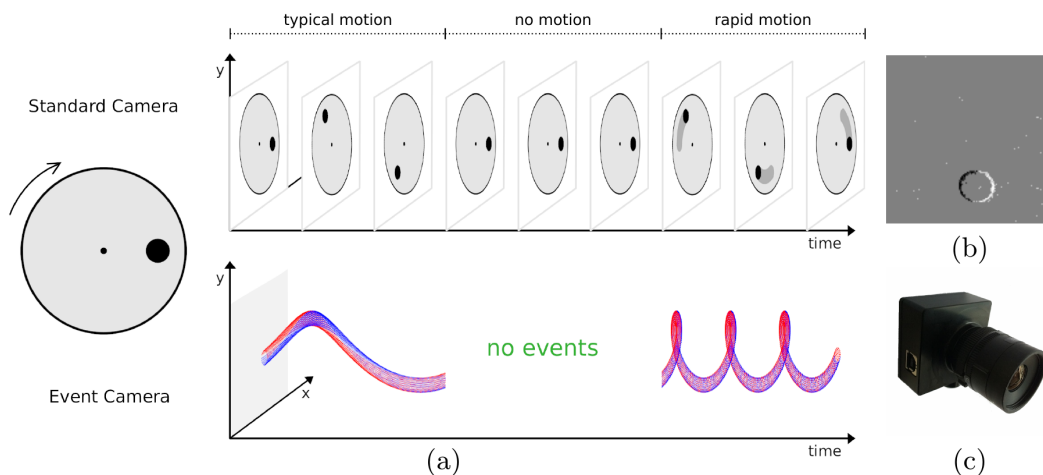
W Zespole, którego prace wspólnadzoruję, technologią kamer zdarzeniowych pierwszy zainteresował się doktorant i asystent Marcin Kowalczyk, który zaproponował złożenie wniosku o finansowanie wewnętrzne, w ramach projektu IDUB (Inicjatywa Doskonałości Uczelnia Badawcza), grantu: „Opracowanie rozwiązań wykorzystujących nowoczesne czujniki wizyjne dla zastosowań związanych z autonomicznymi, bezzałogowymi pojazdami latającymi”. Po uzyskaniu finansowania pod koniec 2020 roku, większość naszej działalności naukowej została przekierowana na uwzględnienie kamer zdarzeniowych, czy to jako jedynego czujnika w systemie percepcji, czy uwzględniając fuzję danych wizyjnych i zdarzeniowych. Na moment pisanie wniosku 7 z 9 doktorantów dla których jestem lub byłem promotorem pomocniczym i których prace badawcze nadzorowałem merytorycznie, zajmuje się, w jakimś stopniu, kamerami zdarzeniowymi (por. tabela 14).

Podjęcie przeze mnie decyzji o rozszerzeniu tematyki badawczej Zespołu, który wspólnadzoruję, o akcelerację przetwarzania danych z kamer zdarzeniowych oceniam, z perspektywy minionych 4 lata, bardzo dobrze. Względnie szybkie wejście w tą tematykę, szczególnie w aspekcie akceleracji sprzętowej z użyciem układów FPGA i SoC FPGA, pozwoliło zbudować rozpoznawalność międzynarodową Zespołu Wbudowanych Systemów Wizyjnych. Dodatkowo, wszystkie realizowane przeze mnie i z moim udziałem współprace krajowe i międzynarodowe (por. rozdział 5) koncentrowały się również na tej tematyce. W szczególności zainicjowane przeze mnie podczas pobytu jako profesor wizytujący w Laboratorium LIP6 na Uniwersytecie Sorbona w Paryżu prace nad przetwarzaniem danych zdarzeniowych z użyciem sieci grafowych w układach FPGA okazały się bardzo obiecującym i atrakcyjnym wątkiem badawczym.

Dalsza część rozdziału zawiera przedstawienie podstawowych informacji o technologii kamer zdarzeniowych, a także omówienie najważniejszych osiągnięć dotyczących kamer zdarzeniowych, które dołączyłem do cyklu prac jako drugie osiągnięcie stanowiące znaczny wkład w dyscyplinę AEEiTK.

Podstawowe informacje o kamerach zdarzeniowych

Kamery zdarzeniowe inspirowane są sposobem działania siatkówki oka, gdzie aktywacja fotoreceptorów (czopków, pręcików) następuje pod wpływem padającego na nie światła, niezależnie dla każdego elementu światłoczułego. W kamerze zdarzeniowej ten proces został odtworzony – każdy piksel działa niezależnie (asynchronicznie) i w przypadku zarejestrowania zmiany jasności, która przekracza zadany próg, zwracana jest informacja o wystąpieniu zdarzenia w postaci: $E = \{x, y, t, p\}$, gdzie x i y to współrzędne przestrzenne piksela, t to znacznik czasowy (ang. *timestamp*), a p to polaryzacja (kierunek zmiany jasności). Należy dodać, że monitorowanie zmian jasności odbywa się w skali logarytmicznej i w części analogowej pojedynczego piksela. Ilustrację sposobu działania kamery zdarzeniowej, w porównaniu do typowej kamery klatkowej, przedstawiono na rysunku 15.



Rysunek 15: Schemat ilustrujący działanie kamery zdarzeniowej w porównaniu do typowej kamery klatkowej. (a) w typowej sytuacji (ang. *typical motion*) kamera klatkowa rejestruje sekwencję obrazów, a kamera zdarzeniowa rzadką, przestrzenno-czasową chmurę punktów (zdarzeń); w przypadku braku ruchu (ang. *no motion*), kamera zdarzeniowa nie rejestruje danych; w przypadku szybkiego ruchu (ang. *rapid motion*), dla kamery klatkowej występuje rozmycie, a kamera zdarzeniowa nadal działa poprawnie; (b) przykładowa wizualizacja 2D danych zdarzeniowych w postaci tzw. ramki zdarzeniowej (ang. *event frame*), (c) pierwsza komercyjna kamera zdarzeniowa DVS128 firmy iniLabs. Źródło: Kim, H., Leutenegger, S., & Davison, A. J. (2016). Real-time 3D reconstruction and 6-DoF tracking with an event camera.

Opisany sposób działania ma szereg implikacji. Do niewątpliwych zalet kamer zdarzeniowych należy zaliczyć: (1) poprawną pracę w niekorzystnych warunkach oświetleniowych – zarówno przy słabym oświetleniu, jak i w warunkach wysokiej rozpiętości tonalnej (szacunkowo 120 dB w porównaniu do 50-60 dB dla kamer tradycyjnych), (2) mniejszą wrażliwość na zjawisko rozmycia spowodowane ruchem, w porównaniu do kamer klatkowych, (3) niską latencję rozumianą jako czas od wystąpienia zmiany jasności do pojawienia się tej informacji na wyjściu z czujnika, (4) wysoką rozdzielczość czasową – znaczniki czasowe zwykle nadawane są z dokładnością do 1 mikrosekundy (zegar 1 MHz), (5) brak redundancji informacji – brak zmian na scenie, brak zdarzeń, co przekłada się na niższe zapotrzebowanie na pasmo do transmisji danych oraz wyższą efektywność energetyczną (należy zaznaczyć, że dotyczy to przypadku “średniego” – przykładowo występowanie na scenie bardzo dynamicznego ruchu lub migającego oświetlenia może doprowadzić do strumienia danych porównywalnego, a nawet większego niż dla kamer klasycznych).

Do wyzwań natomiast zaliczyć należy: (1) brak informacji o wartości bezwzględnej jasności, która jest niezbędna w niektórych scenariuszach (np. detekcja statycznych obiektów, w sytuacji gdy kamera jest nieruchoma), (2) stosunkowo duży poziom zaszumienia, który powoduje, że zwykle konieczne staje się zastosowanie jakiejś formy filtracji. (3) nietypowy format danych – rzadka chmura przestrzenno-czasowa, która nie jest wprost kompatybilna z istniejącymi metodami przetwarzania danych z kamer klatkowych i implikuje, albo konieczność przekształcania zdarzeń na pseudo-obrazy, albo stosowania mniej standardowych metod przetwarzania np. sieci grafowych, impulsowych lub grupowania zdarzeń w woksele (ang. *voxel*).

W kontekście przetwarzania danych w układach rekonfigurowalnych szczególnie należy pokreślić ostatnią z właściwości. Typowy strumień danych z kamery klatkowej jest ustrukturyzowany – kolejne piksele przesyłane są linia po linii i ramka po ramce. To znakomicie ułatwia zaprojektowanie efektywnej architektury obliczeniowej oraz w pełni pozwala na skorzystanie z możliwości zrównoleglania obliczeń, w tym potokowości – zarówno dla metod “klasycznych” jak i głębokich konwolucyjnych sieci neuronowych. W przypadku kamer zdarzeniowych, postać strumienia danych zależy od obiektów oraz dynamiki sceny, co stanowi duże wyzwanie w realizacji efektywnych implementacji sprzętowych.

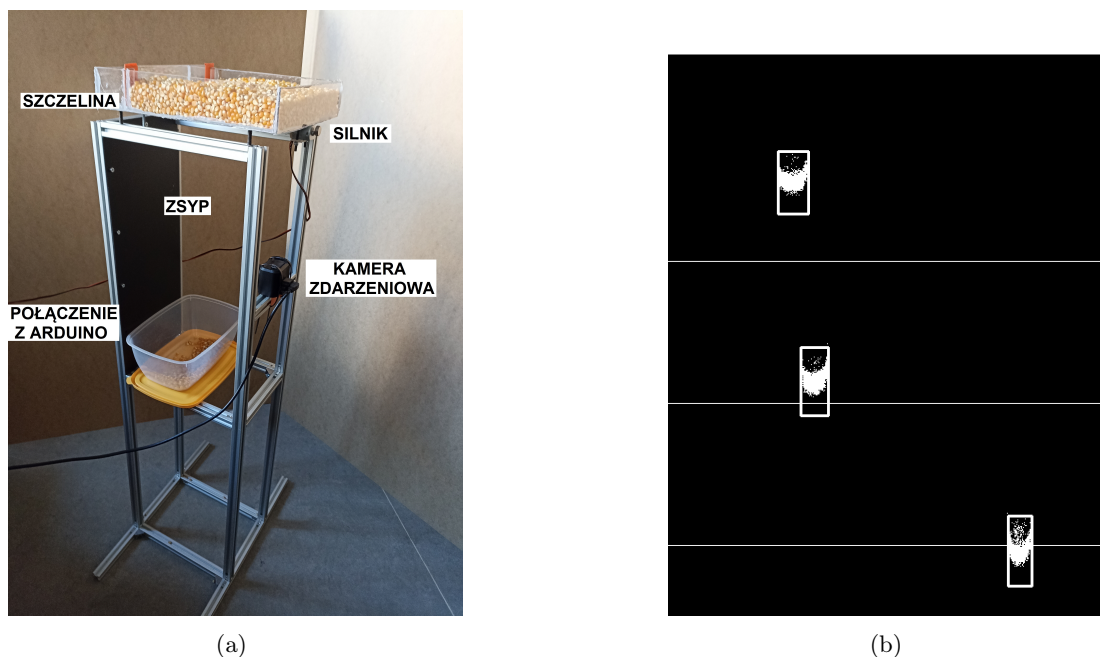
Więcej informacji o technologii kamer zdarzeniowych oraz ich cechach i aplikacjach znaleźć można w bardzo dobrym artykule przeglądowym [13] oraz niedawno opublikowanym przeglądzie skupionym na zastosowaniach w branży motoryzacyjnej [35].

Zliczanie szybko poruszających się obiektów

Kamery zdarzeniowe, z uwagi na zdolność do rejestrowania szybko poruszających się obiektów, mogą zostać wykorzystane w szeroko rozumianych systemach monitorowania procesów przemysłowych. Bezpośrednią inspiracją dla omawianych badań był demonstrator zaprezentowany przez firmę Prophesee (jednego z wiodących producentów kamer zdarzeniowych), gdzie zliczane były przemieszczające się tabletki. Na tej podstawie zaproponowałem studentowi p. Kamilowi Bialikowi realizację, pod moją opieką, pracy magisterskiej pt. „Szybkie

zliczanie elementów na podajniku taśmowym z wykorzystaniem kamery zdarzeniowej”. Jej celem było przygotowanie demonstratora: tj. stanowiska testowego oraz algorytmu przetwarzającego dane zdarzeniowe. Ostatecznie, po rozważeniu różnych koncepcji, zdecydowaliśmy się na zliczenie spadających ziaren kukurydzy. Stanowisko testowe składało się ze zsypu z podajnikiem wibracyjnym, kamery zdarzeniowej oraz komputera, na którym uruchomiono algorytm zliczenia (rys. 16(a)). Ponadto, Dyplomant przygotował układ sterowania z regulatorem PID, który umożliwiał utrzymanie stałej średniej liczby spadających obiektów.

Algorytm analizy danych zdarzeniowych składał się z następujących komponentów: filtracji, generacji ramek zdarzeniowych (czas akumulacji 2ms, co odpowiada częstotliwości 500 ramek na sekundę), indeksacji, wyznaczaniu prostokątów otaczających dla wykrytych obiektów oraz uproszczonego śledzenia obiektów z wykorzystaniem informacji o nakładaniu się prostokątów otaczających. Samo zliczanie było natomiast realizowane na ”liniach zliczających” – środek ciężkości wykrytego i śledzonego obiektu powinien pomiędzy dwoma ramkami przekroczyć wirtualną linię zliczącą. Wykorzystano trzy linie, co pozwoliło na redukcję błędów. Ilustrację działania algorytmu przedstawiono na rysunku 16(b).



Rysunek 16: Stanowisko testowe do zliczania szybko poruszających się obiektów (a) oraz ilustracja zastosowanego algorytmu zliczania obiektów (b)

Na podstawie wyników pracy dyplomowej, we współpracy doktorantami Krzysztofem Błachutem i Marcinem Kowalczykiem, pod moim nadzorem merytorycznym, przygotowana została publikacja naukowa [E01], której wyniki zaprezentowano na konferencji Automation 2023 organizowanej przez Sieć Badawczą Łukasiewicz — Przemysłowy Instytut Automatyki i Pomiarów PIAP w dniach 7-8 marca 2023 r., a następnie w czasopiśmie PAR – Pomiary Automatyka Robotyka ¹⁴. Ostatecznie, zaproponowany algorytm działał w czasie rzeczywistym, a przeprowadzone eksperymenty pokazały, że charakteryzuje się on dużą skutecznością – otrzymane wyniki były bardzo zbliżone do wartości referencyjnych.

Filtracja danych zdarzeniowych

Kamery zdarzeniowe, z uwagi sposób niedoskonałości wykonania sensorów, szum śrutowy fotonów i szum pochodzący z analogowej części układu pikseli, są podatne na zakłócenia. Objawiają się one jako zdarzenia, które nie są związane z ruchem kamery, ruchem na scenie lub zmianą oświetlenia. Przypominają one, znane ze starszych kamer klatkowych, zakłócenia impulsowe, które bardzo łatwo zauważyć w danych wyjściowych. Obecność szumów stanowi potencjalne źródło obniżonej skuteczności działania algorytmów np. klasyfikacji lub detekcji.

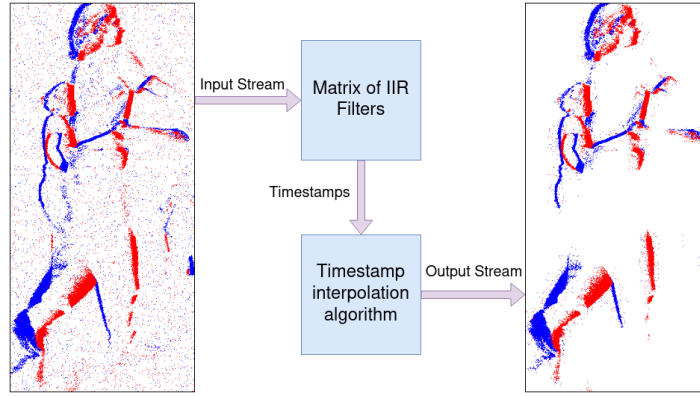
W naszym Zespole filtracją danych zdarzeniowych zajmuje się doktorant Marcin Kowalczyk. Pod moim nadzorem i ze wsparciem merytorycznym przygotowaliśmy łącznie 4 prace w tym temacie. Do osiągnięcia przedstawiam dwie z nich pt. „Interpolation-Based Event Visual Data Filtering Algorithms” [E02], która została zaprezentowana podczas CVPR 2023 Workshop on Event-based Vision (4-ta edycja), który odbył się w ramach jednej z najbardziej prestiżowych konferencji naukowych w tematyce systemów wizyjnych – CVPR (*Computer*

¹⁴Manuskrypt opublikowano w języku polskim, ale chcąc również dotrzeć do szerszego grona czytelników, przygotowaliśmy wersję w języku angielskim, która została umieszczona w serwisie ArXiv: <https://arxiv.org/abs/2212.08384>.

Vision and Pattern Recognition), 18-22 czerwca 2023 w Vancouver w Kanadzie oraz artykuł „High throughput event filtering: The interpolation-based DIF algorithm hardware architecture” opublikowany w czasopiśmie *Microprocessors and Microsystems* [E05].

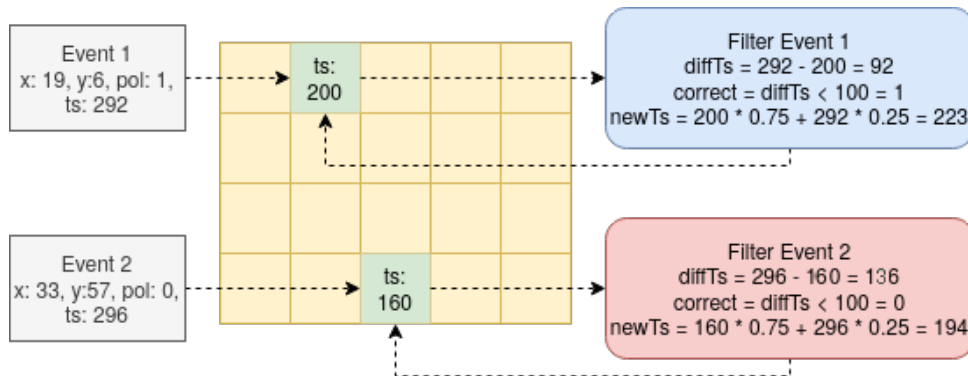
W ramach pracy [E02] zaproponowano, zaimplementowano i poddano ewaluacji 4 algorytmy filtracji danych zdarzeniowych, które bazowały na wcześniejszej publikacji [ES01]. Ponieważ docelowo filtracja miała zostać zrealizowana sprzętowo z wykorzystaniem zasobów rekonfigurowalnego układu FPGA, założono, że algorytm powinien charakteryzować się niską złożonością pamięciową oraz dobrą skutecznością eliminacji zakłóceń. Na podstawie analizy literatury oraz własnych eksperymentów zauważono, że klasyfikacja, czy dane zdarzenie jest szumem, bazuje na analizie korelacji przestrzennej i czasowej występowania zdarzeń. W rozwiązaniach programowych wykorzystuje się macierz (tablicę), w której zapisywane są czasy wystąpienia zdarzeń dla konkretnych lokalizacji (ang. *timestamp*). W szczególności dla kamer zdarzeniowych o wysokiej rozdzielczości, jak np. 1280×720 , zapamiętanie takiej informacji w zasobach wewnętrznych pamięci RAM układu FPGA jest nieefektywne. Alternatywa, w postaci wykorzystania zewnętrznej pamięci RAM, charakteryzuje się zwiększoną latencją i istotnie wyższym zużyciem energii. Ponadto warto też zauważyć, że redukcja złożoności pamięciowej może być istotna także dla implementacji na procesorach ogólnego przeznaczenia.

Korzystając ze znajomości specyfiki układów FPGA, metodologii *hardware-aware algorithm design* oraz wcześniejszych doświadczeń, zaproponowano 4 algorytmy: TM (Time-stap maximum), BI (Bilinear-Interpolation), Bilinear interpolation with frequency weights (BIF) oraz Distance-based interpolation with frequency weights (DIF). Ich ogólną zasadę działania przedstawia rysunek 17. Po pierwsze założono, że macierz obrazu dzielona jest na nienachodzące na siebie obszary, co pokazano na rysunku 19(a). Pozwala to znacząco ograniczyć złożoność pamięciową, przy jednocześnie relatywnie niewielkim wpływie na skuteczność filtracji. Pierwotna koncepcja tego rozwiązania została zaprezentowana w naszej wcześniejszej pracy [ES01].



Rysunek 17: Ogólny schemat zaproponowanych metod filtracji danych zdarzeniowych

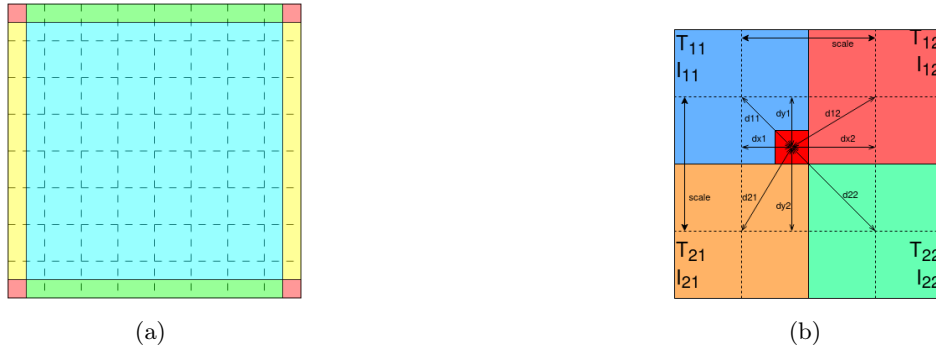
Mechanizm działania filtru przedstawia rysunek 18. Dla każdego obszaru zapamiętywany jest znacznik czasowy ts . W sytuacji 1, dla zdarzenia 1 (*Event 1*), które wystąpiło w czasie 292 obliczona różnica $diffTs = 292 - 200 = 92$ jest mniejsza niż ustalony próg 100, stąd zdarzenie uznawane jest za prawidłowe. Ponadto nowa wartość znacznika czasowego dla obszaru wyliczana jest wg wzoru: $newTs = 200 * 0.75 + 292 * 0.25 = 223$ – średnia ważona poprzedniej wartości dla obszaru i znacznika dla obecnego zdarzenia. Natomiast w sytuacji 2 (*Event 2*) różnica przekracza zadany próg, co oznacza, że zdarzenie jest uznane za szum.



Rysunek 18: Ilustracja sposobu działania filtracji danych zdarzeniowych

Analiza uzyskanych wyników pokazała, że realizacja filtracji dla obszarów o zupełnie niezależnych para-

metrach (znacznikach czasowych) wprowadza błędy w przypadku, gdy obiekty przemieszczają się pomiędzy obszarami. Stanowiło to bezpośrednią motywację do badań opisanych w pracy [E02], gdzie dodano mechanizm interpolacji parametrów filtru w zależności od położenia przestrzennego danego zdarzenia. Idea została pokazana na rysunku 19(b).

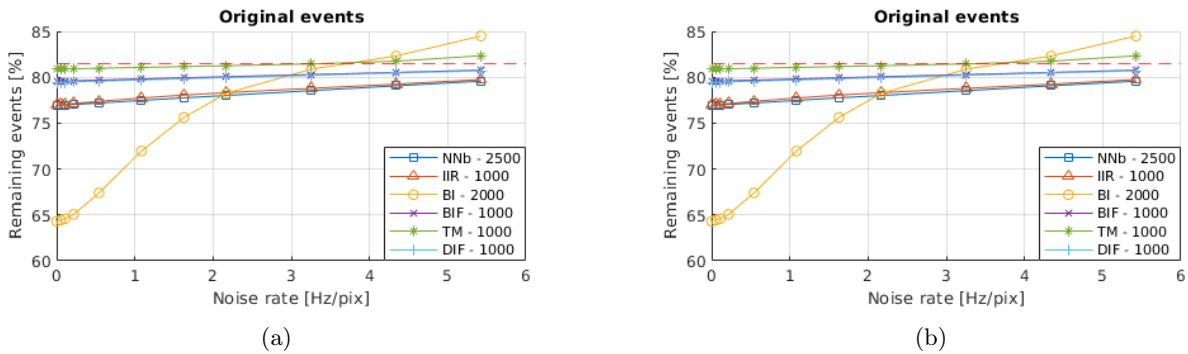


Rysunek 19: Podział obrazu na nienachodzące na siebie obszary (a). Ilustracja zastosowanej interpolacji (b).

Wyliczanie referencyjnego znacznika odbywało się w następujący sposób:

- TM (ang. *Time-stap maximum*) – jako maksimum z czterech sąsiednich znaczników dla rozważanego piksela,
- BI (ang. *Bilinear-Interpolation*) – na podstawie prostej interpolacji dwuliniowej,
- BIF (ang. *Bilinear interpolation with frequency weights*) – na podstawie interpolacji dwuliniowej, ale z dodatkowym uwzględnieniem częstotliwości występowania pikseli w danym obszarze. Im częściej zdarzenia pojawiają się w danym obszarze, tym większa waga jest do niego przypisywana.
- DIF (ang. *Distance-based interpolation with frequency weights*) – na podstawie interpolacji uwzględniającej odległość euklidesową oraz częstotliwość występowania pikseli.

Zaproponowane metody poddane zostały ewaluacji w dwóch eksperymentach. W pierwszym, do istniejących sekwencji zarejestrowanych kamerą zdarzeniową, dodano wygenerowany sztucznie szum o różnym natężeniu. Wyniki zaproponowanych metod porównano z bazową metodą z wcześniejszej pracy [E01] oraz z popularną metodą NNb (ang. *Nearest Neighbour* – najbliższego sąsiada). Wyniki przedstawiono na rysunku 20.

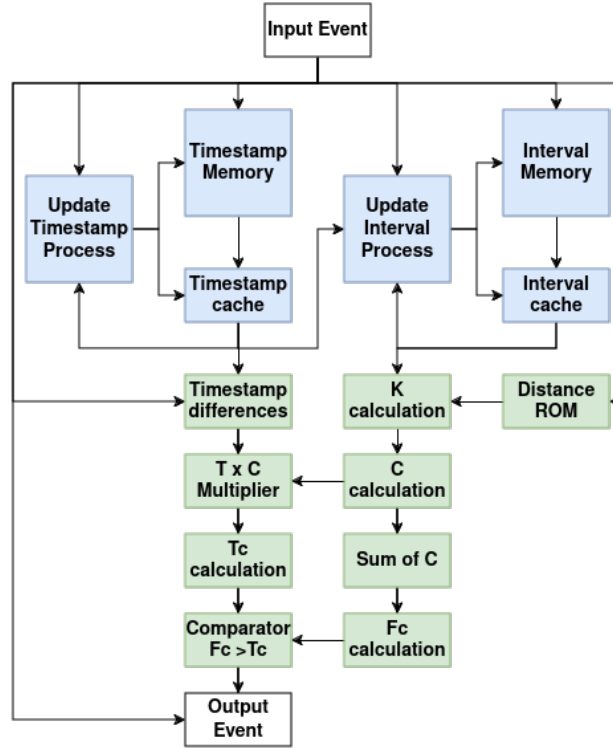


Rysunek 20: Porównanie zaproponowanych metod filtracji: (a) procent nieusuniętych sztucznie wygenerowanych zakłóceń (b) procent zachowanych oryginalnych zdarzeń

Ich analiza wskazuje, że zaproponowane podejścia, szczególnie BIF i DIF charakteryzują się porównywalną z NNb skutecznością i przy tym działają poprawnie w obecności szumu o różnej częstotliwości.

W powyższym podejściu nie da uniknąć się obecności szumu w sekwencjach wejściowych, stąd podczas ewaluacji niemożliwe jest sprawdzenie na ile dana metoda pozwala usunąć też ten szum bazowy. Dodatkowo specyfika szumu zależy od przyjętego modelu jego generacji.

Aby wyeliminować powyższe czynniki zastosowano również drugą metodologię. W pierwszym kroku nagrano kamerą zdarzeniową szum poprzez rejestrację nieruchomej sceny, przy stałym oświetleniu (o różnej intensywności). W drugim, nagrano cztery sekwencje i poddano je filtracji, aby usunąć jak najwięcej szumu. Do tak przygotowanych danych dodano uprzednio pozyskany szum. W ten sposób, dla każdego zdarzenia możliwe było określenie, czy jest ono rzeczywiste, czy stanowi szum.



Rysunek 21: Schemat modułu filtracji danych zdarzeniowych algorytmem DIF. Elementy oznaczone na niebiesko odpowiadają za aktualizację parametrów dla poszczególnych obszarów, a elementy oznaczone na zielono odpowiadają za interpolację wartości oraz wyliczanie końcowego wyniku.

Do ewaluacji zastosowano krzywe ROC (ang. *Receiver Operating Characteristic*), w szczególności parametr AUC (ang. *Area Under the Curve*). Metoda ta pozwala ocenić metodę filtracji niezależnie od przyjętego progu. Uzyskane wyniki przedstawione są w tabeli 3. Zaproponowane metody, w szczególności BIF i DIF, działają lepiej od referencyjnej NNb – wyższe wartości współczynnika AUC. Ponadto eliminacja szumu jest bardziej skuteczna w scenariuszach, gdzie scena rejestrowana przez nieruchomą kamerą (I i II), niż, gdy kamera i obiekty się poruszają (III i IV).

Tabela 3: Wartości AUC dla zaproponowanych metod filtracji oraz różnych zbiorów danych.

Algorytm	I	II	III	IV
NNb	0.958	0.924	0.867	0.779
IIR	0.995	0.956	0.899	0.838
BI	0.998	0.963	0.906	0.848
BIF	0.999	0.961	0.903	0.841
TM	0.998	0.950	0.881	0.816
DIF	0.999	0.960	0.901	0.842

Kolejnym krokiem w prowadzonych badaniach była implementacja sprzętowa opisanego powyżej rozwiązania oraz jego pogłębiona ewaluacja. Uzyskane wyniki zostały opisane w artykule naukowym [ES05] opublikowanym w czasopiśmie *Microprocessors and Microsystems*. Schemat zaproponowanego modułu sprzętowego zaprezentowano na rysunku 21. Charakteryzuje się on względnie niewielkim użyciem zasobów logicznych, za wyjątkiem pamięci BRAM, która jest niezbędna do przechowywania parametrów obszarów (przykładowo dla rozdzielczości 1280×720 wykorzystano 57.5 BRAM). Umożliwia również przetwarzanie danych z wysoką częstotliwością – ponad 300 MHz dla rozdzielczości HD, natomiast przepływność (ang. *throughput* wynosi 312.52 MEPS (ang. *Mega Events Per Second*). Działanie modułu zostało zweryfikowane w sprzęcie na karcie *Enclustra Mercury+ XU0* z układem SoC FPGA z rodziny Zynq UltraScale+.

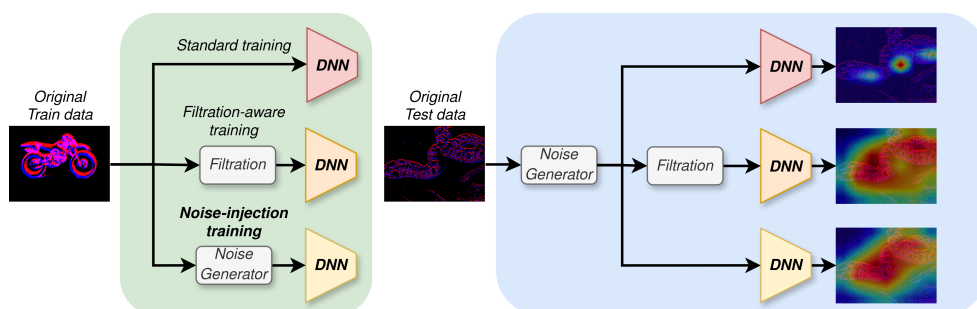
W stosunku do pracy [ES02], w sposób istotny, poszerzono ewaluację zaproponowanego algorytmu. Zastosowano dwa rodzaje autorskich zbiorów danych o rozdzielczości HD (1280×720). Po pierwsze wygenerowano syntetyczne dane zdarzeniowe z użyciem narzędzie V2E [19] (ang. *Video to Events*). Pozwoliło to uzyskać sekwencje bez szumu do których następnie dodano, w sposób kontrolowany, szum. Wykorzystano dwie metody: generator „sztucznego” szumu oraz dodanie rzeczywistego szumu zarejestrowanego kamerą zdarzeniową skie-

rowaną na statyczne tło. Po drugie zarejestrowano dane kamerą zdarzeniową (EVK1 firmy Prophesee), które przefiltrowano popularnym algorytmem najbliższego sąsiada uznając te wyniki za wartości referencyjne.

Opisane wyżej zbiory zostały wykorzystane do porównania zaproponowanej metody z innymi metodami przedstawionymi w literaturze. W szczególności wybrano cztery algorytmy: najbliższego sąsiada, jego rozszerzoną wersję STCF [9] (ang. *spatiotemporal correlation filter*), a także dwa rozwiązania wykorzystujące głębokie sieci neuronowe: EDnCNN [2] i AEDNet [1].

Ostatecznie zaproponowana metoda charakteryzuje się skutecznością porównywalną z algorytmem najbliższego sąsiada oraz lepszą od metod wykorzystujących sieci neuronowe. Co więcej, wyróżnia się niewielkim spadkiem efektywności przy narastającym poziomie zaszumienia oraz jest możliwa do realizacji sprzętowej w układzie FPGA, co zostało udowodnione eksperymentalnie.

W tematyce filtracji, pod moim nadzorem merytorycznym, powstał również artykuł „Learning from Noise: Enhancing DNNs for Event-Based Vision through Controlled Noise Injection” [ES11] który został zaakceptowany i zaprezentowany na 5 edycji CVPR Workshop on Event-based Vision w Nashville w USA. W jego ramach przeanalizowano wpływ szumu i filtracji na klasyfikację obiektów na podstawie danych zdarzeniowych z użyciem czterech różnych modeli sieci neuronowych: sieci konwulucyjnej, transformera wizyjnego (ang. *Visual Transformer* – ViT), sieci impulsowej oraz grafowej sieci konwulucyjnej. Idea została przedstawiona na rysunku 22.



Rysunek 22: Uproszczony schemat proponowanego rozwiązania. Standardowy trening sieci neuronowych bez filtrowania prowadzi do znacznej niestabilności, podczas gdy stosowanie filtrów może prowadzić do niepoprawnego działania z powodu nadmiernej redukcji danych lub zachowywania artefaktów szumu. Zaproponowana metoda uczenia z dodawaniem szumu zwiększa uogólnienie poprzez skuteczne zarządzanie zaszumionymi danymi wejściowymi, poprawiając w ten sposób odporność sieci neuronowych w rzeczywistych warunkach.

Uzyskane wyniki pokazują, że dla sieci konwulucyjnych, transformerów oraz impulsowych najlepszą strategią jest wprowadzenie do procesu uczenia odpowiednio zaszumionych próbek. Pozwala to uzyskać wyniki lepsze, niż użycie modułu filtracji. Natomiast w przypadku sieci grafowych zaobserwowano istotny wpływ poziomu szumu na skuteczność klasyfikacji. Ma to związek ze sposobem konstrukcji grafu, gdzie każde zdarzenie jest potencjalnym wierzchołkiem. Zatem duża liczba zakłóceń przekłada się na postać grafu, co utrudnia proces uczenia sieci i obniża skuteczność.

Implementacja algorytmów przetwarzania danych zdarzeniowych w układach FPGA – artykuł przeglądowy

Bezpośrednią motywacją do napisania artykułu przeglądowego na temat implementacji algorytmów przetwarzania danych zdarzeniowych w układach FPGA [E03] było poszerzenie profilu działalności Zespołu, którego prace współkoordynuję, o wbudowaną wizję zdarzeniową (ang. *embedded event-based vision*). Analiza dorobku innych grup badawczych oraz poznanie aktualnego stanu wiedzy w różnych obszarach znacząco ułatwia planowanie i realizację badań na wysokim, światowym poziomie.

Na moment przeprowadzania analizy, tj. marzec-kwiecień 2024, zidentyfikowałem 60 artykułów związanych z tematyką. Najwięcej z nich pochodziło z grupy Robotic and Technology of Computer Laboratory University of Sevilla (co najmniej 11 artykułów), Institute of Neuroinformatics of ETH Zurich (9 artykułów) oraz Instituto de Microelectrónica de Sevilla, University of Seville (5 artykułów). Oprócz tego aktywne są grupy: Computer Architecture and System Research (CASR) group, University of Hong-Kong (3 artykuły), Temasek Laboratories, National University of Singapore (3 artykuły) i nasz Zespół Wbudowanych Systemów Wizyjnych (3 artykuły). Warto dodać, że na moment składania wniosku nasz dorobek obejmuje już 10 artykułów oraz dwa demonstratory sprzętowe. Uwzględniając dodatkowo prace będące w recenzji, można zaryzykować stwierdzenie, że znajdujemy się wśród 5 wyróżniających się zespołów naukowych zajmujących się wbudowaną wizją zdarzeniową na świecie.

W artykule wyróżniłem następujące obszary:

- filtracja,

- przepływ optyczny,
- stereowizja,
- klasyfikacja, detekcja i śledzenie obiektów (metody klasyczne),
- wykorzystanie metod sztucznej inteligencji (sieci impulsowych, sieci konwolucyjnych),
- inne – robotyka, pomiary, symulator kamery zdarzeniowej, generowanie ramek zdarzeniowych.

Dla każdego z nich krótko omówiłem opublikowane prace. Należy zaznaczyć, że nasz Zespół prowadzi prace w większości z wymienionych obszarów.

Na podstawie przeprowadzonej analizy wskazałem kilka konkluzji:

- w niewielu publikacjach przedstawiony jest demonstrator rozwiązania tj. kamera połączona z kartą z układem FPGA, która realizuje przetwarzanie danych zdarzeniowych. Sytuacja powinna jednak ulec poprawie, gdyż zwiększa się dostępność kamer, a ponadto firma AMD/Xilinx we współpracy z Prophesee przygotowały kartę ewaluacyjną Kria KV260 z dedykowaną kamerą zdarzeniową. Na moment pisania wniosku nasz Zespół dysponuje już takim demonstratorem przygotowanym na konferencję CVPR 2025 oraz FPL 2025.
- zwykle przetwarzany jest strumień zdarzeń z kamer o względnie niewielkiej rozdzielczości przestrzennej. Z drugiej strony zalety dedykowanych architektur sprzętowych są widoczne zwykle dla danych o większej rozdzielczości np. 1280×720 .
- większość prac używa reprezentacji danych zdarzeniowych w postaci tzw. ramek zdarzeniowych, choć z drugiej strony obecne trendy wskazują na większy potencjał przetwarzania strumienia danych “wprost” (sieci grafowe, sieci impulsowe).
- w części prac nie zastosowano ewaluacji na szeroko dostępnych zbiorach danych, co jest ważne dla porównywalności rozważanych metod.
- nie jest powszechną praktyką publikowanie kodu HDL (ang. *Hardware Description Language*), co utrudnia wykorzystywanie istniejących rozwiązań jako punktu wyjścia dla prowadzonych badań oraz ogranicza możliwość weryfikacji informacji podawanych w artykułach (np. użycia zasobów FPGA).

Ponadto, wykonanie przeglądu pozwoliło mi na zidentyfikowanie następujących obszarów, w których warto prowadzić prace badawcze:

- fuzja danych zdarzeniowych z danymi wizyjnymi, ale też z radaru, czy LiDARU,
- wykorzystanie nowoczesnych modeli sieci neuronowych, np. sieci grafowych lub impulsowych,
- przetwarzanie danych bezpośrednio, a nie tworzenie reprezentacji typu ramki zdarzeniowe,
- systemy typu *end to end* dla robotyki mobilnej np. kamera zdarzeniowa wraz z platformą SoC FPGA jako system percepcji i sterowania drona autonomicznego,
- wykorzystanie układów SoC FPGA najnowszej generacji: np. Veras/ACAP firmy AMD Xilinx.

Obecnie, Zespół którego prace koordynuję, prowadzi badania we wszystkich z wymienionych obszarów. Są w nie zaangażowani doktoranci, dla których jestem promotorem pomocniczym oraz studenci, dla których jestem promotorem projektów dyplomowych (inżynierskich) lub prac magisterskich.

Klasyfikacja danych zdarzeniowych z wykorzystaniem sieci grafowych

Pomysł, aby zająć się akceleracją grafowych konwolucyjnych sieci neuronowych do przetwarzania danych zdarzeniowych w układach FPGA pojawił się podczas mojego pobytu w Laboratorium LIP6, na Uniwersytecie Sorbona w Paryżu w listopadzie 2022. Bezpośrednią inspiracją była lektura artykułu [34] z konferencji CVPR 2022, w którym Zespół prof. Davide Scaramuzza z UZH w Zurychu opisał wykorzystanie asynchronicznych grafowych sieci konwolucyjnych (GCN – ang. *Graph Convolutional Neural Network*) w zadaniu klasyfikacji i detekcji obiektów na podstawie danych zdarzeniowych. Po przeanalizowaniu ówczesnego stanu wiedzy nt. akceleracji przetwarzania GCN w układach FPGA, doszedłem do wniosku, że jest to bardzo ciekawy i obiecujący kierunek badań naukowych. Sformułowałem temat pracy magisterskiej: „Memory-Efficient Graph Convolutional Networks for Object Classification and Detection with Event Cameras”, którego realizacji podjął się p. Kamil Jeziorek. Efektem prowadzonych badań był referat [ES06] wygłoszony na konferencji SPA 2023 w Poznaniu oraz

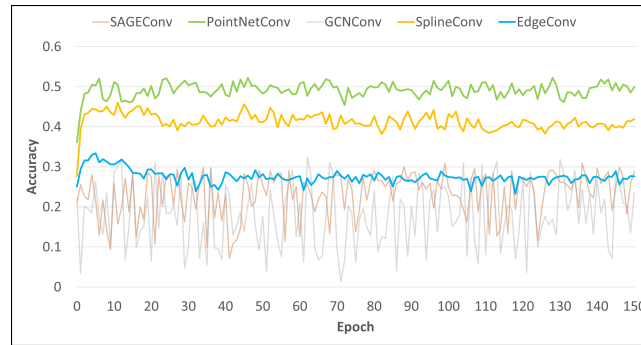
opublikowany w materiałach IEEE. Należy dodać, że badania były realizowane we współpracy z prof. Andream Pinna z Uniwersytetu Sorbona.

Wskazana praca pośrednio przyczyniła się ona też do wyboru przez p. Kamila Jeziorka kariery naukowej – podjęciu kształcenia w Szkole Doktorskiej AGH ze mną jako promotorem pomocniczym, stażu naukowym w Instytucie Naukowym IDEAS NCBiR, a także od 01.03.2025 zatrudnieniu na 1/2 etatu na naszym Zespole, a następnie miesięcznym stażu naukowym w Université de La Rochelle u prof. Thierrirgo Bouwmans (planowane są dwa kolejne miesięczne pobyty).

W ramach pracy [ES06] skupiono się na ocenie wpływu zastosowania różnych operatorów konwolucji na skuteczność klasyfikacji, a także na złożoność obliczeniową i pamięciową. W szczególności zweryfikowano hipotezę, czy możliwe jest pominięcie atrybutów krawędziowych, co pozwoliłoby na 4.5 krotną redukcję złożoności pamięciowej modelu i tym samym ułatwiłoby akcelerację w układach FPGA. Rozważono operatory: SplineConv, EdgeConv, GCNConv, SAGEConv oraz PointNetConv, które są dostępne w bibliotece PyTorch Geometric. Rozmiar oraz czas przetwarzania dla poszczególnych modeli prezentowane są w tabeli 4, a skuteczność klasyfikacji na zbiorze N-Calltech101 na rysunku 23.

Tabela 4: Porównanie analizowanych modeli pod względem złożoności pamięciowej oraz czasu obliczeń

Operator	Rozmiar modelu	Czas obliczeń [ms]	Liczba grafów/s
SplineConv	20.4 M	92.762	10.78
EdgeConv	285 K	37.159	26.91
GCNConv	245 K	14.869	67.25
SAGEConv	245	6.819	146.65
PointNetConv	247 K	33.421	29.92



Rysunek 23: Porównanie skuteczności klasyfikacji rozważanych modeli

Analiza uzyskanych wyników doprowadziła do konkluzji, że zastosowanie operatora PointNetConv pozwala na 450 krotną redukcję liczby parametrów modelu, 4.5 krotną redukcję złożoności pamięciowej przy zachowaniu porównywalnej skuteczności klasyfikacji i detekcji.

Bazując na wynikach z pracy [ES06], zdecydowałem, że warto rozpocząć pracę nad akceleracją klasyfikacji danych zdarzeniowych z wykorzystaniem układów FPGA. W pracy [E04] za cel postawiono przygotowanie takiego modelu sieci, który z jednej strony uwzględniałby specyfikę przetwarzania danych w układzie FPGA, a z drugiej pozwalał zachować oryginalną skuteczność klasyfikacji.

W pierwszym kroku zaproponowano autorską reprezentację grafu. W szczególności zrezygnowano z popularnych w literaturze grafów nieskierowanych, na rzecz grafu skierowanego, przy czym zastosowaliśmy założenie, że krawędzie wskazują na najnowsze zdarzenia. Taki sposób pozwala uniknąć kosztownej obliczeniowo operacji przeszukiwania grafu podczas dołączania nowego wężła. Rozwiązano także problem normalizacji danych – zarówno przestrzennych, jak i czasowych – do zakresu $(0, 0, 0) - (SIZE, SIZE, SIZE)$.

Następnie zaproponowano, przystosowaną do implementacji sprzętowej w układach FPGA, metodę generacji grafu, która wykorzystuje macierz sąsiedztwa NM o rozmiarze $SIZE \times SIZE$, w której przechowywane są znormalizowane znaczniki czasowe zdarzenia, które wystąpiło jako ostatnie. Dla kolejnych zdarzeń o współrzędnych (x, y, t) przeprowadzana jest normalizacja, a następnie z macierzy NM odczytywany jest znacznik danego piksela oraz jego sąsiadów (z otoczenia o promieniu R). Następnie porównywane są znaczniki czasowe i na tej podstawie podejmowana jest decyzja o przyłączeniu wierzchołka lub jego pominięciu. Ponadto założono, że uwzględniane będzie tylko jedno zdarzenie o danym znaczniku czasowym (po normalizacji).

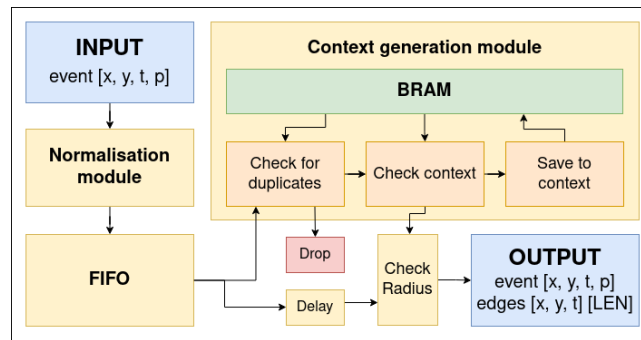
W celu ewaluacji wpływu proponowanych zmian przeprowadzono szereg eksperymentów (ang. *ablation studies*), których wyniki zestawione są w tabeli 5. Analiza wyników pokazuje, że możliwe jest użycie zaproponowanych metod, gdyż ich wpływ na skuteczność modelu jest niewielki. Warto także zauważyć, że zbliżone podejście

do przetwarzania danych zdarzeniowych zostało równoległe i niezależnie zaproponowane w dwóch pracach: [11] Zespół CEA Grenoble oraz [38] Zespół TU Delft.

Tabela 5: Skuteczność klasyfikacji dla różnych rozważanych wariantów

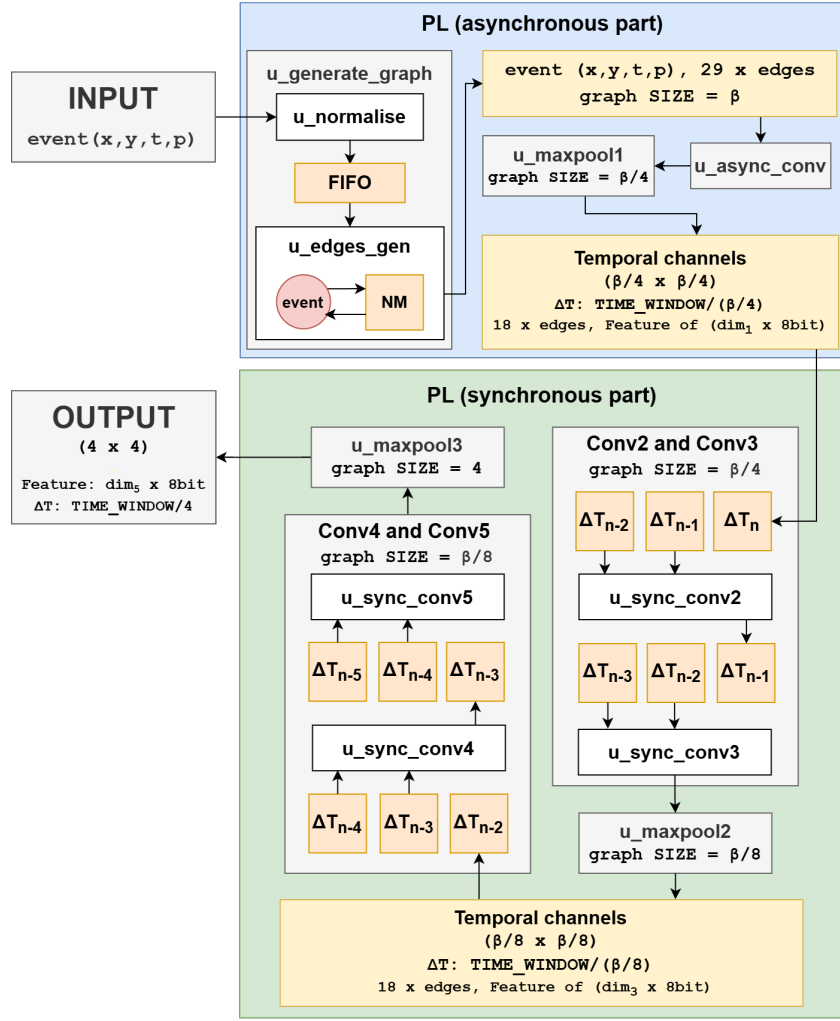
Metoda	Normalizacja	Przetwarzanie wstępne	Generacja krawędzi	mAP
Model bazowy z pracy [ES06]	Tylko czas= 100	Brak	Promień	53.47
Znormalizowana od zakresu	64	Brak	Promień	43.73
	128	Brak	Promień	51.99
	256	Brak	Promień	54.77
Orientacja krawędzi	128	Brak	NM - nieskierowana	52.20
	128	Brak	NM - skierowana (zgodnie z czasem)	51.40
	128	Brak	NM - skierowana (niezgodnie z czasem)	50.23
Unikalność zdarzenia	128	Unikalne	NM - skierowana (zgodnie z czasem)	51.28
	256	Unikalne	NM - skierowana (zgodnie z czasem)	53.39

Następnie zaproponowano koncepcję modułu sprzętowego do generacji grafu. Jego schemat zaprezentowany jest na rysunku 24.



Rysunek 24: Schemat modułu do generacji grafu

Prace na temat akceleracji grafowych konwolucyjnych sieci neuronowych, po publikacji [E04], były kontynuowane. W efekcie powstał kompletny akcelerator, zawierający oprócz wspomnianego modułu do generacji grafu, także implementację warstw konwolucyjnych i łączących (*max-pooling*) w wersji 3D. Jego kompletny schemat pokazano na rysunku 25. Porównanie zaproponowanej architektury z innymi rozwiązaniami opisanymi w literaturze naukowej zestawiono w tabeli 6, natomiast porównanie z innymi implementacjami sprzętowymi w tabeli 7. Ich analiza pozwala stwierdzić, że zaproponowana sieć grafowa i jej akcelerator sprzętowy charakteryzują się wysoką skutecznością, niską latencją i umiarkowanym użyciem zasobów FPGA.



Rysunek 25: Schemat akceleratora sprzętowego do klasyfikacji danych zdarzeniowych

Tabela 6: Porównanie zaproponowanej metody z innymi opisanymi w literaturze dla formatu zmiennoprzecinkowego (Float32). Wyniki pokazują, że nasze modele (EFGCN) są jednymi z najmniejszych pod względem liczby parametrów i wykazują najniższą złożoność obliczeniową na zdarzenie, jednocześnie osiągając skuteczność (Acc) porównywalne z najnowocześniejszymi. W nawiasach podano wartości uzyskane z otwartego kodu źródłowego, a nie podane w danej publikacji

Model	Repr.	Async.	N-Cars		N-Caltech101		CIFAR10-DVS		MNIST-DVS		# Param. ↓
			Acc. ↑	MFLOPs/ev ↓	Acc. ↑	MFLOPs/ev ↓	Acc. ↑	MFLOPs/ev ↓	Acc. ↑	MFLOPs/ev ↓	
H-First [28]	Spike	✓	0.561	-	0.054	-	-	-	-	-	-
HATS [36]	Time-Surface	✓	0.902	0.03	0.642	4.3	0.524	0.18	0.984	0.18	-
YOLO [6]	Voxel-Grid	✓	0.927	328.16	0.702	3659	-	-	0.961	-	2.03 M
AsyNet [27]	Voxel-Grid	✓	0.944	21.5	0.745	202	0.663	103	0.994	112	3.69 M
EV-VGCNN [deng2022voxel]	Voxel-Graph		0.953	-	0.748	-	0.670	-	-	-	0.84 M
VMV-GCN [VMV-GCN]	Voxel-Graph		0.932	-	0.778	-	0.690	-	-	-	0.86 M
G-CNNs [4]	Graph		0.902	-	0.630	-	0.515	-	0.974	-	4.93 M
RG-CNNs [4]	Graph		0.914	-	0.657	-	0.540	-	0.986	-	5.10 M
NvS-S [23]	Graph	✓	0.915	5.2	0.670	7.8	0.602	22.8	0.986	10.1	0.36 - 1.16 M
EvS-S [23]	Graph	✓	0.931	6.1	0.761	11.5	0.680	33.2	0.991	15.2	0.36 - 1.16 M
AEGNN [34]	Graph	✓	0.945 (0.893)	0.47	0.668 (0.643)	7.31	-	-	-	-	0.03 - 20.4 M
EvGNN [39]	Graph	✓	0.880	0.063	-	-	-	-	-	-	4.8 k
EFGCN-S	Graph	✓	0.907	0.032	0.623	0.004	0.571	0.011	0.964	0.006	5.2 - 55.5 k
EFGCN-B	Graph	✓	0.920	0.060	0.631	0.008	0.588	0.022	0.978	0.012	10.6 - 111.0 k
EFGCN-L	Graph	✓	0.923	0.111	0.639	0.015	0.613	0.040	0.983	0.022	20.2 - 220.9 k

Tabela 7: Porównanie zaproponowanej architektury z SOTA pod względem wykorzystania zasobów, dokładności i latencji dla układów SoC FPGA

Model	Rozmiar grafu	Okno czasowe	Utilisation					Accuracy [%]				Latency		
			LUT	FF	BlockRAM	UltraRAM	DSP	N-Cars	N-Caltech101	CIFAR	MNIST	PL [ms]	PL+PS [ms]	per ev. [μ s]
EFGCN-S	128	100 ms	43553	15292	121.5	0	90	91.0	-	57.4	98.7	3.78	4.39	6.56
EFGCN-B	128	100 ms	53517	18798	162	0	90	91.9	-	59.1	97.9	4.62	5.77	9.44
EFGCN-L	128	100 ms	65901	24622	211.5	0	90	92.5	-	61.5	98.5	7.03	9.31	13.76
EFGCN-S	256	50 ms	112670	24087	149	12	172	-	62.8	-	-	4.42	5.12	4.02
EFGCN-B	256	50 ms	139382	29401	187.5	12	184	-	63.2	-	-	4.43	5.77	4.04
EFGCN-L	256	50 ms	142773	38882	240	12	1364	-	64.1	-	-	4.43	7.11	4.04
EvGNN [39]	120 × 100	-	30908	24083	15	48	228	87.8	-	-	-	-	-	16
ESDA [14]	180 × 240	-	154000	115000	1278	0	1792	-	72.4	-	-	3.09	-	-

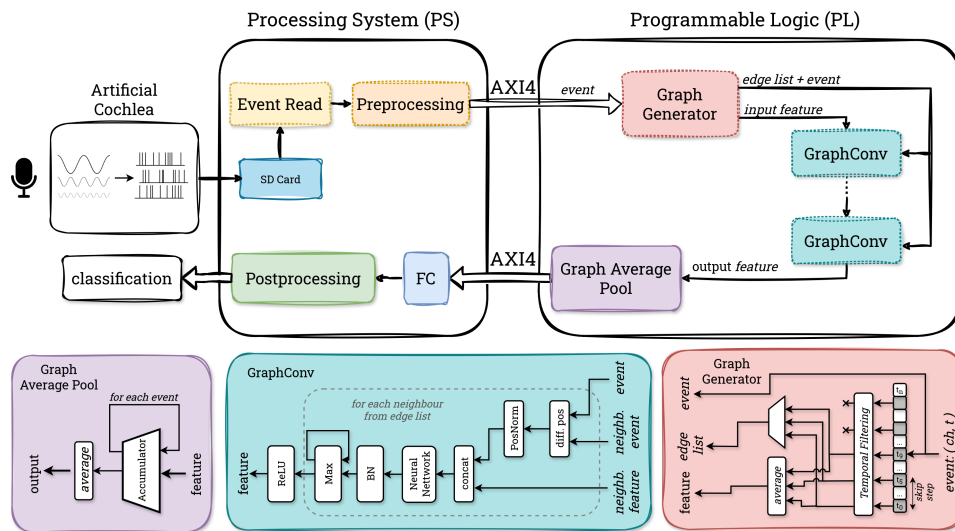
Opisany sposób postępowania stanowi kolejny przykład skutecznego zastosowania metodologii *hardware-aware algorithm design*, gdzie unikalne wymagania docelowej platformy sprzętowej zostały uwzględnione już na etapie wyboru operatora konwolucji, a później sposobu generacji grafu, czy wreszcie sposobu prowadzenia obliczeń. Po weryfikacji w modelu programowym, system został zaimplementowany i pomyślnie zweryfikowany na platformie sprzętowej. Na jego podstawie przygotowany został także demonstrator zaprezentowany na konferencjach CVPR 2025 i FPL 2025. W jego ramach zintegrowano sieć grafową rozpoznającą cyfry oraz kamerę zdarzeniową podłączoną do układu SoC FPGA Kria KV260.

Uzyskane wyniki zostały opisane w manuskrypcie pt. „Embedded Graph Convolutional Networks for Real-Time Event Data Processing on SoC FPGAs”, który jest obecnie w trakcie przygotowywania do wysłania do czasopisma Journal of Systems Architecture (IF 4.1, CS 10.5) . Aktualna wersja manuskryptu dostępna jest również w serwisie ArXiv <https://arxiv.org/abs/2406.07318>. Warto zauważyć, że jest ona cytowana 19 razy (bez autocytowań, stan na 18.08.2025).

Elementem prac nad ulepszeniem akceleratora jest także praca [ES07], która została zaprezentowana przez doktoranta Piotra Wzorka w ramach PhD Forum na prestiżowej konferencji FPT (Field-Programmable Technology) w Sydney, Australia. Zaproponowano w niej dwuetapową realizację modułu mnożenia wykorzystywanego w operacji konwolucji grafowej. Pozwala to na redukcję użycia zasobów LUT o 50-94 % kosztem buforów w pamięci BRAM (Block RAM), przy czym taki sposób realizacji obliczeń nie wpływa negatywnie na skuteczność klasyfikacji.

Najnowszą pracą dotyczącą zastosowania akceleracji grafowych sieci neuronowych w układach FPGA dla przetwarzania danych zdarzeniowych jest [ES09]. Została ona zaprezentowana na 21st International Symposium on Applied Reconfigurable Computing ARC 2025, który odbył się w dniach 9-11 kwietnia w Sewilli w Hiszpanii. Badania prowadzone były we współpracy międzynarodowej pomiędzy naszym Zespołem, CEA-List, Université Grenoble Alpes, Grenoble, Francja oraz Graduate School of Science and Technology, Keio University, Tokio, Japonia, a zapoczątkowała je moja wizyta w CEA Grenoble w czerwcu 2024 roku.

W odróżnieniu od poprzednich prac, gdzie przetwarzane były dane zarejestrowane kamerą zdarzeniową, w tych badaniach źródłem danych był czujnik DAS (ang. *Dynamic Audio Sensor*, który przetwarza sygnał dźwiękowy na serię zdarzeń o określonych częstotliwościach. Ogólny schemat zaproponowanego systemu widoczny jest na rysunku 26, a porównanie z innymi zbliżonymi pracami zestawiono w tabeli 8.



Rysunek 26: Schemat zaproponowanego w pracy [ES09] programowo-sprzętowego systemu do klasyfikacji próbek dźwiękowych zarejestrowanych czujnikiem DAS

Tabela 8: Porównanie z innymi implementacjami sprzętowymi. Wartości w nawiasach uwzględniają część procesorową (klasyfikator). Wartości oznaczone „-” nie zostały przedstawione w prezentowanych artykułach.

	Matinizadeh [26]	Carpegna [8]	Nasze (bazowe)	Nasze (tiny)
Układ	Zynq ZCU104	Zynq Z7-20	Zynq ZCU104	Zynq ZCU104
Logic cells	-	18,268	-	-
LUT	149,760	-	81,567	34,474
FF	92,160	-	47,699	23,713
BRAM	75	51	70	28
DSP	-	-	318	106
Częstotliwość	100 MHz	100 MHz	200 MHz	200 MHz
Latencja [μ s]	-	540	8 (179)	4 (175)
Moc [W]	-	0.43	1.20 (3.94)	1.05 (3.79)
Moc szczytowa [W]	1.629	-	-	-
Skuteczność	87.80 %	72.99 %	92.30 %	88.78 %

Zadania obliczeniowe zostały podzielone pomiędzy zasoby układu SoC FPGA. W systemie procesorowym (PS) dane były odczytywane z karty SD, przetwarzane wstępnie, a następnie przesyłane poprzez interfejs AXI4 do części reprogramowalnej (PL). Po przetworzeniu były odbierane z części PL i poddawane końcowym operacjom, których efektem była klasyfikacja danej próbki. W części reprogramowalnej zrealizowane zostały moduły odpowiedzialne za budowanie grafu (zaproponowano autorską metodę *skip-step*), operacje konwolucji oraz moduł *Graph Average Pooling*.

Ponownie z sukcesem zastosowano metodologię *hardware-aware algorithm design*. Punktem wyjścia był model programowy, który powstał w ramach pracy [30]. Po jego analizie zaproponowaliśmy szereg modyfikacji, które z jednej strony nie miałyby negatywnego wpływu na skuteczność klasyfikacji, a z drugiej umożliwiły implementację sprzętową sieci grafowej. Ostatecznie zaprojektowany system charakteryzował się skutecznością klasyfikacji na poziomie 92.30%, która przewyższała inne implementacje sprzętowe o 4.5% i 19.3%. Co ważne, uzyskana poprawa nie wynikała z użycia bardziej złożonego modelu sieci grafowej, gdyż nasz moduł charakteryzował się ogólnie niższym zużyciem zasobów sprzętowych, w porównaniu do innych rozwiązań. Obecnie pracujemy nad rozszerzoną wersją artykułu, która zostanie zgłoszona do prestiżowego dla społeczności FPGA czasopisma „ACM Transactions on Reconfigurable Technology and Systems”.

Inne aktywności w obszarze przetwarzania danych zdarzeniowych

Oprócz, omówionych powyżej, najważniejszych prac dotyczących architektur sprzętowych do przetwarzania danych zdarzeniowych, prowadziłem i nadzorowałem również badania w następujących tematach:

1. Detekcja obiektów – znaków drogowych [ES02] (praca powstała podczas mojego stażu naukowego na Politechnice Śląskiej w Gliwicach, i tam jest afiliowana) oraz pieszych [ES03].
2. Wykorzystanie kwantyzacji logarytmicznej (PoT – ang. *Power of Two*) w implementacji sprzętowej sieci YOLO do detekcji obiektów na ramach zdarzeniowych [ES04] oraz [ES08].
3. generacja ramek zdarzeniowych w układach FPGA dla strumienia zdarzeń o wysokiej rozdzielczości [ES05].
4. Generacja zaawansowanych reprezentacji zdarzeniowych przystosowanych do implementacji w układach FPGA [ES10].

Ponadto wspomagam doktorantów z naszego Zespołu, dla których jestem/byłem promotorem pomocniczym, w realizacji grantów NCN Preludium – zestawienie w tabeli 9.

Tabela 9: Realizowane w Zespole projekty NCN Preludium z tematyki wizji zdarzeniowej, których przygotowanie i realizację wspierałem/wspieram merytorycznie

Rok.	Imię i nazwisko	Tytuł/Tematyka
2021	Marcin Kowalczyk	Akseleracja przetwarzania zdarzeniowych danych wizyjnych z wykorzystaniem heterogenicznych, reprogramowalnych układów obliczeniowych
2024	Piotr Wzorek	Projektowanie sieci neuronowych do detekcji obiektów na podstawie danych zdarzeniowych z uwzględnieniem docelowej platformy sprzętowej
2024	Kamil Jeziorek	K+Z: Poprawa Percepcji poprzez Integrację Kamer Klatkowych i Zdarzeniowych

Złożyłem też wniosek o grant NCN Opus pt. „Wbudowane zdarzeniowe systemy wizyjne”, który został oceniony negatywnie. Aplikację zamierzam ponowić w bieżącym roku. Uczestniczyłem także w opracowaniu wniosku na konkurs Preludium BIS pt. „Wykrywanie i śledzenie szybko poruszających się obiektów z wykorzystaniem kamer klatkowych i zdarzeniowych oraz układów SoC FPGA”, który nie został zakwalifikowany do finansowania.

4.7 Podsumowanie

Osiągnięcie naukowe pt. „Architektury sprzętowe do przetwarzania strumienia wideo wysokiej rozdzielczości oraz danych z kamer zdarzeniowych” składa się z dwóch cykli powiązanych tematycznie artykułów.

W ramach pierwszego cyklu zaprezentowałem prowadzone przeze mnie badania nt. projektowania architektur sprzętowych do przetwarzania danych z typowych kamer klatkowych o rozdzielczościach od 720×576 do 3840×2160 (4K/UHD). Obejmowały one zestaw algorytmów wizyjnych m.in: filtrację kontekstowe, algorytm CLAHE, segmentację obiektów pierwszoplanowych, wyznaczanie przepływu optycznego, detekcję obiektów (HOG+SVM), detekcję i deskrypcję punktów charakterystycznych (ORB), indeksację, stereowizję, a także akcelerację konwolucyjnych sieci neuronowych. Wątek ten rozpocząłem rok po obronie pracy magisterskiej (2009) [V01], realizowałem w ramach projektu NCN Preludium (2011-2013) oraz stanowił on temat mojej rozprawy doktorskiej (nadanie tytułu doktora 04.04.2013 r.) [V02] – [V04]. W okresie 2013-2016 kontynuowałem prace w tym obszarze [V05] – [V06], aby w 2016 złożyć wniosek w konkursie NCN Sonata nt. przetwarzania danych wizyjnych o rozdzielczości 4K/UHD w układach SoC FPGA najnowszej generacji. Projekt ten realizowałem w latach 2017-2022 uzyskując wiele wartościowych rezultatów tj. pierwsze implementacje wielu algorytmów wizyjnych działające w czasie rzeczywistym dla strumienia wizyjnego o takich parametrach [V07] – [V14]. Podsumowanie publikacji zaliczanych stricte do osiągnięcia zestawilem w tabeli 10, a w wariancie poszerzonym o pozostałe publikacje (por. rozdział 4.8, pozycje [VS01] – [VS14]) w tabeli 11.

Tabela 10: Zestawienie dorobku zaliczanego do osiągnięcia pt. „Architektury sprzętowe do przetwarzania strumienia wideo wysokiej rozdzielczości” – [V01] – [V14]

	Publikacje w czasopi- smach	Recenzowane materia- ły konferencyjne, roz- działy w monografiach	Łącznie
Po uzyskaniu stopnia doktora	7	3	10
Przed uzyskaniem stopnia doktora	4	0	4
Łącznie	11	3	14

Tabela 11: Zestawienie dorobku zaliczanego do osiągnięcia pt. „Architektury sprzętowe do przetwarzania strumienia wideo wysokiej rozdzielczości” wraz z pozostałymi publikacjami tematycznie związanymi z osiągnięciem naukowym [V01] – [V14] oraz [VS01] – [VS14]

	Publikacje w czasopi- smach	Recenzowane materia- ły konferencyjne, roz- działy w monografiach	Łącznie
Po uzyskaniu stopnia doktora	7	17	24
Przed uzyskaniem stopnia doktora	4	0	4
Łącznie	11	17	28

Za najważniejsze osiągnięcia naukowe tego etapu uznaję:

- pozyskanie, zrealizowanie i rozliczenie grantów NCN Preludium oraz szczególnie NCN Sonata,
- zaprojektowanie i implementację zestawu architektur sprzętowych – początkowo osobiście (do ok. 2017 r.), a następnie w ramach Zespołu Wbudowanych Systemów Wizyjnych, który współtworzę i współorganizuję,
- opublikowanie uzyskanych wyników, zarówno w czasopismach naukowych, jak i na uznanych w środowisku konferencjach naukowych,
- zbudowanie osobistej rozpoznawalności naukowej, która zaowocowała zaangażowaniem w prace komitetów konferencji naukowych: DASIP, DSD, ARC, jak i pracę w redakcji czasopisma *Microprocessors and Microsystems*,
- zbudowanie Zespołu naukowego, w skład którego obecnie wchodzi 8 osób (+1 osoba, która już obroniła doktorat), z którymi współpraca zaczęła się na etapie pracy inżynierskiej lub magisterskiej (z tego 6 osób brało bezpośredni udział w projekcie NCN Sonata),

- nabycie umiejętności zarządzania zespołem badawczym: od planowania badań i pisanie wniosku, po realizację badań i ich publikowanie oraz rozliczanie.

W ramach drugiego osiągnięcia zaprezentowałem moje prace badawcze nt. projektowania architektur sprzętowych do przetwarzania danych z kamer zdarzeniowych. Poszerzenie mojej tematyki badawczej nastąpiło bezpośrednio po ukończeniu projektu NCN Sonata i z perspektywy czasu okazało się bardzo dobrą decyzją. Oprócz szeregu publikacji, w tym 5 ([E01] – [E05]) zaliczanych do głównego osiągnięcia i dalszych 11 [ES01] – [ES11] tematycznie związanych z osiągnięciem, udało się nawiązać szereg kontaktów i współprac międzynarodowych (Uniwersytet Sorbona w Paryżu, Uniwersytet w Grenoble oraz CEA w Grenoble, Uniwersytet w La Rochelle, Uniwersytet Techniczny w Berlinie) oraz dwukrotnie wziąć udział w prestiżowych warsztatach „Event-Based Vision” towarzyszących konferencji CVPR: w 2023 i 2025 roku. Warto też podkreślić, że w tematyce wbudowanych systemów zdarzeniowych (ang. *embedded event-based vision*) ja i Zespół zyskaliśmy dużą rozpoznawalność i zaliczamy się do liderów, obok naukowców z ETH w Zurychu i z Uniwersytetu w Sewilli. Pośrednio zaowocowało to również dwoma dalszymi sukcesami: powierzeniem mi roli przewodniczącego (ang. *general chair*) dużej i uznanej konferencji HiPEAC 2026 (Kraków, styczeń 2026) oraz DSD/SEAA 2026 (Kraków, wrzesień 2026). Podsumowanie publikacji zaliczanych stricte do osiągnięcia zestawilem w tabeli 12, a w wariancie poszerzonym o pozostałe publikacje (por. rozdział 4.8, pozycje [ES01] – [ES11]) w tabeli 13.

Tabela 12: Zestawienie dorobku zaliczanego do osiągnięcia pt. „Architektury sprzętowe do przetwarzania danych z kamer zdarzeniowych” – [E01] – [E05]

	Publikacje w czasopi- smach	Recenzowane materia- ły konferencyjne, roz- działy w monografiach	Łącznie
Po uzyskaniu stopnia doktora	2	3	5
Przed uzyskaniem stopnia doktora	0	0	0
Łącznie	2	3	5

Tabela 13: Zestawienie dorobku zaliczanego do osiągnięcia pt. „Architektury sprzętowe do przetwarzania danych z kamer zdarzeniowych” wraz z pozostałymi publikacjami tematycznie związanymi z osiągnięciem naukowym [E01] – [E05] oraz [ES01] – [ES11]

	Publikacje w czasopi- smach	Recenzowane materia- ły konferencyjne, roz- działy w monografiach	Łącznie
Po uzyskaniu stopnia doktora	2	14	16
Przed uzyskaniem stopnia doktora	0	0	0
Łącznie	2	14	16

Do autoreferatu dołączam również raporty oceny bibliometrycznej publikacji stanowiących osiągnięcia naukowe oraz wszystkich publikacji dla baz Scopus i Web of Science przygotowane przez Oddział Informacji Naukowej Biblioteki Głównej AGH.

W bazie **Scopus** indeksowanych jest 18 z 19¹⁵ publikacji stanowiących **osiągnięcie naukowe**. Statystyki cytowań:

- Łączna liczba cytowań publikacji w bazie Scopus = 214
- Liczba cytowań publikacji w bazie Scopus z wyłączeniem autocytowań wszystkich współautorów = 184
- Indeks Hirscha = 10
- Indeks Hirscha po wyłączeniu autocytowań wszystkich współautorów = 10

W bazie **Web of Science Core Collection** indeksowanych jest 16 z 19¹⁶ publikacji stanowiących **osiągnięcie naukowe**. W tym 10 publikacji w czasopiśmie z listy Journal Citation Reports (JCR), posiadających Impact Factor (IF)¹⁷. Statystyki cytowań:

- Łączna liczba cytowań publikacji w Web of Science Core Collection = 150

¹⁵czasopismo PAR, w którym wydano publikację [E01] nie jest indeksowane w bazie Scopus

¹⁶w bazie WoS nie jest indeksowane czasopismo PAR, w którym wydano publikację [E01], a także na moment składania autoreferatu pozycje [E02] oraz [E05]

¹⁷Łącznie do osiągnięć przedstawiam 11 publikacji w czasopiśmie z IF, przy czym najnowsza pozycja [E05] nie jest jeszcze indeksowana na WoS



Rysunek 27: Mapa cytowań wygenerowana w serwisie Web of Science

- Liczba cytowań publikacji w Web of Science Core Collection z wyłączeniem autocytowań = 138
- Indeks Hirscha z bazy Web of Science Core Collection = 8
- Sumaryczny Impact Factor według listy JCR = 21.737

Mój **łączny dorobek publikacyjny** obejmuje **138**¹⁸ pozycji (stan na dzień 18.08.2025), w tym 8 we współpracy międzynarodowej. Statystyki cytowań wg. raportu Oddział Informacji Naukowej Biblioteki Głównej AGH dla bazy **Scopus**:

- Liczba dokumentów indeksowanych w bazie Scopus = 83
- Łączna liczba cytowań publikacji w bazie Scopus = 516
- Liczba cytowań publikacji w bazie Scopus z wyłączeniem autocytowań wszystkich współautorów = 445
- Indeks Hirscha = 14
- Indeks Hirscha po wyłączeniu autocytowań wszystkich współautorów = 13

Statystyki cytowań wg. raportu Oddział Informacji Naukowej Biblioteki Głównej AGH dla bazy **Web of Science Core Collection**:

- Liczba publikacji indeksowanych w bazie Web of Science Core Collection = 59,
- Liczba publikacji w czasopismach z listy Journal Citation Reports (JCR), posiadających Impact Factor (IF) = 14
- Łączna liczba cytowań publikacji w Web of Science Core Collection = 293
- Liczba cytowań publikacji w Web of Science Core Collection z wyłączeniem autocytowań = 251
- Indeks Hirscha z bazy Web of Science Core Collection = 10
- Sumaryczny Impact Factor według listy JCR = 27.691
- Dodatkowo na rys. 27 przedstawiam mapę cytowań wygenerowaną w serwisie Web of Science.

Statystyki cytowań wg. **Google Scholar** (opracowanie własne, na dzień 21.08.2025):

- Łączna liczba pozycji = 140 ¹⁹
- Łączna liczba cytowań = 936
- Indeks Hirscha = 19

¹⁸na podstawie informacji z Biblioteki Głównej AGH – <https://badap.agh.edu.pl/autor/kryjak-tomasz-006219>

¹⁹jest ona większa od tej raportowanej przez Bibliotekę Główną AGH, gdyż indeksowane są również „wstępy” do zbiorów artykułów, których byłem redaktorem

4.8 Wykaz pozostałych publikacji naukowych tematycznie związanych z osiągnięciem naukowym

Przetwarzanie danych wizyjnych wysokiej rozdzielczości i rozdzielczości 4K

[VS01] Piotr Ciarach, Marcin Kowalczyk, Dominika Przewlocka-Rus, **Tomasz Kryjak** (2019), *Real-time FPGA implementation of connected component labelling for a 4K video stream*, Applied Reconfigurable Computing : 15th international symposium, ARC 2019 : Darmstadt, Germany, April 9–11, 2019, Lecture Notes in Computer Science ; ISSN 0302-9743 ; 11444, http://dx.doi.org/10.1007/978-3-030-17227-5_13

Punkty MNiSW 2019: 20

Cytowania: 9 (Scopus), 5 (Wos)

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, analiza uzyskanych wyników, kierowanie projektem w ramach, którego były one realizowane (NCN Sonata).

[VS02] Piotr Janus, **Tomasz Kryjak** (2018), *Hardware implementation of the Gaussian Mixture Model foreground object segmentation algorithm working with ultra-high resolution video stream in real-time*, SPA 2018: Signal Processing : Algorithms, Architectures, Arrangements and Applications : Poznań, 19-21 September 2018 : conference proceedings, IEEE, <http://dx.doi.org/10.23919/SPA.2018.8563404>

Punkty MNiSW 2018: 20

Cytowania: 2 (Scopus), 1 (WoS)

Wkład: autorstwo hipotezy badawczej, pomysł na badania, kierowanie projektem w ramach, którego były one realizowane (NCN Sonata), edycja manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

[VS03] Kamil Piszczek, Piotr Janus, **Tomasz Kryjak** (2018), *The use of HACP+SBT lossless compression in optimizing memory bandwidth requirement for hardware implementation of background modelling algorithms*, Applied Reconfigurable Computing : architectures, tools, and applications : 14th international symposium, ARC 2018 : Santorini, Greece, May 2–4, 2018, Lecture Notes in Computer Science ; ISSN 0302-9743 ; 10824 http://dx.doi.org/10.1007/978-3-319-78890-6_31 Punkty MNiSW 2018: 20

Cytowania: 1 (Scopus), 1 (WoS)

Wkład: autorstwo hipotezy badawczej, pomysł na badania, kierowanie projektem w ramach, którego były one realizowane (NCN Sonata), edycja manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

[VS04] Marcin Kowalczyk, Dominika Przewlocka-Rus, **Tomasz Kryjak** (2019), *Real-time implementation of adaptive correlation filter tracking for 4K video stream in Zynq UltraScale+ MPSoC*, DASIP: Conference on Design and Architectures for Signal and Image Processing : 16–18 October, 2019, Montréal, Canada, <http://dx.doi.org/10.1109/DASIP48288.2019.9049203>

Punkty MNiSW 2019: 20

Cytowania: 5 (Scopus), 2 (WoS)

Wkład: współautorstwo hipotezy badawczej, pomysł na badania, kierowanie projektem w ramach, którego były one realizowane (NCN Sonata), edycja manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

[VS05] Dominika Przewlocka-Rus, Mateusz Wasala, Hubert Szolc, Krzysztof Blachut, **Tomasz Kryjak** (2020), *Optimisation of a Siamese neural network for real-time energy efficient object tracking*, Computer Vision and Graphics : International Conference : ICCVG 2020 : Warsaw, Poland, September 14–16, 2020, Lecture Notes in Computer Science ; ISSN 0302-9743 ; LNCS 12334 http://dx.doi.org/10.1007/978-3-030-59006-2_14

Punkty MNiSW 2020: 20

Cytowania: 4 (Scopus)

Wkład: kierownictwo projektu badawczego, w ramach którego realizowane były prace (NCN Sonata), współautorstwo hipotezy badawczej oraz pomysłu na badania, opieka naukowa, dyskusje dot. problematyki i rozwiązań, współpraca przy edycji manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

- [VS06] Marcin Kowalczyk, **Tomasz Kryjak** (2021), *A connected component labelling algorithm for a multi-pixel per clock cycle video stream*, 2021 24th Euromicro conference on Digital System Design, 1–3 September 2021, IEEE, <http://dx.doi.org/10.1109/DSD53832.2021.00016>
Punkty MNiSW 2021: 20
Cytowania: 1 (Scopus), 0 (WoS)
Wkład: autorstwo hipotezy badawczej, pomysł na badania, kierowanie projektem w ramach, którego były one realizowane (NCN Sonata), edycja manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.
- [VS07] Marcin Kowalczyk, **Tomasz Kryjak** (2021), *A comparison of real-time 4K/UltraHD connected component labelling architectures*, FPL 2021 31th international conference on Field-Programmable Logic and Applications : Dresden, Germany 30 August – 3 September 2021, IEEE <http://dx.doi.org/10.1109/FPL53798.2021.00086>
Punkty MNiSW 2021: 20
Cytowania: 0 (Scopus), 0 (WoS)
Wkład: autorstwo hipotezy badawczej, pomysł na badania, kierowanie projektem w ramach, którego były one realizowane (NCN Sonata), edycja manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.
- [VS08] Dominika Przewlocka-Rus, **Tomasz Kryjak** (2021), *Quantised Siamese tracker for 4K/UltraHD video stream – a demo*, FPL 2021 31th international conference on Field-Programmable Logic and Applications : Dresden, Germany 30 August – 3 September 2021, IEEE, <http://dx.doi.org/10.1109/FPL53798.2021.00089>
Punkty MNiSW 2021: 20
Cytowania: 0 (Scopus), 0 (WoS)
Wkład: kierownictwo projektu badawczego, w ramach którego realizowane były prace (NCN Sonata), współautorstwo hipotezy badawczej oraz pomysłu na badania, opieka naukowa, dyskusje dot. problematyki i rozwiązań, współpraca przy edycji manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.
- [VS09] Dominika Przewlocka-Rus, **Tomasz Kryjak** (2022), *Towards real-time and energy efficient Siamese tracking – a hardware-software approach*, DASIP 2022 : 15th international workshop on Design and Architectures for Signal and Image Processing : Budapest, Hungary, June 20–22, 2022, Lecture Notes in Computer Science; ISSN 0302-9743; LNCS 13425). — ISBN: 978-3-031-12747-2 ; e-ISBN: 978-3-031-12748-9, pp. 162–173. http://dx.doi.org/10.1007/978-3-031-12748-9_13,
Punkty MNiSW 2022: 80 (jako monografia)
Cytowania: 5 (Scopus), 3 (WoS)
Wkład: kierownictwo projektu badawczego, w ramach którego realizowane były prace (NCN Sonata), współautorstwo hipotezy badawczej oraz pomysłu na badania, opieka naukowa, dyskusje dot. problematyki i rozwiązań, współpraca przy edycji manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu
- [VS10] Michał Danilowicz, **Tomasz Kryjak** (2022), *Real-time embedded object tracking with Discriminative Correlation Filters using convolutional features*, Applied Reconfigurable Computing : architectures, tools, and applications : 18th international symposium, ARC 2022 : virtual event : September 19–20, 2022 : proceedings / eds. Lin Gan, Yu Wang, Wei Xue, Thomas Chau. — Cham : Springer, cop. 2022. — (Lecture Notes in Computer Science ; ISSN 0302-9743 ; LNCS 13569). — ISBN: 978-3-031-19982-0; e-ISBN: 978-3-031-19983-7. — pp. 166–180 https://doi.org/10.1007/978-3-031-19983-7_12
Punkty MNiSW 2022: 20
Cytowania: 2 (Scopus), 0 (WoS)
Wkład: autorstwo hipotezy badawczej, pomysł na badania, kierowanie projektem w ramach, którego były one realizowane (NCN Sonata), edycja manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.
- [VS11] Dominika Przewlocka-Rus, Marcin Kowalczyk, **Tomasz Kryjak** (2022), *Exploration of hardware acceleration methods for an XNOR traffic signs classifier*, Progress in image processing, pattern recognition and communication systems : proceedings of the conference (CORES, IP&C, ACS) – June 28–30 2021 / eds. Michał Choraś, [et al.]. — Cham : Springer Nature Switzerland, cop. 2022. — (Lecture Notes in Networks and Systems ; ISSN 2367-3370 ; vol. 255). — ISBN: 978-3-030-81522-6; e-ISBN: 978-3-030-81523-3. — pp 34–45, http://dx.doi.org/10.1007/978-3-030-81523-3_4 Punkty MNiSW 2022: 20
Cytowania: 0 (Scopus), 0 (Wos)
Wkład: kierownictwo projektu badawczego, w ramach którego realizowane były prace (NCN Sonata), współautorstwo hipotezy badawczej oraz pomysłu na badania, opieka naukowa, dyskusje dot. problematyki i rozwiązań, współpraca przy edycji manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

[VS12] Dominika Przewlocka-Rus, **Tomasz Kryjak** (2023), *Energy Efficient Hardware Acceleration of Neural Networks with Power-of-Two Quantisation*, International Conference on Computer Vision and Graphics ICCVG 2022, 19-21 September 2022, Warsaw University of Life Sciences - SGGW, Warsaw, Poland (Lecture Notes in Networks and Systems ; ISSN 2367-3370 ; LNNS 598), 10.1007/978-3-031-22025-8_16

Punkty MNiSW 2023: 20

Cytowania: 4 (Scopus)

Wkład: współautorstwo hipotezy badawczej oraz pomysłu na badania, opieka naukowa, dyskusje dot. problematyki i rozwiązań, współpraca przy edycji manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

[VS13] Maciej Baczmański, Mateusz Wasala, **Tomasz Kryjak** (2023) *Implementation of a perception system for autonomous vehicles using a detection-segmentation network in SoC FPGA*, Applied Reconfigurable Computing : architectures, tools, and applications : 19th international symposium, ARC 2023 : Cottbus, Germany, September 27-29, 2023 : proceedings / eds. Francesca Palumbo, [et al.]. — Cham : Springer, cop. 2023. — (Lecture Notes in Computer Science ; ISSN 0302-9743 ; LNCS 14251). — ISBN: 978-3-031-42920-0; e-ISBN: 978-3-031-42921-7, 10.1007/978-3-031-42921-7_14

Punkty MNiSW 2024: 20

Cytowania: 3 (Scopus), 2 (WoS)

Wkład: współautorstwo hipotezy badawczej oraz pomysłu na badania, opieka naukowa, dyskusje dot. problematyki i rozwiązań, współpraca przy edycji manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

[VS14] Michał Danilowicz, **Tomasz Kryjak** (2025) *Real-Time Multi-Object Tracking using YOLOv8 and SORT on a SoC FPGA*, Applied Reconfigurable Computing : architectures, tools, and applications : 21st international symposium, ARC 2025 : Seville, Spain, April 9–11, 2025 : proceedings / eds. Roberto Giorgi, [et al.]. — Cham : Springer, cop. 2025. — (Lecture Notes in Computer Science ; ISSN 0302-9743 ; LNCS 15594). — ISBN: 978-3-031-87994-4; e-ISBN: 978-3-031-87995-1. — S. 214–230.

https://doi.org/10.1007/978-3-031-87995-1_13 Punkty MNiSW 2024: 20

Cytowania: 0 (Scopus)

Wkład: współautorstwo hipotezy badawczej oraz pomysłu na badania, opieka naukowa, dyskusje dot. problematyki i rozwiązań, współpraca przy edycji manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

Przetwarzanie danych zdarzeniowych

[ES01] Marcin Kowalczyk, **Tomasz Kryjak** (2022), *Hardware architecture for high throughput event visual data filtering with matrix of IIR filters algorithm*, DSD 2022: 25th Euromicro Conference on Digital System Design : 31 August – 2 September 2022, Maspalomas, Spain : proceedings / eds. Himar Fabelo, Samuel Ortega, Amund Skavhaug. IEEE, cop. 2022. — e-ISBN: 978-1-6654-7404-7. — pp. 284–291. <https://doi.org/10.1109/DSD57027.2022.00046>

Punkty MNiSW 2022: 20

Cytowania: 6 (Scopus), 4 (WoS)

Wkład: konsultacja hipotezy badawczej, konsultacja pomysłu na badania, edycja manuskryptu - sugerowanie poprawek i pomoc w tłumaczeniu.

[ES02] P. Wzorek, **T. Kryjak** (2022) *Traffic Sign Detection With Event Cameras and DCNN*, SPA 2022 : Signal Processing Algorithms, Architectures, Arrangements, and Applications : Poznań, 21th - 22nd September 2022, IEEE <https://doi.org/10.23919/SPA53010.2022.9927864>

Punkty MNiSW 2023: 20

Cytowania: 7 (Scopus)

Wkład: autorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

[ES03] P. Wzorek, **T. Kryjak** (2023) *Pedestrian detection with high-resolution event camera*, Progress in Polish Artificial Intelligence Research 4 – ed. by Adam Wojciechowski, Piotr Lipiński, Łódź University of Technology Press, 2023. — (Monografie Politechniki Łódzkiej ; nr 2437). — e-ISBN: 978-83-66741-92-8 10.34658/9788366741928.7

Punkty MNiSW 2023: 20

Cytowania: 2 (Google Scholar)

Wkład: współautorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

[ES04] D. Przewlocka-Rus, **T. Kryjak** (2023) *Power-of-two quantized YOLO network for pedestrian detection with dynamic vision sensor*, DSD 2023: 26th Euromicro Conference on Digital System Design : 6–8 September 2023, Durres, Albania, IEEE Computer Science, 10.1109/DSD60849.2023.00016

Punkty MNiSW 2023: 20

Cytowania: 4 (Google Scholar)

Wkład: współautorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników..

[ES05] K. Blachut, **T. Kryjak** (2023) *High-definition event frame generation using SoC FPGA devices*, SPA 2023 : Signal Processing Algorithms, Architectures, Arrangements, and Applications : Poznan, 20th - 22nd September 2023, IEEE, 10.23919/SPA59660.2023.10274447

Punkty MNiSW 2023: 20

Cytowania: 1 (Scopus)

Wkład: współautorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

[ES06] K. Jeziorek, A. Pinna, **T. Kryjak** (2023) *Memory-efficient graph convolutional networks for object classification and detection with event cameras*, SPA 2023 : Signal Processing Algorithms, Architectures, Arrangements, and Applications : Poznan, 20th - 22nd September 2023, IEEE, 10.23919/SPA59660.2023.10274464

Punkty MNiSW 2023: 20

Cytowania: 7 (Scopus)

Wkład: współautorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników..

[ES07] P. Wzorek, K. Jeziorek, **T. Kryjak**, A. Pinna (2024) *Increasing the scalability of graph convolution for FPGA-implemented event-based vision*, FPT 2024, International Conference on Field Programmable Technology, 10-12 December 2024, Sydney, Australia, PhD Forum (to be published in IEEE) <https://doi.org/10.48550/arXiv.2411.04269>

Punkty MNiSW 2024: 20 (przewidywane)

Cytowania: 1 (Google Scholar)

Wkład: współautorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

[ES08] D. Przewlocka-Rus, **T. Kryjak**, M. Gorgon (2024) *PowerYOLO: mixed precision model for hardware efficient object detection with event data*, DSD 2024: 2024 27th Euromicro Conference on Digital System Design : 28–30 August 2024, Paris, France : proceedings, IEEE Computer Society, 10.1109/DSD64264.2024.00036

Punkty MNiSW 2024: 20

Cytowania: 1 (Scopus), 1 (WoS)

Wkład: współautorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

[ES09] H. Nakano, K. Blachut, K. Jeziorek, P. Wzorek, M. Dampfhoffer, T. Mesquida, H. Nishi, **T. Kryjak**, T. Dalgaty (2025) *Hardware-Accelerated Event-Graph Neural Networks for Low-Latency Time-Series Classification on SoC FPGA*, ARC 2025: The 21st International Symposium on Applied Reconfigurable Computing ARC 2025, Sevilla, Spain, April 9-11, 2025, Springer (zaakceptowana) <https://doi.org/10.48550/arXiv.2503.06629>
Punkty MNiSW 2024: 20

Cytowania: 0 (Scopus)

Wkład: współautorstwo hipotezy badawczej, opracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

[ES10] K. Jeziorek, **T. Kryjak** (2025) *Self-Supervised Event Representations: Towards Accurate, Real-Time Perception on SoC FPGAs*, Proc. SPIE 13526, Real-time Processing of Image, Depth, and Video Information 2025, 1352602 (23 May 2025); <https://doi.org/10.1117/12.3056056>

Punkty MNiSW 2024: 20

Cytowania: 0 (Scopus)

Wkład: współautorstwo hipotezy badawczej, współpracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

[ES11] K. Jeziorek, M. Kowalczyk, **T. Kryjak** (2025) *Learning from Noise: Enhancing DNNs for Event-Based Vision through Controlled Noise Injection*, 2025 IEEE/CVF conference on Computer Vision and Pattern Recognition Workshops : Nashville, USA 11-15 June 2025, IEEE Computer Society Conference on Computer Vision and Pattern Recognition workshops (Online) ; ISSN 2160-7516), <https://doi.org/10.48550/arXiv.2506.03918>

Punkty MNiSW 2024: 200 (przewidywane)

Cytowania: –

Wkład: współautorstwo hipotezy badawczej, współpracowanie koncepcji badań, nadzór merytoryczny nad prowadzonymi badaniami, analiza uzyskanych wyników.

4.9 Promotorstwo pomocnicze prac doktorskich:

Tabela 14: Doktoranci związani z Zespołem Wbudowanych Systemów Wizyjnych dla których jestem lub byłem promotorem pomocniczym

Lp.	Imię i nazwisko	Tytuł/Tematyka
1	Dominika Przewłocka-Rus	Deep neural networks quantization and acceleration methods for real time energy efficient vision systems (doktorat obroniony 28.03.2025 r.)
2	Marcin Kowalczyk	Metody zrównoleglenia i akceleracji algorytmów w systemach wizyjnych o szczególnie wysokim zapotrzebowaniu na moce obliczeniowe z wykorzystaniem heterogenicznych układów reprogramowalnych
3	Hubert Szolc	Akceleracja oraz zrównoleglenie algorytmów wyznaczania trajektorii lotu oraz jej realizacji przez bezzałogowe pojazdy latające UAV (ang. Unmanned Aerial Vehicles) z wykorzystaniem heterogenicznych układów obliczeniowych SoC (ang. System on Chip)
4	Mateusz Wąsala	Akceleracja oraz zrównoleglenie algorytmów stosowanych w systemach lokalizacji oraz mapowania otoczenia (ang. SLAM - Simultaneous Localization and Mapping) dla autonomicznych, bezzałogowych platform latających z wykorzystaniem reprogramowalnych heterogenicznych układów SoC (ang. System on Chip)
5	Krzysztof Błachut	Akceleracja i zrównoleglenie algorytmów wizyjnych do detekcji obiektów, inspekcji i monitoringu wizyjnego dla bezzałogowych pojazdów latających, z wykorzystaniem reprogramowalnych heterogenicznych układów SoC (ang. System on Chip).
6	Michał Daniłowicz	Śledzenie i segmentacja wielu obiektów w czasie rzeczywistym z wykorzystaniem systemów wbudowanych
7	Konrad Lis	Percepcja otoczenia na podstawie danych z czujników LIDAR realizowana w czasie rzeczywistym z wykorzystaniem systemów wbudowanych
8	Piotr Wzorek	Algorytmy sztucznej inteligencji dla wbudowanych systemów percepcji i sterowania pojazdów autonomicznych
9	Kamil Jeziorek	Wykorzystanie kamer klatkowych i zdarzeniowych oraz układów SoC FPGA w systemach percepcji pojazdów autonomicznych.

Ponadto opiekowałem się również doktorantami: Piotrem Janusem, Joanną Staniszą, Michałem Machurą oraz Arturem Cybą, którzy z różnych przyczyn zrezygnowali z realizacji doktoratu.

4.10 Projekty badawcze

W tabeli 15 zestawilem projekty badawcze, w których pełniłem funkcję kierownika, natomiast w tabeli 16 projekty, w których jestem lub byłem wykonawcą. Ponadto w latach 2012 – 2020 co roku byłem laureatem tzw. Grantu Dziekana WEAIiB dla młodych naukowców tj. dysponowałem środkami w wysokości od 5000 do 10000 zł na zakup sprzętu do badań i/lub udział w konferencjach naukowych. Dodatkowo w tabeli 17 zestawilem projekty NCN Preludium złożone przez Członków Zespołu, których założenia merytoryczne konsultowałem i pomagałem przygotować wnioski.

Tabela 15: Wykaz projektów, w których pełniłem funkcję **kierownika**

Okres	Nazwa, Instytucja finansująca
2017 – 2022	„Opracowanie sposobu organizacji obliczeń w heterogenicznych układach rekonfigurowalnych najnowszej generacji umożliwiającego przetwarzanie strumienia wizyjnego UHD/4K w czasie rzeczywistym” – numer projektu. 2016/23/D/ST6/01389, Narodowe Centrum Nauki (Sonata)
2011 – 2013	„Rekonfigurowalna implementacja modułów sprzętowych do przetwarzania i analizy złożonych sygnałów wizyjnych” – numer projektu 2011/01/N/ST7/06687, Narodowe Centrum Nauki (Preludium)

Tabela 16: Wykaz projektów, w których pełnię/pełniłem funkcję wykonawcy

Okres	Nazwa, Instytucja finansująca, Rola
2022 –	„IAM4RAIL – Holistic and Integrated Asset Management for Europe’s RAIL System”, projekt współfinansowany ze środków Horyzont Europa - Europe’s Rail Joint Undertaking. Rola: kierowanie pracami podzespołu odpowiedzialnego za opracowanie metod wizyjnego wspomagania utrzymania czystości na dworcu kolejowym.
2023 – 2025	ARTIQ – „Integracja wnioskowania, uczenia się, optymalizacji i interpretacji w celu przyspieszonej komercjalizacji inteligentnych systemów oprogramowania nowej generacji”. Praca w Zespole pojazdów autonomicznych nad zastosowaniem kamer zdarzeniowych w systemach monitorowania kierowcy. Rola: kierowanie pracami podzespołu odpowiedzialnego za analizę danych zdarzeniowych.
2015 – 2016	Grant finansowany przez Narodowe Centrum Badań i Rozwoju w ramach Programu Badań Stosowanych pt. „Funkcjonalny model automatu z systemem wizyjnym do skaryfikacji oraz oceny żywotności żołądźi na podstawie automatycznego rozpoznawania topografii zmian mumifikacyjnych”. Rola: opracowywanie algorytmów do wizyjnej analizy żywotności żołądźi.
2011 – 2012	„SIMPOZ — System Inteligentnego Monitoringu Przestrzeni i Obiektów Szczególnego Znaczenia” – numer projektu 0128/R/t00/2010/12, grant finansowany przez Ministra Nauki i Szkolnictwa Wyższego. Wyniki projektu zostały wdrożone . Rola: opracowywanie algorytmów do segmentacji obiektów pierwszoplanowych oraz detekcji porzuconych obiektów.

Tabela 17: Złożone wnioski o grant NCN Preludium, których przygotowanie wspierałem merytorycznie

Rok.	Imię i nazwisko	Tytuł/Tematyka	Status
2021	Marcin Kowalczyk	Akceleracja przetwarzania zdarzeniowych danych wizyjnych z wykorzystaniem heterogenicznych, reprogramowalnych układów obliczeniowych	zakwalifikowany
2021	Dominika Przewłocka-Rus	Wydajne energetycznie głębokie impulsowe sieci neuronowe dla systemów percepcji w pojazdach autonomicznych	niezakwalifikowany
2023	Mateusz Wąsala	Akceleracja głębokich sieci neuronowych do nawigacji bezzałogowych statków powietrznych z wykorzystaniem zdarzeniowych danych wizyjnych oraz heterogenicznych układów obliczeniowych	niezakwalifikowany
2023	Krzysztof Błachut	Detekcja szybko poruszających się obiektów z wykorzystaniem kamer zdarzeniowych i układów SoC FPGA	niezakwalifikowany
2023	Hubert Szolc	Akceleracja sterowania bezzałogowymi statkami powietrznymi przy użyciu heterogenicznych układów obliczeniowych: Wykorzystanie danych z kamery zdarzeniowej i technik uczenia przez wzmacnianie	niezakwalifikowany
2024	Hubert Szolc	UAVENT: Zwiększenie możliwości BSP dzięki kamerom zdarzeniowym	niezakwalifikowany
2024	Piotr Wzorek	Projektowanie sieci neuronowych do detekcji obiektów na podstawie danych zdarzeniowych z uwzględnieniem docelowej platformy sprzętowej	zakwalifikowany
2024	Kamil Jeziorek	K+Z: Poprawa Percepcji poprzez Integrację Kamer Klatkowych i Zdarzeniowych	zakwalifikowany
2025	Hubert Szolc	EE-PgRL: Energooszczędne sterowanie bezzałogowymi statkami powietrznymi z zastosowaniem sieci neuronowych kierowanych wiedzą fizyczną i uczenia przez wzmacnianie	w recenzji
2025	Mateusz Wąsala	EEVONN: Wbudowana odometria wizyjna wykorzystująca sieci neuronowe oraz dane zdarzeniowe	w recenzji
2025	Krzysztof Błachut	LOFE: efektywna energetycznie estymacja przepływu optycznego na podstawie wizji zdarzeniowej	w recenzji
2025	Michał Daniłowicz	RTMCMOT: Energooszczędne śledzenie wielu obiektów z wielu kamer w czasie rzeczywistym	w recenzji

4.11 Wystąpienia na krajowych lub międzynarodowych konferencjach naukowych

W tabeli 18 zamieściłem zestawienie konferencji na których wygłosiłem wykład zaproszony (DASIP 2023), referaty konferencyjne lub prezentowałem plakaty. Obejmuje ono okres 2014-2025 tj. po obronie doktoratu. Pełne zestawienie zamieszczone jest w załączniku „Wykaz osiągnięć naukowych albo artystycznych”.

Tabela 18: Wystąpienia na krajowych lub międzynarodowych konferencjach naukowych – po uzyskaniu stopnia doktora

Nazwa konferencji	Tytuł referatu	Typ wystąpienia
ARC 2025	Real-time multi-object tracking using YOLOv8 and SORT on a SoC FPGA	Prezentacja
DSD 2024	PowerYOLO: mixed precision model for hardware efficient object detection with event data	Prezentacja
DSD 2024	Event-based vision on FPGAs – a survey	Prezentacja
DASIP 2023	Real-time 4K video stream processing on SoC FPGAs	Wykład zaproszony (ang. <i>Keynote</i>)
CVPRW 2023	Interpolation-based event visual data filtering algorithms	Plakat
DASIP 2022	Towards real-time and energy efficient Siamese tracking - a hardware-software approach	Prezentacja
ICCVG 2022	Energy Efficient Hardware Acceleration of Neural Networks with Power-of-Two Quantisation	Prezentacja
ICCVG 2022	Traffic Sign Classification Using Deep and Quantum Neural Networks	Prezentacja
ICCVG 2022	PointPillars backbone Type Selection For Fast and Accurate LiDAR Object Detection	Prezentacja
ARC 2019	Real-time FPGA implementation of connected component labelling for a 4K video stream	Prezentacja
DASIP 2018	Hardware – software implementation of a SFM module for navigation an unmanned aerial vehicles – a demo	Plakat, sesja demo night
DASIP 2018	Embedded vision system for automated drone landing site detection – a demo	Plakat, sesja demo night (nagroda dla najlepszego demo)
ICCVG 2018	Embedded vision system for automated drone landing site detection	Prezentacja (nagroda dla najlepszej prezentacji)
SPA 2017	Embedded vision system for pedestrian detection based on HOG+SVM and use of motion information implemented in Zynq heterogeneous device	Prezentacja
DASIP 2017	Hardware-software abandoned object detection vision system in heterogeneous Zynq device	Plakat, sesja demo night
ICCVG 2016	FPGA implementation of the flux tensor moving object detection method	Prezentacja
DASIP 2016	FPGA-based hardware-in-the-loop environment using video injection concept for camera-based systems in automotive applications	Prezentacja
FedCSIS 2016	A compact deep convolutional neural network architecture for video based age and gender estimation	Prezentacja
ICIAP 2015	Real-time implementation of background modelling algorithms in FPGA devices	Prezentacja
FedCSIS 2015	Shape and colour recognition of dishes for the purpose of customer service process automation in a self-service canteen	Prezentacja
DASIP 2014	Hardware-software implementantion of vehicle detection and counting using virtual detection lines	Prezentacja
ICCVG 2014	Implementation of advanced foreground segmentation algorithms GMM, ViBE and PBAS in FPGA and GPU – a comparison	Prezentacja

4.12 Członkostwo w komitetach sterujących i programowych konferencji oraz w komitetach redakcyjnych czasopism

Moją aktywność naukową i kompetencje doceniono w międzynarodowym środowisku naukowym związanym z projektowaniem architektur sprzętowych, w szczególności z wykorzystaniem układów FPGA, a także systemów wizyjnych, w szczególności działających w czasie rzeczywistym. Efektem była akceptacja mojej kandydatury do zespołu redakcyjnego czasopisma *Microprocessors and Microsystem* oraz powierzenie mi w ostatnich latach nadzoru merytorycznego (jako *program co-chair*) nad konferencją DASIP (ok. 20-25 nadsyłanych artykułów) oraz DSD (ok. 80 nadsyłanych artykułów). W obu wymienionych konferencjach zostałem również zaproszony

do komitetu sterującego, gdzie wykazuję się dużą aktywnością. Ponadto będę współorganizatorem (ang. *general co-chair*) połączonej konferencji DSD/SEAA w Krakowie w 2026 oraz HiPEAC 2026 w Krakowie (*general chair*).

Szczegóły mojej działalności w tym obszarze ilustruje poniższe zestawienie:

- **Microprocessors and Microsystems** (Elsevier, IF 2024: 2.6, Citescore: 8.2) – redaktor pomocniczy (ang. *associate editor*) od września 2021, edytor wydania specjalnego po konferencji DSD 2024,
- **Journal of Signal Processing Systems** (Springer, IF 2024: 1.6, Citescore 5.6) – edytor wydania specjalnego po konferencji DASIP 2021,
- **Sensors** (MDPI, IF 2024 3.5, Citescore 8.2) – edytor wydanie specjalnego pt. „Event-Based Vision Technology: From Imaging to Perception and Control”,
- Międzynarodowa konferencja **DASIP** - Design and Architectures for Signal and Image Processing – od 2014 członek komitetu programowego, od 2020 członek komitetu sterującego, współorganizator (ang. *general i program co-chair* w roku 2021, od 2022 koordynator prac komitetu sterującego,
- Międzynarodowa konferencja **DSD** – Euromicro Conference on Digital System Design – od 2021 członek komitetu programowego, od 2023 członek komitetu sterującego, organizator sesji specjalnej (ang. *special session chair*, Applications, Architectures, Methods and Tools for Machine and Deep Learning w 2023, współorganizator (ang. *program co-chiar* w roku 2024, organizator (ang. *general-chair*) w roku 2026.
- Międzynarodowe sympozjum **ARC** – Applied Reconfigurable Computing – od 2016 członek komitetu programowego,
- Międzynarodowa konferencja **ICCVG** - International Conference on Computer Vision and Graphics – od 2022 członek komitetu programowego,
- Międzynarodowa konferencja **SPIE Real-time Processing of Image, Depth, and Video Information** – od 2024 członek komitetu programowego.

4.13 Recenzowanie dla czasopism i konferencji

Staram się aktywnie uczestniczyć w dyskusji naukowej recenzując dla czasopism, w tym także uznanych w moim obszarze, o wysokim współczynniku IF jak np. IEEE Transactions on Circuits and Systems for Video Technology (CSVT), IEEE Transactions on Very Large Scale Integration (VLSI) Systems, czy Journal of Real-Time Image Processing. W tabeli 19 zestawilem listę łącznie **154** zweryfikowanych recenzji na podstawie danych na moim profilu Web of Science (wcześniej również Publons). Dodatkowo regularnie recenzuję dla następujących międzynarodowych konferencji naukowych:

- DASIP (Design and Architectures for Signal and Image Processing)
- ARC (International Symposium on Applied Reconfigurable Computing)
- DSD (Digital System Desing)
- ISCAS (ISCAS - IEEE International Symposium on Circuits and Systems)
- FPL (International Conference on Field-Programmable Logic) – jako *sub-reviewer*,
- CVPRW (Computer Vision and Pattern Recognition Workshops) – Workshop on Event-based Vision (2023)
- MMAR (International Conference on Methods and Models in Automation and Robotics)
- ICCVG (International Conference on Computer Vision and Graphics)
- IROS (International Conference on Intelligent Robots and Systems)
- PP-RAI (Polish Conference on Artificial Intelligence)
- VISAPP (International Joint Conference on Computer Vision, Imaging and Computer Graphics Theory and Applications)
- KKA (Krajowa Konferencja Automatyki, Polish Control Conference)
- ISCAS (International Symposium on Circuits and Systems)

- SPIE Real-time Processing of Image, Depth, and Video Information Workshop

Tabela 19: Lista zweryfikowanych recenzji dla czasopism (stan na 20.08.2025)

Nazwa czasopisma	Liczba recenzji
IEEE Transactions on Very Large Scale Integration (VLSI) Systems	21
Sensors	12
Journal of Real-Time Image Processing	11
Journal of Signal Processing Systems	10
IEEE Access	8
Applied Sciences	7
Electronics	7
Microprocessors and Microsystems	7
IEEE Transactions on Circuits and Systems for Video Technology	7
Symmetry	5
Computers and Electronics in Agriculture	4
Journal of Low Power Electronics and Applications	4
Remote Sensing	4
Computers	3
IEEE Embedded Systems Letters	3
IEEE Transactions on Multimedia	3
Journal of Systems Architecture	3
Mathematical Problems in Engineering	3
IEEE Sensors Journal	2
Journal of Imaging	2
Journal of Parallel and Distributed Computing	2
Mathematics	2
Neurocomputing	2
Smart Agricultural Technology	2
Bulletin of the Polish Academy of Sciences: Technical Sciences	1
Canadian Journal of Electrical and Computer Engineering	1
Computer Science-AGH	1
Computers & Graphics	1
Computing and Informatics	1
Discover Internet of Things	1
Electrica	1
Engineering Science and Technology, an International Journal	1
Eurasip Journal on Image and Video Processing	1
IEEE Systems Journal	1
IEEE Transactions on Circuits and Systems II: Express Briefs	1
IEEE Transactions on Computational Imaging	1
IEEE Transactions on Image Processing	1
IEEE Transactions on Industrial Informatics	1
IEEE Transactions on Intelligent Transportation Systems	1
IEEE Transactions on Intelligent Vehicles	1
International Journal of Applied Mathematics and Computer Science	1
International Journal of Reconfigurable Computing	1
Journal of Pattern Recognition and Intelligent Systems	1
Signal, Image and Video Processing	1

4.14 Pozostałe recenzje

W 2022 roku wykonałem recenzję wstępną (ang. *Pre-Examination of Doctoral Dissertation*) doktoratu p. Mir Mar Khan pt. „On design and optimization of Convolutional Neural Network for embedded systems” na zlecenie Tampere University w Finlandii.

W 2023 wykonałem recenzję wstępną książki pt. „Deep Learning in Action: Image and Video Processing for Practical Use” na zlecenie wydawnictwa Elsevier.

4.15 Przyszłe plany badawcze

Obecnie moje badania naukowe koncentrują się w czterech wątkach: wbudowanej wizji zdarzeniowej, wbudowanych systemach śledzenia obiektów, wbudowanych systemach detekcji na podstawie danych z czujnika LiDAR oraz szeroko rozumianej percepcji i sterowaniu autonomicznych bezzałogowych statków powietrznych. Dwa pierwsze stanowią bezpośrednią kontynuację prac przedstawionych jako osiągnięcia w autoreferacie. Przetwarzanie danych z czujnika LiDAR jest niejako wątkiem pobocznym prowadzonym przez p. Konrada Lisa, choć występują elementy wspólne z głównym nurtem badań - np. punkty lidarowe mają pewne podobieństwa do danych zdarzeniowych, a ciekawym wątkiem byłaby fuzja tych danych. Tematyka dronów autonomicznych stanowi zarazem „szeroki kontekst” dla prowadzonych prac nad wbudowanymi systemami percepcji, jak i nieco osobny wątek związany bardziej z akceleracją algorytmów sterowania – obecnie równolegle nadzoruję prace nad akceleracją sterowania z wykorzystaniem uczenia przez wzmacnianie (ang. *reinforcement learning*, sieci PgNN (ang. *Physics-guided Neural Networks*) oraz metod klasycznych np. MPC (ang. *Model Predictive Control*). Drony są również technologią podwójnego zastosowania, co otwiera szerokie możliwości współpracy z przemysłem obronnym – zarówno w kontekście autonomii pojedynczych statków, jak i ich działań rojowych.

W najbliższej przyszłości zamierzam dalej rozwijać wymienione obszary badawcze uzupełniając je jeszcze o przetwarzanie danych z wykorzystaniem sieci impulsowych (SNN – ang. *Spiking Neural Networks*) oraz podejścia „obliczeń w pamięci” (ang. *in-memory computing* – oba zagadnienia wydają się być przyszłościowe w kontekście energooszczędnych systemów wbudowanych.

Chciałbym również nadal rozwijać wątek zastosowania wbudowanych sieci grafowych do przetwarzania danych zdarzeniowych oraz danych z innych czujników. Planuję wystąpić z tą tematyką o grant NCN Opus. W tym obszarze istnieje również duży potencjał do rozwinięcia współpracy międzynarodowej, gdyż obecnie sieci grafowe są dość chętnie wykorzystywane w wielu zagadnieniach wizyjnych. Ciekawym i perspektywicznym wątkiem jest również fuzja danych zdarzeniowych i wizyjnych, a także potencjalnie z lidarów lub radarów. Wykorzystanie czujników o różnych właściwościach może pozwolić na budowę systemów percepcji działających skutecznie w zróżnicowanych warunkach oświetleniowych i atmosferycznych. Wartym uwagi zagadnieniem jest również zastosowanie najnowszych platform SoC FPGA np. serii Versal/ACAP firmy AMD/Xilinx, które wyposażone są w dedykowane akceleratory AI (ang. *AI engines*), co otwiera nowe możliwości podziału zadań obliczeniowych.

Wsparciem dla tego procesu są Koledzy ze Zespołu oraz Studenckie Koło Naukowe AGH AVADER, którego jestem współpiekunem. Ponadto aktywnie zachęcam studentów do uczestnictwa w konkursach krajowych (np. Droniada) i międzynarodowych oraz we wszelkiego rodzaju ambitnych wyzwaniach (ang. *challenge*) np. dotyczących wizji zdarzeniowej. Staram się również nadal publikować ze studentami artykuły na podstawie wyników ich prac dyplomowych.

W najbliższej przyszłości chciałbym również podnieść poziom działalności publikacyjnej mojej i Zespołu. Z jednej strony powinniśmy dalej zaznaczać swoją obecność na konferencjach DASIP, DSD, ARC, dodając do tego FPL, a okazjonalnie pojawiać się na FPT, FCCM, czy ISFPGA. Ponadto wydaje się, że możemy obecnie myśleć o publikacjach na najważniejszych konferencjach związanych z systemami wizyjnymi, takich jak CVPR, ICCV, ECCV itp. Wprawdzie nie są one sprofilowane pod systemy wbudowane, ale obecnie mamy już także wystarczająco rozwinięte kompetencje algorytmiczne, aby skutecznie powalczyć o zaakceptowanie naszych artykułów. Podobnie w tematyce robotycznej, w szczególności dronów autonomicznych, chcemy celować w flagowe konferencje: IROS i ICRA. Do tego chciałbym dołożyć więcej publikacji w najważniejszych czasopismach: IEEE VLSI, IEEE CSVT, IEEE Sensors, RAL, czy TRETTS oraz innych, głównie z pierwszego kwartyłu rankingu Scopus.

Za cel długoterminowy uznałbym udział w projekcie europejskim z tematyki systemów wbudowanych, a także umocnienie i poszerzenie rozpoznawalności: mnie oraz Zespołu jako liczących się naukowców w dziedzinie wbudowanych systemów percepcji i sterowania realizowanych z wykorzystaniem układów reprogramowalnych, wizji zdarzeniowej oraz zajmujących się autonomią dronów.

5 Informacja o wykazywaniu się istotną aktywnością naukową albo artystyczną realizowaną w więcej niż jednej uczelni, instytucji naukowej lub instytucji kultury, w szczególności zagranicznej.

W ramach swojej działalności naukowej współpracuję z innymi naukowcami, głównie zagranicznymi, gdyż jak wspominałem wcześniej, zgodnie z moją wiedzą tematyka wbudowanych systemów wizyjnych, a szczególnie zdarzeniowych, z wykorzystaniem układów rekonfigurowalnych nie jest obecnie w Polsce zbyt intensywnie rozwijana.

5.1 Staż naukowy na Politechnice Śląskiej

W okresie od 07.12.2021 – 06.03.2022 byłem zatrudniony jako adiunkt na etacie badawczym w Katedrze Systemów Cyfrowych na Wydziale Automatyki, Elektroniki i Informatyki Politechniki Śląskiej w Gliwicach. W tym czasie realizowałem projekt dotyczący detekcji znaków drogowych na podstawie danych zdarzeniowych. Jego efektem jest publikacja naukowa, którą afiliowałem na Politechnice Śląskiej: [ES02] P. Wzorek, **T. Kryjak** (2022) *Traffic Sign Detection With Event Cameras and DCNN*, SPA 2022 : Signal Processing Algorithms, Architectures, Arrangements, and Applications : Poznan, 21th - 22nd September 2022, IEEE <https://doi.org/10.23919/SPA53010.2022.9927864>

5.2 Profesor wizytujący na Uniwersytecie Sorbona w Paryżu, Francja

W okresie od 30.10.2022 do 30.11.2022 byłem profesorem wizytującym w laboratorium LIP6 na Uniwersytecie Sorbona w Paryżu. Zostałem tam zaproszony przez prof. Andrea Pinna, z którym współorganizowałem konferencję DASIP w 2021 roku, a następnie współpracowałem przy organizacji konferencji DSD 2024 w Paryżu. W trakcie pobytu zainicjowałem badania nt. akceleracji sprzętowej konwolucyjnych sieci grafowych (GCN – ang. *Graph Convolutional Neural Networks* do przetwarzania danych zdarzeniowych. Efektem współpracy są publikacje:

- [ES05] K. Jeziorek, A. Pinna, **T. Kryjak** (2023) *Memory-efficient graph convolutional networks for object classification and detection with event cameras*, SPA 2023 : Signal Processing Algorithms, Architectures, Arrangements, and Applications : Poznan, 20th - 22nd September 2023, IEEE, 10.23919/SPA59660.2023.10274464
- [E04] K. Jeziorek, P. Wzorek, K. Blachut, A. Pinna, **T. Kryjak** (2024) *Optimising graph representation for hardware implementation of graph convolutional networks for event-based vision*, Design and Architectures for Signal and Image Processing : 17th international workshop, DASIP 2024 : Munich, Germany, January 17–19, 2024 : proceedings / eds. Tiago Dias, Paola Busia. — Cham : Springer, cop. 2024. — (Lecture Notes in Computer Science ; ISSN 0302-9743 ; LNCS 14622), 10.1109/https://doi.org/10.1007/978-3-031-62874-0_9
- [ES07] P. Wzorek, K. Jeziorek, **T. Kryjak**, A. Pinna (2024) *Increasing the scalability of graph convolution for FPGA-implemented event-based vision*, FPT 2024, International Conference on Field Programmable Technology, 10-12 December 2024, Sydney, Australia, PhD Forum (to be published in IEEE) <https://doi.org/10.48550/arXiv.2411.04269>

Wygłosiłem również seminarium, w trakcie którego przedstawiłem prowadzone przez mnie badania naukowe.

Ponadto w dniach 22.05-24.05.2024 na zaproszenie prof. Andrea Pinna przedstawiłem wyniki naszych wspólnych badań na seminarium pt. „Capteurs de vision et caméra intelligentes - Focus Architectures pour la Vision” w referacie „Embedded event-based-vision”.

Współpraca z prof. Andrea Pinna jest kontynuowana. W momencie pisania autoreferatu ukończyliśmy prace nad artykułem do czasopisma IEEE VLSI nt. akceleracji klasyfikacji obiektów na podstawie danych zdarzeniowych z wykorzystaniem grafowych sieci neuronowych pt. „Embedded Graph Convolutional Networks for Real-Time Event Data Processing on SoC FPGAs”.

5.3 Współpraca z Uniwersytetem w Grenoble oraz CEA Grenoble, Francja

W czerwcu 2024 odbyłem krótką wizytę stażową na Uniwersytecie w Grenoble u prof. Frederica Petrot. Była ona związana z pełnieniem przez nas funkcji współprzewodniczących komitetu programowego (ang. *program co-chair*) konferencji DSD 2024, która odbywała się w Paryżu (jednym z jej przewodniczących (ang. *genear chair*) był wspomniany prof. Andrea Pinna). Wygłosiłem tam seminarium naukowe nt. prowadzonych przeze mnie badań. W jej ramach spotkałem się również z Zespołem pracującym w CEA-List w Grenoble, w szczególności z Thomas Mesquida, Thomas Dalgaty oraz Pascal Vivet. Efektem było nawiązanie współpracy nt. akceleracji przetwarzania danych zdarzeniowych zarejestrowanych czujnikiem DAS (ang. *Dynamic Audio Sensor*). W jej

ramach wizytę w Grenoble, w listopadzie 2024, odbył doktorant Krzysztof Błachut, który na miejscu we współpracy z zespołem z CEA oraz praktykantem z Keio University Hiroshi Nakano dokończył badania, których efektem jest publikacja przyjęta na konferencję ARC 2025:

- [ES09] H. Nakano, K. Blachut, K. Jeziorek, P. Wzorek, M. Dampfhoffer, T. Mesquida, H. Nishi, **T. Kryjak**, T. Dalgaty (2025) *Hardware-Accelerated Event-Graph Neural Networks for Low-Latency Time-Series Classification on SoC FPGA*, ARC 2025: The 21st International Symposium on Applied Reconfigurable Computing ARC 2025, Sevilla, Spain, April 9-11, 2025, Seville, Spain, April 9-11, 2025 : proceedings / eds. Roberto Giorgi, [et al.]. — Cham : Springer, cop. 2025. — (Lecture Notes in Computer Science ; ISSN 0302-9743 ; LNCS 15594). — ISBN: 978-3-031-87994-4; e-ISBN: 978-3-031-87995-1. <https://doi.org/10.48550/arXiv.2503.06629>.

Obecnie współpraca jest kontynuowana – wraz z Thomasem Mesquidą jesteśmy redaktorami wydania specjalnego w czasopiśmie Sensor pt. „Event-Based Vision Technology: From Imaging to Perception and Control”. Będziemy również kontynuować wspólne badania nt. akceleracji przetwarzania danych zdarzeniowych – wspólnie przygotowujemy rozszerzoną wersję artykułu [ES09] do czasopisma ACM Transactions on Reconfigurable Technology and Systems.

5.4 Współpraca z Uniwersytetem w Rennes, Francja

Geneza współpracy z prof. Karolem Desnos z Uniwersytetu w Rennes to wspólna działalność w Komitecie Sterującym konferencji DASIP. Po odbyciu szeregu rozmów, zidentyfikowaliśmy jako potencjalny obszar współpracy sterowanie dronem z wykorzystaniem modeli TPG (ang. *Tangled Program Graphs*, które były rozwijane przez Zespół prof. Desnos. W ramach współpracy doktorant Hubert Szolc odbył wizytę w Rennes, której efektem była wspólna publikacja:

- Hubert Szolc, Karol Desnos, **Tomasz Kryjak** (2024) *Tangled Program Graphs as an alternative to DRL-based control algorithms for UAVs*, SPA 2024: Signal Processing Algorithms, Architectures, Arrangements, and Applications : Poznan, 25th - 27nd September 2024, IEEE <https://doi.org/10.23919/SPA61993.2024.10715635>.

5.5 Współpraca z Uniwersytetem w La Rochelle, Francja

Współpraca z prof. Thierry Bouwmans z Université de La Rochelle ma genezę we wspólnych zainteresowaniach naukowych segmentacją obiektów pierwszoplanowych – profesor jest uznanym autorytetem w tej dziedzinie systemów wizyjnych. Obecnie nasze wspólne działania obejmują trzy obszary. Po pierwsze, w czerwcu 2025 wizytę w La Rochelle odbył doktorant Kamil Jeziorek. Jej celem będzie praca nad akceleracją sprzętową metod grafowych dedykowanych do segmentacji obiektów pierwszoplanowych opracowanych przez zespół prof. Bouwmans. Dodatkowo zainicjowane zostały prace nad wykorzystaniem kamer zdarzeniowych do analizy zachowania ryb.

Po drugie, wspólnie, wraz z naukowcami z Kanady i Indii, organizujemy warsztaty (ang. *sattelite workshop*) „Real-Time Implementation and Lightweight GNNs for Conventional and Event-based Cameras” w ramach konferencji IEEE International Conference on Image Processing, IEEE ICIP 2025, która odbędzie się we wrześniu w Anchorage na Alasce <https://sites.google.com/view/rt-gnns-2025/accueil>. Dodatkowo, zostałem poproszony o ogłoszenie na nich referatu pt. „Real-Time Processing of event camera streams using GNNs and FPGAs”.

Po trzecie mamy również w planach podjąć współpracę nad opracowaniem nowej wersji konkursu Change-detection.net i zaaplikować o organizację warsztatów przy konferencji CVPR 2026 lub ECCV 2026.

5.6 Współpraca z Politechniką w Montrealu, Kanada

Współpraca z prof. Pierre Langlois i prof. Jean-Pierre Davide zaczęła się w Komitecie Sterującym konferencji DASIP. W dniach 02.04-18.04.2024, na zaproszenie obu profesorów, odbyłem krótką wizytę stażową na Politechnice w Montrealu. Wygłosiłem tam seminarium naukowe nt. prowadzonych przeze mnie badań naukowych. Obecnie jesteśmy na etapie poszukiwania tematów wspólnych badań.

5.7 Współpraca z Uniwersytetem Technicznym w Berlinie, Niemcy

Znajomość z prof. Guillermo Gallego zaczęła się od mojego i p. Marcina Kowalczyka udziału w warsztatach Event-Based Vision organizowanych przy konferencji CVPR 2023 w Vancouver. Profesor był jednym ze współorganizatorów. Jest on również jednym z wiodących naukowców zajmujących się tematyką wizji zdarzeniowej. W dniach 13.06-15.06.2024 odbyłem krótką wizytę w Berlinie, podczas której wygłosiłem seminarium nt. prowadzonych badań. Obecnie ustalamy tematykę potencjalnej współpracy oraz ew. staż naukowy p. Marcina Kowalczyka pod opieką prof. Gallego.

5.8 Podsumowanie

W ostatnich dwóch latach, tj. po zakończeniu projektu NCN Sonata i rozpoczęciu badań nad wbudowaną wizją zdarzeniową rozpocząłem współpracę z kilkoma ośrodkami naukowymi, czego efektem jest kilka publikacji we współpracy międzynarodowej. Odbycie wspomnianych wizyt było możliwe dzięki uzyskaniu wsparcia z projektu IDUB (Inicjatywa Doskonałości Uczelnia Badacza) dla AGH – tzw. „Pakiet habilitacyjny”. Oprócz osobistych kontaktów, intensywnie zachęcam współpracujących ze mną doktorantów do odbywania staży naukowych, które zawsze mają pozytywny wpływ na ich karierę naukową, ale także na warsztat dydaktyczny i szeroko rozumiane umiejętności miękkie.

6 Informacja o osiągnięciach dydaktycznych, organizacyjnych oraz popularyzujących naukę lub sztukę.

6.1 Opieka nad pracami magisterskimi i inżynierskimi

Zestawienie łącznie 86 prac inżynierskich, których byłem promotorem w latach 2014 - 2025, zamieściłem w tabeli 20. Wyróżniłem prace, poprzez pogrubienie tytułu, na podstawie których przygotowane zostały artykuły naukowe. Ponadto wyróżniłem osoby, które współpracowały lub współpracują z Zespołem.

Tabela 20: Zestawienie promowanych prac inżynierskich w latach 2014 – 2024

Lp.	Rok	Imię i nazwisko	Tytuł
1	2024/2025	Remigiusz Mietła	Lokalizacja i zliczanie obiektów z wykorzystaniem fuzji danych z czujników bezzałogowego statku powietrznego
2	2024/2025	Tymoteusz Domagała	System percepcji i sterowania drona transportowego
3	2024/2025	Roman Nowak	Detekcja przeszkód z wykorzystaniem kamery zdarzeniowej
4	2024/2025	Patryk Kamiński	Integracja wbudowanej platformy obliczeniowej z kontrolerem lotu bezzałogowego statku powietrznego
5	2024/2025	Mateusz Gołąbek	Śledzenie obiektów z wykorzystaniem fuzji wizji i termowizji zaimplementowane w układzie SoC FPGA z użyciem narzędzia Vitis AI
6	2024/2025	Karolina Piotrowska	Naprowadzanie autonomicznego, bezzałogowego statku powietrznego na cel
7	2024/2025	Mateusz Patora	Ewaluacja impulsowych sieci neuronowych z wykorzystaniem narzędzia Neurobench
8	2023/2024	Jakub Kopańko	Wykorzystanie konwolucyjnych grafowych sieci neuronowych w metodach SLAM
9	2023/2024	Filip Tomczyk	Badanie możliwości zastosowania otwartoźródłowych soft rdzeni RISC-V w systemach kosmicznych o znaczeniu krytycznym
10	2023/2024	Sebastian Bucior	Realizacja trajektorii lotu drona z wykorzystaniem algorytmów MPC
11	2023/2024	Michał Szmuksta	Algorytmy sterowania lotem formacji dronów
12	2023/2024	Jan Brodowicz	Wykorzystanie wizyjnego sprzężenia zwrotnego w algorytmie lądowania drona
13	2022/2023	Dominik Czyżyk	Akseleracja algorytmu detekcji odpadów przy pomocy karty Xilinx Alveo U50
14	2022/2023	Mateusz Kowalski	Detekcja pieszych z wykorzystaniem kamer zdarzeniowych
15	2022/2023	Krzysztof Kandefor	Śledzenie obiektów z wykorzystaniem metod klasycznych oraz głębokich sieci neuronowych
16	2022/2023	Adam Piórkowski	Dron rozpoznający osoby na podstawie obrazu twarzy
17	2022/2023	Miłosz Zeman	Omijanie statycznych przeszkód przez drona z wykorzystaniem kamery zdarzeniowej
18	2022/2023	Igor Kordzi	Autonomiczny dron śledzący pojazdy w środowisku miejskim
19	2022/2023	Karol Musiał	Monitorowanie zmęczenia kierowcy z wykorzystaniem kamery zdarzeniowej
20	2021/2022	Karol Talaga	Wykrywanie, rozpoznawanie i śledzenie obiektów na boisku piłkarskim z wykorzystaniem systemu wizyjnego
21	2021/2022	Robert Synoczek	Wbudowany system do segmentacji i detekcji obiektów zrealizowany na platformie Zynq SoC
22	2021/2022	Krzysztof Słomski	Optymalizacja czasowa lotu drona wyścigowego po zamkniętym torze z wykorzystaniem uczenia ze wspomaganiami.
23	2021/2022	Jakub Prokop	Klasyfikacja obrazów z wykorzystaniem grafowych sieci neuronowych
24	2021/2022	Wojciech Pełka	Detekcja i rozpoznawanie znaków drogowych z wykorzystaniem kamery zdarzeniowej
25	2021/2022	Balbina Molerus	Segmentacja jezdni i detekcja wybranych znaków poziomych przy użyciu czujnika wizyjnego oraz platformy eGPU NVIDIA Jetson
26	2021/2022	Kamil Jeziorek	Detekcja i rozpoznawanie znaków drogowych z wykorzystaniem rekonstrukcji obrazów z kamery zdarzeniowej
27	2021/2022	Mariusz Grabowski	Implementacja sprzętowa rektyfikacji i obliczania map dysparycji metodą SGM dla strumienia wizyjnego o rozdzielczości 4K
28	2021/2022	Maciej Baczmański	Detekcja obiektów z wykorzystaniem czujników wizyjnych i głębi oraz platformy eGPU NVIDIA Jetson
29	2020/2021	Michał Knap	Segmentacja jezdni z wykorzystaniem głębokich konwolucyjnych sieci neuronowych
30	2020/2021	Kamil Wrześniak	Detekcja i rozpoznawanie sygnalizacji świetlnej z wykorzystaniem głębokich konwolucyjnych sieci neuronowych

31	2020/2021	Kamil Bialik	Projekt i wykonanie rezonansowej ładowarki do dronów autonomicznych
32	2020/2021	Dawid Skoczny	System generowania widoku 3D na podstawie obrazu z wielu kamer
33	2020/2021	Damian Cholewa	Detekcja i rozpoznawanie znaków drogowych z wykorzystaniem głębokiej konwolucyjnej sieci neuronowej oraz platformy obliczeniowej Nvidia Jetson
34	2020/2021	Artur Cyba	Sterowanie dronem na podstawie pozycjonowania wizyjnego opartego o znaczniki ArUco
35	2020/2021	Artur Cabaj	Wbudowany system wizyjny do detekcji pieszych na obrazach RGB-T
36	2019/2020	Jakub Kłosiński	Sprzętowo-programowy system wizyjny wspomagający autonomiczne lądowanie drona.
37	2019/2020	Karolina Stępień	The use of the advanced image processing in the analysis of gaze patterns related to the psychological profile of the observer
38	2018/2019	Szymon Kamuda	Sprzętowo-programowy system do wykrywania przeszkód przez drona
39	2018/2019	Piotr Kaczmarowski	Detekcja obiektów z wykorzystaniem sieci neuronowych o zredukowanej precyzji obliczeń
40	2018/2019	Michał Daniłowicz	Sprzętowo-programowy system do śledzenia obiektów wykorzystujący ruchomą kamerę
41	2018/2019	Konrad Lis	Sprzętowo-programowy system detekcji obiektów na podstawie fuzji danych z czujnika LIDAR oraz kamery
42	2018/2019	Joanna Stanisław	Sprzętowo-programowy system detekcji obiektów na podstawie danych z czujnika LIDAR
43	2018/2019	Grzegorz Mierzwa	Sprzętowo-programowy system wizyjny do detekcji jezdni
44	2018/2019	Dominika Grabowska	Implementacja sprzętowa algorytmów wyznaczania map dysparycji dla strumienia wizyjnego 4K
45	2018/2019	Bartłomiej Styczeń	Sprzętowo-programowy system do identyfikacji osób na podstawie obrazu twarzy zrealizowany na platformie Zynq SoC
46	2018/2019	Aleksander Orlikowski	Implementacja algorytmu adaptacyjnego wyrównywania histogramu z ograniczeniem kontrastu (CLAHE) dla strumienia wizyjnego 4K w układzie FPGA
47	2017/2018	Gabriel Korbiel	Sprzętowo-programowy system do lokalizacji i rozpoznawania tablic rejestracyjnych
48	2017/2018	Celina Grabowska	Sprzętowo-programowy system wizyjny do inspekcji terenu z wykorzystaniem bezzałogowego pojazdu latającego
49	2017/2018	Andrzej Pustelnik	Wykorzystanie częściowej dynamicznej rekonfiguracji w systemach wizyjnych czasu rzeczywistego
50	2017/2018	Szymon Kozłowski	Implementacja sprzętowa algorytmu wyznaczania map dysparycji Semi-Global Matching
51	2017/2018	Krzysztof Błachut	Implementacja sprzętowa wieloskalowej wersji algorytmu obliczania przepływu optycznego Lucasa-Kanade
52	2017/2018	Karol Radwan	Sprzętowo - programowa implementacja modułu SFM dla potrzeb nawigacji bezzałogowych pojazdów latających
53	2017/2018	Patryk Frączek	Sprzętowo-programowa implementacja systemu wizyjnego do wyznaczania miejsc bezpiecznego lądowania dla bezzałogowych pojazdów latających
54	2017/2018	Mateusz Wąsala	Implementacja sprzętowa wieloskalowej detekcji obiektów z wykorzystaniem algorytmu HOG+SVM
55	2017/2018	Hubert Szolc	Wykorzystanie heterogenicznej platformy obliczeniowej jako podstawowej jednostki sterującej dla bezzałogowego pojazdu latającego
56	2016/2017	Wiktor Wąsowicz	Implementacja sprzętowa metod normalizacji perspektywy oraz klasyfikatorów dla potrzeb wizyjnego systemu szacowania liczby ludzi w danej lokalizacji.
57	2016/2017	Piotr Ciarach	Implementacja sprzętowa oraz optymalizacja algorytmu indeksacji jednoprzbiegowej.
58	2016/2017	Marcin Kowalczyk	System wizyjny śledzący obiekty wykorzystujący ruchomą kamerę zrealizowany w oparciu o heterogeniczny układ Zynq.
59	2016/2017	Maciej Talar	Inspekcja terenu z wykorzystaniem bezzałogowego statku powietrznego wyposażonego we wbudowany system wizyjny.
60	2016/2017	Konrad Adamczyk	Wbudowany system wizyjny do re-identyfikacji osób z wykorzystaniem cech czasowo-przestrzennych.
61	2016/2017	Karolina Szmyd	Wbudowany system wizyjny do detekcji i rozpoznawania osób na podstawie obrazu twarzy.
62	2016/2017	Kamil Dobrzyński	Wbudowany system wizyjny do re-identyfikacji osób z wykorzystaniem cech opisujących wygląd
63	2016/2017	Jakub Tańcula	Implementacja sprzętowa wybranych modułów obliczania cech dla potrzeb wizyjnego systemu szacowania liczby ludzi w danej lokalizacji

64	2016/2017	Dominika Prze- włocka	Śledzenie obiektów z wykorzystaniem głębokich konwolucyjnych sieci neuronowych
65	2016/2017	Damian Paciuch	Wbudowany system wizyjny do detekcji oznakowania poziomego roz- dzielającego pasy ruchu.
66	2015/2016	Tomasz Jonak	Analiza wybranych dystrybucji systemu Linux dla układu Zynq
67	2015/2016	Michał Maciejewski	Detekcja porzuconych przedmiotów zrealizowana w układzie Zynq
68	2015/2016	Piotr Janus	Implementacja algorytmu Flux Tensor with Split Gaussian models (FTSG) w układzie reprogramowalnym
69	2015/2016	Kamil Piszczek	Implementacja algorytmu Gaussian Mixture Models (GMM) w układzie reprogramowalnym
70	2015/2016	Krzysztof Kardaś	Monitorowanie zachowań tłumu na podstawie informacji wizyjnej
71	2015/2016	Dominik Kotarba	Wbudowany system wizyjny do detekcji sylwetek ludzkich z wykorzy- staniem podejścia HOG i SVM
72	2015/2016	Krzysztof Mazur	Wbudowany system wizyjny do śledzenia obiektów dla potrzeb nawi- gacji robota autonomicznego
73	2015/2016	Marcin Juraszek	Wizyjne rozpoznawanie marki i modelu pojazdu
74	2014/2015	Tomasz Krok	Implementacja algorytmu adaptacyjnego wyrównywania histogramu w układzie FPGA
75	2014/2015	Rafał Płonka	Detekcja wałęsania z wykorzystaniem informacji wizyjnej
76	2014/2015	Mirosław Małek	Metody re-identyfikacji osób wykorzystywane w monitoringu wizyjnym
77	2014/2015	Krzysztof Grzyb	Detekcja aktów sabotażu kamery
78	2014/2015	Jacek Antos	Detekcja i eliminacja niekorzystnych warunków meteorologicznych w systemach monitoringu wizyjnego
79	2014/2015	Bartłomiej Hebda	Estymacja wieku i płci osoby na podstawie informacji wizyjnej
80	2014/2015	Mateusz Bryła	Ewaluacja algorytmów stosowanych w monitoringu wizyjnym na se- kwencjach zarejestrowanych w warunkach nocnych
81	2014/2015	Michał Drożdż	Implementacja detekcji narożników w układzie rekonfigurowalnym
82	2014/2015	Agata Drobnia	Segmentacja obiektów pierwszoplanowych w warunkach obecności drobnego ruchu na scenie
83	2014/2015	Paweł Brańka	System lokalizacji tablic rejestracyjnych
84	2014/2015	Krzysztof Porzycki	Wykorzystanie informacji o ruchu w detekcji pieszych
85	2013/2014	Jakub Kośmider	Analiza i porównanie kosztów dopasowania stosowanych w algorytmach sterowizyjnych
86	2013/2014	Jacek Walter	Implementacja rozpoznawania znaków i tekstów na platformie mobilnej

Zestawienie łącznie 64 prac magisterskich, których byłem promotorem w latach 2014 - 2025, zamieściłem w tabeli 21 Wyróżniłem prace, poprzez pogrubienie tytułu, na podstawie których przygotowane zostały artykuły naukowe. Ponadto wyróżniłem osoby, które współpracowały lub współpracują z Zespołem.

Tabela 21: Zestawienie promowanych prac magisterskich w latach 2014 – 2024

Lp.	Rok	Imię i nazwisko	Tytuł
1	2024/2025	Olivier Lichota	System percepcji i sterowania łodzi autonomicznej
2	2023/2024	Mateusz Kowalski	Detekcja obiektów z wykorzystaniem kamery zdarzeniowej oraz impul- sowych sieci neuronowych
3	2023/2024	Marcin Woszczek	Nawigacja modelu pojazdu autonomicznego na podstawie informacji wizyjnej
4	2022/2023	Wojciech Pełka	System równoczesnej akwizycji danych z kamery zdarzeniowej i wizyjnej
5	2022/2023	Jakub Prokop	Zastosowanie grafowych sieci neuronowych do przetwarzania danych zdarzeniowych
6	2022/2023	Kamil Ptak	Projekt i budowa robota na kołach szwedzkich, wykonanych w techno- logii druku 3D termoplastycznym poliuretanem
7	2022/2023	Maciej Baczmański	Autonomiczny pojazd na kołach mecatum z układem SoC FPGA jako platformą obliczeniową
8	2022/2023	Robert Synoczek	Wbudowany system percepcji i sterowania pojazdem auto- nomicznym bazujący na konwolucyjnej sieci segmentacyjno- detekcyjnej
9	2022/2023	Kamil Jeziorek	Memory-Efficient Graph Convolutional Networks for Object Classification and Detection with Event Cameras
10	2022/2023	Michał Niedbała	Algorytmy planowania trajektorii lotu oraz sterowania dronem w zna- nym środowisku
11	2022/2023	Mariusz Grabowski	Implementacja sprzętowa obliczania map dysparycji w czasie rzeczywistym z wykorzystaniem kamer zdarzeniowych
12	2021/2022	Kamil Wrześniak	Detekcja i rozpoznawanie sygnalizacji świetlnej na podstawie danych wizyjnych i zdarzeniowych

13	2021/2022	Dawid Skoczny	Implementacja systemu generowania widoku 3D na podstawie obrazu z wielu kamer na platformie sprzętowej
14	2021/2022	Tomasz Mołęda	Platforma testowa o niskim opóźnieniu wykorzystująca akcelerację przetwarzania sygnałów w układzie FPGA
15	2021/2022	Paweł Miera	Nawigacja dronem na podstawie informacji wizyjnej w środowisku pozbawionym sygnału GPS
16	2021/2022	Jacek Lichwa	Klasyfikacja znaków drogowych na podstawie danych zdarzeniowych z wykorzystaniem konwolucyjnych impulsowych sieci neuronowych
17	2021/2022	Sylwia Kuros	Klasyfikacja obiektów z wykorzystaniem głębokich i kwantowych sieci neuronowych
18	2021/2022	Michał Knap	Sterowanie pojazdem autonomicznym z wykorzystaniem informacji wizyjnej i detekcyjno-segmentacyjnej konwolucyjnej sieci neuronowej
19	2021/2022	Artur Cyba	Sterowanie autonomicznym dronem wyścigowym na podstawie informacji wizyjnej
20	2021/2022	Kamil Bialik	Szybkie zliczanie elementów na podajniku taśmowym z wykorzystaniem kamery zdarzeniowej
21	2020/2021	Anna Kulińska	ATLAS Local Trigger Interface – rozwój implementacji sprzętowej, weryfikacja oraz testy
22	2020/2021	Maciej Talar	Symulacja “hardware-in-the-loop” na potrzeby weryfikacji aplikacji przeznaczonych dla bezzałogowych statków powietrznych
23	2020/2021	Jakub Woźniak	Detekcja obiektów z wykorzystaniem kamery zdarzeniowej
24	2020/2021	Piotr Wzorek	Automatyczna rejestracja przebiegu gry w brydża sportowego
25	2020/2021	Michał Machura	Detekcja obiektów z wykorzystaniem głębokich sieci neuronowych zrealizowana na wbudowanej platformie obliczeniowej
26	2020/2021	Konrad Wajda	Rekonstrukcja informacji 3D przy użyciu kamery zdarzeniowej
27	2019/2020	Michał Daniłowicz	Śledzenie wielu obiektów z wykorzystaniem sieci R-CNN
28	2019/2020	Daniel Gacek	Śledzenie obiektów z wykorzystaniem syjamskich sieci neuronowych
29	2019/2020	Aleksander Orlikowski	Klasyfikacja obiektów z wykorzystaniem głębokich i impulsowych sieci neuronowych
30	2019/2020	Joanna Stanisz	Akceleracja sprzętowa głębokich sieci neuronowych do detekcji obiektów na podstawie danych z LiDAR z wykorzystaniem układów reprogramowalnych
31	2019/2020	Konrad Lis	Akceleracja sprzętowa głębokich sieci neuronowych do detekcji obiektów na podstawie danych z LiDAR z wykorzystaniem układów reprogramowalnych
32	2018/2019	Patryk Frączek	Sprzętowo-programowy system wizyjny do wyznaczania miejsc bezpiecznego lądowania dla bezzałogowych pojazdów latających wykorzystujących kamerę 4K
33	2018/2019	Karol Radwan	Sprzętowo-programowa implementacja modułu SFM dla strumienia wideo o rozdzielczości 4K
34	2018/2019	Jarosław Borzęcki	Ewaluacja i integracja algorytmów wizyjnych stosowanych w pojazdach autonomicznych z użyciem symulatora jazdy samochodem
35	2018/2019	Hubert Szolc	Sprzętowo-programowy system wizyjny do inspekcji terenu z wykorzystaniem bezzałogowego pojazdu latającego oraz kamer: termowizyjnej lub rozdzielczości 4K
36	2018/2019	Mateusz Wąsala	Implementacja sprzętowa wieloskalowej detekcji obiektów z wykorzystaniem algorytmu HOG+SVM dla strumienia wideo o rozdzielczości 4K
37	2018/2019	Krzysztof Błachut	Implementacja sprzętowa wieloskalowych metod obliczania przepływu optycznego dla strumienia wideo o rozdzielczości 4K
38	2017/2018	Marcin Kowalczyk	Śledzenie obiektów z wykorzystaniem heterogenicznej platformy obliczeniowej Zynq UltraScale+ i ruchomej kamery o rozdzielczości 4K zamontowanej na pojeździe autonomicznym
39	2017/2018	Dominika Przewłocka	Akceleracja sprzętowa głębokich konwolucyjnych sieci neuronowych dla potrzeb systemu detekcji obiektów
40	2016/2017	Mateusz Woźniak	Analiza możliwości wykorzystania narzędzia Vivado HLS w implementacji sprzętowej wbudowanych systemów wizyjnych.
41	2017/2018	Piotr Ciarach	Implementacja sprzętowa modułu indeksacji dla strumienia wizyjnego UHD.
42	2017/2018	Tomasz Kańka	Sprzętowo-programowy system wizyjny do detekcji obiektów z wykorzystaniem termowizji
43	2016/2017	Piotr Konopka	Sprzętowo-programowy system do zdalnej opieki nad pacjentem lub osobą samotną.
44	2016/2017	Piotr Brożyna	Wbudowany system wizyjny do rozpoznawania kształtu i koloru naczyń

45	2016/2017	Miłosz Mach	Wbudowany system wizyjny do śledzenia obiektów dla potrzeb nawigacji bezzałogowego statku powietrznego (UAV)
46	2016/2017	Michał Fornalgiel	Metody jednoczesnej lokalizacji i tworzenia mapy dla potrzeb nawigacji pojazdów autonomicznych
47	2016/2017	Krzysztof Grzyb	Implementacja algorytmu adaptacyjnego wyrównywania histogramu z ograniczeniem kontrastu (CLAHE) w układzie FPGA
48	2016/2017	Piotr Janus	Biblioteka modułów sprzętowych do segmentacji obiektów pierwszoplanowych
49	2016/2017	Kamil Piszczek	Wykorzystanie algorytmów stratnej i bezstratnej kompresji danych w implementacji sprzętowej metod modelowania tła
50	2016/2017	Modesta Wis	Przyspieszanie analizy sekwencji wideo z wykorzystaniem detekcji obiektów
51	2016/2017	Wojciech Gumuła	Wykorzystanie systemu operacyjnego Linux we wbudowanych systemach wizyjnych zrealizowanych na platformie Zynq.
52	2016/2017	Rafał Płonka	Metody re-identyfikacji osób w systemach monitoringu wizyjnego
53	2015/2016	Konrad Tomasiak	Implementacja algorytmu detekcji twarzy na platformie rekonfigurowalnej FPGA
54	2015/2016	Tomasz Meresiński	Implementacja algorytmu śledzenia obiektów w heterogenicznym układzie Zynq
55	2015/2016	Artur Skirzyński	Abandoned luggage detection using FPGA integrated circuit
56	2015/2016	Bartłomiej Hebda	Estymacja wieku i płci osoby na podstawie informacji wizyjnej z wykorzystaniem konwolucyjnych sieci neuronowych
57	2015/2016	Mirosław Małek	Wizyjny system kontroli zapięcia pasów bezpieczeństwa
58	2015/2016	Michał Drożdż	Implementacja sprzętowa modułu detekcji twarzy algorytmem HOG+SVM na potrzeby wbudowanego systemu wizyjnego do monitorowania stanu kierowcy
59	2014/2015	Mateusz Bryła	Inteligentna kamera do rozpoznawania osób na podstawie obrazu twarzy zrealizowana na platformie heterogenicznej Zynq
60	2014/2015	Jakub Gola	Wykorzystanie logiki rozmytej w algorytmach generacji i inicjalizacji modelu tła
61	2014/2015	Zbigniew Tekiel	Wykorzystanie logiki rozmytej w algorytmach generacji i inicjalizacji modelu tła
62	2014/2015	Paweł Tryba	Klasyfikacja pojazdów z wykorzystaniem informacji wizyjnej
63	2014/2015	Jakub Kośmider	Zliczanie osób z wykorzystaniem informacji 3D
64	2013/2014	Bartłomiej Bułat	Akceleracja wielowariantowych metod generacji tła i segmentacji obiektów z wykorzystaniem technologii OpenCL

Zestawienie bieżących tj. 2024/2025 prac magisterskich zamieszczam w tabeli 22. Obecny rocznik stanowi dobry przykład dążenia do włączania studentów w moje i Zespołu prace naukowe. Na podstawie pracy p. Smolarczyka (1) powstała publikacja „Hardware-Aware Feature Extraction Quantisation for Real-Time Visual Odometry on FPGA Platforms” (autorzy: Mateusz Wąsala, Michał Smolarczyk, Michał Daniłowicz, Tomasz Kryjak), która została zaakceptowana na konferencję DSD 2025. Z wykorzystaniem wyników p. Michniaka (2) opracowaliśmy artykuł „A Model-Driven TTFS Translation for ReLU Neural Networks” (autorzy: Michał Michniak, Kamil Jeziorek, Tomasz Kryjak), który został zaakceptowany na konferencję SPA 2025. Podobnie na podstawie pracy p. Lichoty (3) przygotowaliśmy publikację pt. „Embedded Perception and Control System for an Autonomous Surface Vehicle using Visual-LiDAR Fusion and SLAM” (autorzy: Olivier Lichota, Mateusz Wąsala, Tomasz Kryjak), która również została zaakceptowana na konferencję SPA 2025. Ponadto p. Olivier jest w trakcie rekrutacji do Szkoły Doktorskiej AGH i istnieje duża szansa, że dołączy do naszego Zespołu i będzie rozwijał tematykę percepcji i sterowania rojów pojazdów autonomicznych. Dodatkowo na podstawie wyników uzyskanych przez p. Szargutę (4) i p. Kosibę (5) planujemy przygotować prace naukowe na uznane konferencje robotyczne lub do czasopisma. Podsumowując, z 9 prac, które promuję w obecnym roku, 3 zakończyły się publikacją naukową w materiałach IEEE, a kolejne dwie również mają realną szansę zakończyć się publikacją naukową.

Tabela 22: Zestawienie promowanych prac magisterskich w roku 2024/2025

Lp.	Rok	Imię i nazwisko	Tytuł
1	2024/2025	Mateusz Smolarczyk	Realizacja odometrii wizyjnej z wykorzystaniem sieci neuronowej oraz układu FPGA
2	2024/2025	Michał Michniak	Zastosowanie impulsowych sieci neuronowych o kodowaniu TTFS do przetwarzania danych zdarzeniowych
3	2024/2025	Olivier Lichota	System percepcji i sterowania łodzi autonomicznej [obroniona]
4	2024/2025	Błażej Szargut	Dwunożny robot kroczący ze sterownikiem rekonfigurowalnym
5	2024/2025	Marcin Kosiba	Predykcyjne sterowanie dronem z wykorzystaniem modeli PINN

6	2024/2025	Michał Szmuksta	Sterowanie rojem bezzałogowych statków powietrznych z wykorzystaniem uczenia przez wzmocnianie
7	2024/2025	Sebastian Bucior	Sterowanie dronem autonomicznym z użyciem algorytmu MPC - od symulacji do rzeczywistości
8	2024/2025	Konrad Pawlik	An energy-efficient multitask neural network for a driver monitoring system
9	2024/2025	Igor Kordzi	Autonomiczny dron śledzący obiekty w środowisku miejskim

6.2 Opieka nad pracami wyróżnionymi w konkursach międzynarodowych

Na przestrzeni ostatnich lat opiekowałem się pracami, które zostały wyróżnione w dwóch konkursach międzynarodowych związanych z tematyką FPGA. Pierwszym z nich jest bardzo prestiżowy Xilinx Open Hardware Competition (AMD Open Hardware Competition) organizowany przez firmę AMD/Xilinx. Do tej pory brały w nim udział zespoły studenckie i doktoranckie z najlepszych uniwersytetów w Europie (obecna edycja 2025 jest już ogólnosiwiatowa). W konkursie moi podopieczni uzyskali następujące wyniki:

- 2024 – Kamil Jeziorek, Piotr Wzorek, Krzysztof Błachut – nagroda za **najlepszą pracę w kategorii doktorant** – „Convolutional Neural Networks for Event Based Vision for AMD SoC FPGA”
- 2022 – Dominika Przewłocka-Rus – finalistka – „Real time and energy efficient Siamese tracking”
- 2020 – Konrad Lis, Joanna Stanisiz – finaliści – „Object detection from point clouds using deep neural networks”
- 2019 – Dominika Przewłocka-Rus – finalistka – „Detection of traffic signs using XNOR CNN”
- 2019 – Marcin Kowalczyk – nagroda za **najlepszą pracę w kategorii doktorant** – „Object tracking in UltraHD resolution with correlation filter”.

W konkursie Digilent Design Contest organizowanym przez firmę Digilent (dostawcę edukacyjnych kart z układami FPGA) moi podopieczni odnosili następujące sukcesy:

- 2019 – Joanna Stanisiz, Konrad Lis – finaliści – „Car Detection System Based in LiDAR and camera data fusion ”
- 2018 – Karol Radwan – **2 miejsce** – „Structure From Motion scene recognition system for navigation an unmanned aerial vehicles ”
- 2017 – Marcin Kowalczyk – **1 miejsce** – „An Object Tracking Pan-tilt Smart Camera Based on a Zynq Heterogeneous Device”
- 2017 – Łukasz Jeleń – finalista – „Visual based odometry for autonomous robot navigation implemented in an FPGA device”
- 2016 – Piotr Konopka, Tomasz Jonak – finaliści – „An embedded vision system supporting the home care for convalescent or elderly people”

6.3 Opieka nad stażami studenckimi i praktykami

Zaangażowanym studentom, którzy wyrażali chęć włączenia się prace badawcze, dydaktyczne i organizacyjne Zespołu, proponowałem odbycie tzw. stażu studenckiego lub praktyki. W latach 2018-2024 z takiej formy współpracy skorzystali: **Marcin Kowalczyk, Dominika Przewłocka-Rus, Michał Machura, Artur Cyba, Kamil Jeziorek** oraz Igor Kordzi. Wyróżnione osoby kontynuowały lub kontynuują współpracę z Zespołem.

6.4 Lista przygotowanych kursów dydaktycznych

Tabela 23: Lista przygotowanych i prowadzonych przez mnie kursów dydaktycznych w latach 2008-2025

Lp.	Przedmiot	Język	Wkład merytoryczny
1	Przetwarzanie obrazów cyfrowych	PL	autorstwo zmodernizowanej wersji ćwiczeń laboratoryjnych
2	Zaawansowane algorytmy wizyjne	PL	wykłady, współautorstwo koncepcji przedmiotu, autorstwo pierwszej wersji ćwiczeń laboratoryjnych
3	Systemy rekonfigurowalne	PL	współautorstwo zmodernizowanej wersji ćwiczeń laboratoryjnych (która jest obecnie ponownie modernizowana)
4	Programowo-sprzętowa realizacja algorytmów	PL	wykłady, współautorstwo koncepcji przedmiotu, autorstwo pierwszej, zmodernizowanej wersji ćwiczeń laboratoryjnych
5	Systemy i algorytmy percepcji pojazdów autonomicznych	PL	wykłady, współautorstwo koncepcji przedmiotu, autorstwo pierwszej wersji ćwiczeń laboratoryjnych
6	Advanced Vision Systems	EN	wykłady, współautorstwo koncepcji przedmiotu, autorstwo pierwszej wersji ćwiczeń laboratoryjnych
6	Hardware-Software Vision Systems	EN	wykłady, współautorstwo koncepcji przedmiotu, autorstwo pierwszej wersji ćwiczeń laboratoryjnych
6	Biometrics	EN	wykłady, współautorstwo koncepcji przedmiotu
7	Embedded Systems	EN	wykłady, współautorstwo koncepcji przedmiotu
8	Embedded Artificial Intelligence	EN	wykłady, współautorstwo koncepcji przedmiotu
9	Introduction to DVS	EN	wykłady, współautorstwo koncepcji przedmiotu
10	Aerial Robotics	EN	wykłady, współautorstwo koncepcji przedmiotu

Ponadto byłem współautorem programu nowej specjalności Inteligentne Systemy Sterowania (ISS) prowadzonej na II stopniu studiów na kierunku Automatyka i Robotyka na wydziale EAIiB AGH. Za tę pracę uzyskałem zespołową nagrodę Rektora AGH I stopnia za osiągnięcia dydaktyczne w 2018 oraz następnie w 2020 indywidualną nagrodę Rektora AGH I stopnia za osiągnięcia dydaktyczne m.in. za opracowanie nowych przedmiotów dla specjalności ISS. Uczestniczyłem również w pracach Zespołu, który przygotowywał zmiany w programie studiów I stopnia na kierunku Automatyka i Robotyka. Obecnie jestem inicjatorem i głównym autorem zmian na specjalności ISS, które zostaną wdrożone od kolejnego roku akademickiego (2025/2026). Ponadto od początku 2025 zostałem mianowany koordynatorem dydaktyki w Katedrze Automatyki i Robotyki, AGH w Krakowie.

6.5 Szkoły letnie – program NAWA Spinaker

Brałem udział w przygotowaniu materiałów do dwóch szkół letnich w ramach programu NAWA Spinaker:

- 2022 – „Manufacturing of Data Science” – Kurs: „Automated Inspection Using Computer Vision” – Aktywność: przygotowanie wykładu i ćwiczeń laboratoryjnych pt. „Automated Inspection Using Computer Vision”.
- 2023 – „Advanced artificial intelligence technologies in autonomous driving, healthcare and robotics” – Kurs: „Embedded artificial intelligence and neuromorphic cameras in autonomous vehicles” – Aktywność: przygotowanie wykładu pt. „Introduction to embedded AI”.

6.6 Opieka nad kołem naukowym AGH AVADER

Od przełomu 2014/2015 roku jestem opiekunem Studenckiego Koła Naukowego AGH AVADER, które zrzesza studentów zainteresowanych szeroko rozumianymi wbudowanymi systemami percepcji i sterowania, a także dronami autonomicznymi. Organizacja ta stanowi bezpośrednie zaplecze dla prowadzonych przeze mnie i pod moim nadzorem badań Zespołu Wbudowanych Systemów Wizyjnych. Wszyscy obecni Współpracownicy i Doktoranci byli zaangażowanymi Członkami AGH AVADER. W pracach koła stawiam na wysoki poziom naukowy i techniczny prowadzonych prac i projektów.

W trakcie ostatnich 10 lat Członkowie koła odnosili wiele sukcesów – od udziału w konkursach międzynarodowych (por. rozdział 6.2), poprzez wyróżnienia na Konferencjach Kół Naukowych Pionu Hutniczego AGH, po konkursy dronowe: III miejsce – MathWorks MiniDrone Competition 2024 oraz dwukrotnie IV miejsce w międzynarodowym Unmanned Aerial Vehicle Competitions ICUAS 2024 i 2025. Ponadto Członkowie koła byli współautorami wielu publikacji naukowych, w tym także na konferencjach międzynarodowych: SPA, ARC czy

DASIP. Dodatkowo realizowali wiele projektów finansowanych w ramach konkursów: Grant Rektora AGH oraz Grant IDUB.

6.7 Koordynacja umów Erasmus

Obecnie jestem koordynatorem następujących umów w ramach programu Erasmus+:

- Universidade Nova de Lisboa, Portugalia
- Universidade do Porto, Portugalia
- University of Sassari, Włochy
- Brandenburg University of Technology, Niemcy
- Ruhr University Bochum, Niemcy

6.8 Wymiana nauczycieli w ramach programu Erasmus+

Uczestniczyłem w dwóch wymianach nauczycieli w ramach programach Erasmus+:

- 24.11.2019-30.11.2019 - Universidade do Porto, Portugalia – kurs: „Introduction to real-time video processing on heterogeneous computing platforms - Zynq SoC (System on Chip)”
- 09.09.2019-13.09.2019 - Universidade Nova de Lisboa, Portugalia – kurs: „Introduction to real-time video processing on heterogeneous computing platforms - Zynq SoC (System on Chip)”

6.9 Działalność w programie UNESCO AGH

W okresie 01.10.2018 – 28.03.2019 byłem opiekunem projektu pt: „Embedded implementation of selected vision algorithms using heterogeneous Zynq SoC (System on Chip) or embedded GPU devices”.

6.10 Członkostwo w organizacjach naukowych

Tabela 24: Lista członkostw w organizacjach naukowych

Okres	Organizacja, funkcja
od 2023	IEEE Industrial Informatics Society
od 2021	IEEE Robotics and Automation Society
od 2020	IEEE Vehicular Technology Society (Sekretarz w latach 2023-2024)
od 2015	Towarzystwo Przetwarzania Obrazów
od 2014	IEEE Circuits and System Society

6.11 Nagrody i wyróżnienia

Tabela 25: Zestawienie uzyskanych nagród i wyróżnień

Rok	Nazwa wyróżnienia
2022	Medal Komisji Edukacji Narodowej
2020	Medal Brązowy za Długoletnią Służbę
2020	Indywidualna nagroda Rektora AGH I stopnia za osiągnięcia dydaktyczne (za opracowanie szeregu nowych przedmiotów - wykłady, laboratoria)
2018	Zespołowa nagroda Rektora AGH I stopnia za osiągnięcia dydaktyczne (za opracowanie programu nowej specjalności Inteligentne Systemy Sterowania na kierunku Automatyka i Robotyka).
2018	Wyróżnienie za najlepszy demonstrator na międzynarodowej konferencji DASIP - Design & Architectures for Signal & Image Processing 2018 za demo „Embedded vision system for automated drone landing site detection – a demo” autorstwa P. Frączek, A. Mora, T. Kryjak.
2018	Wyróżnienie za najlepszą prezentację w dziedzinie Computer Vision na konferencji ICCVG - International Conference on Computer Vision and Graphics 2018 za artykuł “Embedded vision system for automated drone landing site detection” autorstwa P. Frączek, A. Mora, T. Kryjak.
2016	Wyróżnienie za najlepszą prezentację w dziedzinie Computer Vision na konferencji ICCVG - International Conference on Computer Vision and Graphics 2016 za artykuł „FPGA implementation of the flux tensor moving object detection method” autorstwa Piotr Janus, Kamil Piszczek i Tomasz Kryjak.
2016	Zespołowa nagroda Rektora AGH I stopnia za osiągnięcia organizacyjne (współorganizacja międzynarodowej konferencji DASIP - Design & Architectures for Signal & Image Processing).
2014	Indywidualna nagroda Rektora AGH III stopnia za osiągnięcia naukowe
2014	Wyróżnienie rozprawy doktorskiej w konkursie Młodzi Innowacyjni organizowanym przez Przemysłowy Instytut Automatyki i Pomiarów (PIAP)
2013	Wyróżnienie rozprawy doktorskiej przez Radę Wydziału Elektrotechniki, Automatyki Informatyki i Inżynierii Biomedycznej, Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie
2011	Indywidualna nagroda Rektora AGH III stopnia za osiągnięcia naukowe

6.12 Działalność organizacyjna

Wykaz mojej aktywności organizacyjnej w ramach Rady Wydziału EAIiB oraz Senatu AGH zamieściłem w tabeli 26.

Tabela 26: Wykaz działalności organizacyjnej w AGH w Krakowie

Okres	Pełniona funkcja
2025 –	Koordynator dydaktyki w Katedrze Automatyki i Robotyki AGH
2016 – 2024	Członek Senatu AGH
2016 – 2024	Członek Rozszerzonego Kolegium Wydziału EAIiB, AGH
2020 – 2024	Członek Senackiej Komisji ds. Kształcenia AGH
2016 – 2020	Członek Rady Wydziału EAIiB, AGH
2016 – 2020	Członek Senackiej Komisji ds. Nagród i Oznaczeń AGH
2016 – 2020	Członek Senackiej Komisji ds. Współpracy AGH

6.13 Popularyzacja nauki

Wielokrotny udział w:

- Festiwalu Nauki w Krakowie (reprezentowanie ówczesnego Laboratorium Biocybernetyki Katedry Automatyki w namiocie wydziałowym na Rynku Głównym w Krakowie – demonstratory technologii wizyjnych, w tym z użyciem FPGA)
- Dniach Otwartych AGH (koordynacja udziału studentów z SKN AVADER),
- Małopolskiej Nocy Naukowców (wygłoszenie wykładu nt. bezzałogowych statków powietrznych, koordynacja udziału studentów z SKN AVADER).

7 Oprócz kwestii wymienionych w pkt. 1-6, wnioskodawca może podać inne informacje, ważne z jego punktu widzenia, dotyczące jego kariery zawodowej

7.1 Współpraca z przemysłem

W tabeli 27 zestawilem zrealizowane współprace z partnerami przemysłowymi. Ponadto w ostatnim czasie dość często podejmuję rozmowy nt. współpracy, czy to w kontekście wbudowanych systemów wizyjnych, czy algorytmów dla dronów autonomicznych.

Tabela 27: Wykaz współprac z przemysłem

Okres	Tematyka oraz pełniona funkcja
22.04.2022 – 25.11.2022	Ekspert branżowy uczestniczący w opracowaniu dokumentu „Mapa rozwoju rynku i technologii dla obszaru bezzałogowych statków powietrznych” (ang. Business Technology Roadmap). Opracowanie przygotowane we współpracy z Zespołem innowacji PwC na zlecenie Polskiej Agencji Rozwoju Przedsiębiorczości.
31.03.2019 – 31.10.2019	Projekt: Analiza możliwości wykorzystania technologii SLAM na podstawie informacji wizyjnej do pozycjonowania pojazdu autonomicznego. Firma ABB sp. z o.o., Warszawa/Kraków, Polska. Kierownik projektu.
15.11.2018 – 30.04/2019	Projekt: Analiza możliwości automatyzacji procesu odczytu wyników testów kasetowych oraz testów ELISA (płytkowych testów otworkowych). Implementacja aplikacji w języku C++ z wykorzystaniem biblioteki OpenCV w wersji 4.X automatyzującej proces odczytu wyników testów kasetowych (część A) oraz testów ELISA (testy płytkowe) (część B). Firma: ABERIT, Rzeszów, Polska. Kierownik projektu.
11.09.2017 – 08.08.2018	Projekt: Model urządzenia Wittrak (w FPGA). Firma PCO sp. z o.o, Warszawa, Polska. Kierownik projektu.

7.2 Odbyte staże przemysłowe

W omawianym okresie odbyłem dwa staże przemysłowe:

- 01.11.2014 — 30.04.2015 – Wiedza Praktyka Doświadczenie - klucz do sukcesu w biznesie. Staż w Qumak SA ul. Jerozolimskie 136, 02-305 Warszawa, oddział w Krakowie, ul. Kobierzyńska 2, 30-363 Kraków. Temat: „System wizyjny do detekcji i rozpoznawania obiektów na potrzeby automatyzacji procesu płacenia za produkty gastronomiczne.”
- 30.06.2014 – 01.08.2014 – Staż naukowo-zawodowy w firmie Qumak S.A. Aleje Jerozolimskie 136, 02-305 Warszawa, oddział w Krakowie ul. Kobierzyńska 2, 30-363 Kraków. Zapoznanie się z aplikacją integrującą systemy bezpieczeństwa, analiza analityki obrazu dostępnej w kamerach przemysłowych, wykonanie systemu wizyjnego do detekcji i rozpoznawania obiektów.

7.3 Recenzowanie wniosków grantowych

W ostatnich latach recenzowałem wnioski:

- FNP (Fundacja na Rzecz Nauki Polskiej) – konkurs First Team – ocena czterech wniosków, udział w dwóch panelach 11.03.2024 r. oraz 06.05.2024 r.
- PARP (Polska Agencja Rozwoju Przedsiębiorczości) – konkurs Działanie 1.2 Automatyzacja i robotyzacja w MŚP FEPW – ocena czterech wniosków (udział w czterech panelach – kwartał 2024 oraz ocena poprawionych wniosków).
- PARP (Polska Agencja Rozwoju Przedsiębiorczości) – konkurs Ścieżka SMART nabór nr FENG.01.01 – ocena dziewięciu wniosków, kryteria: „charakter badawczo-rozwojowy” oraz „innowacyjność rezultatu prac B+R”,

Ponadto jestem zarejestrowany jako ekspert NCBiR (Narodowe Centrum Badań i Rozwoju) oraz ERC (*European Research Council* – Europejska Rada ds. Badań Naukowych).

7.4 Ukończone kursy i szkolenia

- 2021 – 2023 – Mistrzowie Dydaktyki, kurs zaawansowany, ścieżka Educational Leadership, prowadzone przez Uniwersytet w Groningen, Holandia
- 2019 – 2020 – Mistrzowie Dydaktyki, Uniwersytet Ghent (Gandawa), Belgia. 100-godzinny kurs dotyczący najnowszych metod stosowanych w szkolnictwie wyższym, w tym elementów tutoring.
- 04.10.2015 – 18.10.2015 – TransFormation.doc – “regular soft-skill course”, Ivey Business School, London, Ontario, Kanada. Dwutygodniowe szkolenie, mające na celu wzmocnienie kompetencji z zakresu przedsiębiorczości, a także umiejętności miękkich niezbędnych do współpracy z przemysłem.

8 Wykaz załączników

- 3a Manuskrypty artykułów wchodzących w skład osiągnięć naukowych ([V01]–[V14] oraz [E01]–[E05]).
- 3b Manuskrypty artykułów związanych tematycznie z osiągnięciami naukowymi ([VS01]–[VS14] oraz [ES01]–[ES11]).
- 4 Wykaz osiągnięć naukowych lub artystycznych.
- 5 Oświadczenia autorów publikacji, zawartych w cyklu, przedstawiające indywidualny wkład każdego z nich w powstanie poszczególnych artykułów
- 6 Opracowanie bibliometryczne dorobku wchodzącego w skład osiągnięć (przygotowane przez Oddział Informacji Naukowej Biblioteki Głównej AGH) na podstawie bazy Scopus.
- 7 Opracowanie bibliometryczne dorobku wchodzącego w skład osiągnięć (przygotowane przez Oddział Informacji Naukowej Biblioteki Głównej AGH) na podstawie bazy Web of Science.
- 8 Opracowanie bibliometryczne całości dorobku (przygotowane przez Oddział Informacji Naukowej Biblioteki Głównej AGH) na podstawie bazy Scopus.
- 9 Opracowanie bibliometryczne całości dorobku (przygotowane przez Oddział Informacji Naukowej Biblioteki Głównej AGH) na podstawie bazy Web of Science.

Bibliografia

- [1] Yusra Alkendi et al. “Neuromorphic Camera Denoising Using Graph Neural Network-Driven Transformers”. In: *IEEE Transactions on Neural Networks and Learning Systems* 35.3 (2024), pp. 4110–4124. DOI: 10.1109/TNNLS.2022.3201830.
- [2] R. Wes Baldwin et al. “Event Probability Mask (EPM) and Event Denoising Convolutional Neural Network (EDnCNN) for Neuromorphic Cameras”. In: *2020 IEEE/CVF Conference on Computer Vision and Pattern Recognition (CVPR)*. 2020, pp. 1698–1707. DOI: 10.1109/CVPR42600.2020.00177.
- [3] Olivier Barnich and Marc Van Droogenbroeck. “ViBE: A powerful random technique to estimate the background in video sequences”. In: *2009 IEEE International Conference on Acoustics, Speech and Signal Processing*. 2009, pp. 945–948. DOI: 10.1109/ICASSP.2009.4959741.
- [4] Yin Bi et al. “Graph-based object classification for neuromorphic vision sensing”. In: *Proceedings of the IEEE/CVF international conference on computer vision*. 2019, pp. 491–501.
- [5] D. Butler, S. Sridharan, and V.M.Jr. Bove. “Real-time adaptive background segmentation”. In: *2003 IEEE International Conference on Acoustics, Speech, and Signal Processing, 2003. Proceedings. (ICASSP '03)*. Vol. 3. 2003, pp. III–349. DOI: 10.1109/ICASSP.2003.1199481.
- [6] Marco Cannici et al. “Asynchronous convolutional networks for object detection in neuromorphic cameras”. In: *Proceedings of the IEEE/CVF Conference on Computer Vision and Pattern Recognition Workshops*. 2019, pp. 0–0.
- [7] John Canny. “A Computational Approach to Edge Detection”. In: *IEEE Transactions on Pattern Analysis and Machine Intelligence* PAMI-8.6 (1986), pp. 679–698. DOI: 10.1109/TPAMI.1986.4767851.
- [8] Alessio Carpegna, Alessandro Savino, and Stefano Di Carlo. “Spiker+: a framework for the generation of efficient Spiking Neural Networks FPGA accelerators for inference at the edge”. In: *IEEE Transactions on Emerging Topics in Computing* 01 (Dec. 2024), pp. 1–15. ISSN: 2168-6750. DOI: 10.1109/TETC.2024.3511676.
- [9] Daniel Czech and Garrick Orchard. “Evaluating noise filtering for event-based asynchronous change detection image sensors”. In: *2016 6th IEEE International Conference on Biomedical Robotics and Biomechatronics (BioRob)*. 2016, pp. 19–24. DOI: 10.1109/BIOROB.2016.7523452.
- [10] N. Dalal and B. Triggs. “Histograms of oriented gradients for human detection”. In: *2005 IEEE Computer Society Conference on Computer Vision and Pattern Recognition (CVPR'05)*. Vol. 1. 2005, 886–893 vol. 1. DOI: 10.1109/CVPR.2005.177.
- [11] Thomas Dalgaty et al. “HUGNet: Hemi-Spherical Update Graph Neural Network applied to low-latency event-based optical flow”. In: *2023 IEEE/CVF Conference on Computer Vision and Pattern Recognition Workshops (CVPRW)*. 2023, pp. 3953–3962. DOI: 10.1109/CVPRW59228.2023.00411.
- [12] Guillermo Gallego. “Recent Papers on Event-based Vision”. In: 2025. URL: https://docs.google.com/spreadsheets/d/1_OBbSz10CkxXNDHQd-Mn-ui30mymMFvm-lW316uvxy8/edit?gid=0#gid=0.
- [13] Guillermo Gallego et al. “Event-based vision: A survey”. In: *IEEE transactions on pattern analysis and machine intelligence* 44.1 (2020), pp. 154–180.
- [14] Yizhao Gao et al. “A Composable Dynamic Sparse Dataflow Architecture for Efficient Event-based Vision Processing on FPGA”. In: *Proceedings of the 2024 ACM/SIGDA International Symposium on Field Programmable Gate Arrays*. 2024, pp. 246–257.
- [15] Marek Gorgoń. *Układy FPGA w rekonfigurowalnych systemach wizyjnych czasu rzeczywistego — FPGA-based real-time reconfigurable vision systems*. Akademicka Oficyna Wydawnicza EXIT, 2013.
- [16] Heiko Hirschmuller. “Stereo Processing by Semiglobal Matching and Mutual Information”. In: *IEEE Transactions on Pattern Analysis and Machine Intelligence* 30.2 (2008), pp. 328–341. DOI: 10.1109/TPAMI.2007.1166.
- [17] Martin Hofmann, Philipp Tiefenbacher, and Gerhard Rigoll. “Background segmentation with feedback: The Pixel-Based Adaptive Segmenter”. In: *2012 IEEE Computer Society Conference on Computer Vision and Pattern Recognition Workshops*. 2012, pp. 38–43. DOI: 10.1109/CVPRW.2012.6238925.
- [18] Berthold K.P. Horn and Brian G. Schunck. “Determining optical flow”. In: *Artificial Intelligence* 17.1 (1981), pp. 185–203. ISSN: 0004-3702. DOI: [https://doi.org/10.1016/0004-3702\(81\)90024-2](https://doi.org/10.1016/0004-3702(81)90024-2). URL: <https://www.sciencedirect.com/science/article/pii/0004370281900242>.
- [19] Yuhuang Hu, Shih-Chii Liu, and Tobi Delbruck. “v2e: From Video Frames to Realistic DVS Events”. In: *2021 IEEE/CVF Conference on Computer Vision and Pattern Recognition Workshops (CVPRW)*. 2021, pp. 1312–1321. DOI: 10.1109/CVPRW53098.2021.00144.

- [20] Glenn Jocher and Jing Qiu. *Ultralytics YOLO11*. Version 11.0.0. 2024. URL: <https://github.com/ultralytics/ultralytics>.
- [21] B. Johnson, S. Thomas, and R.J. Sheeba. “A High-Performance Dense Optical Flow Architecture Based on Red-Black SOR Solver”. In: *Journal of Signal Processing Systems* 92 (2020).
- [22] Alex Krizhevsky, Ilya Sutskever, and Geoffrey E. Hinton. “ImageNet classification with deep convolutional neural networks”. In: *Commun. ACM* 60.6 (May 2017), pp. 84–90. ISSN: 0001-0782. DOI: 10.1145/3065386. URL: <https://doi.org/10.1145/3065386>.
- [23] Yijin Li et al. “Graph-based asynchronous event processing for rapid object recognition”. In: *Proceedings of the IEEE/CVF International Conference on Computer Vision*. 2021, pp. 934–943.
- [24] Bruce D. Lucas and Takeo Kanade. “An iterative image registration technique with an application to stereo vision”. In: *Proceedings of the 7th International Joint Conference on Artificial Intelligence - Volume 2. IJCAI’81*. Vancouver, BC, Canada: Morgan Kaufmann Publishers Inc., 1981, pp. 674–679.
- [25] Misha A. Mahowald and Carver Mead. “The Silicon Retina”. In: *Scientific American* 264.5 (1991), pp. 76–83. ISSN: 00368733, 19467087. URL: <http://www.jstor.org/stable/24936904> (visited on 03/08/2025).
- [26] Shadi Matinizadeh et al. *A Fully-Configurable Open-Source Software-Defined Digital Quantized Spiking Neural Core Architecture*. 2024. arXiv: 2404.02248 [cs.AR]. URL: <https://arxiv.org/abs/2404.02248>.
- [27] Nico Messikommer et al. “Event-based asynchronous sparse convolutional networks”. In: *Computer Vision–ECCV 2020: 16th European Conference, Glasgow, UK, August 23–28, 2020, Proceedings, Part VIII* 16. Springer. 2020, pp. 415–431.
- [28] Garrick Orchard et al. “HFirst: A temporal approach to object recognition”. In: *IEEE transactions on pattern analysis and machine intelligence* 37.10 (2015), pp. 2028–2040.
- [29] Stephen M. Pizer et al. “Adaptive histogram equalization and its variations”. In: *Computer Vision, Graphics, and Image Processing* 39.3 (1987), pp. 355–368. ISSN: 0734-189X. DOI: [https://doi.org/10.1016/S0734-189X\(87\)80186-X](https://doi.org/10.1016/S0734-189X(87)80186-X). URL: <https://www.sciencedirect.com/science/article/pii/S0734189X8780186X>.
- [30] Lars Rafeldt et al. *Event-based Audio Prediction with Spectro-Temporal Event-Graphs*. 2025.
- [31] Nikhila Ravi et al. *SAM 2: Segment Anything in Images and Videos*. 2024. arXiv: 2408.00714 [cs.CV]. URL: <https://arxiv.org/abs/2408.00714>.
- [32] Ethan Rublee et al. “ORB: An efficient alternative to SIFT or SURF”. In: *2011 International Conference on Computer Vision*. 2011, pp. 2564–2571. DOI: 10.1109/ICCV.2011.6126544.
- [33] J. Sauvola and M. Pietikäinen. “Adaptive document image binarization”. In: *Pattern Recognition* 33.2 (2000), pp. 225–236. ISSN: 0031-3203. DOI: [https://doi.org/10.1016/S0031-3203\(99\)00055-2](https://doi.org/10.1016/S0031-3203(99)00055-2). URL: <https://www.sciencedirect.com/science/article/pii/S0031320399000552>.
- [34] Simon Schaefer, Daniel Gehrig, and Davide Scaramuzza. “AEGNN: Asynchronous Event-Based Graph Neural Networks”. In: *Proceedings of the IEEE/CVF Conference on Computer Vision and Pattern Recognition (CVPR)*. June 2022, 12371–12381. DOI: 10.1109/CVPR52688.2022.01205.
- [35] Waseem Shariff et al. “Event Cameras in Automotive Sensing: A Review”. In: *IEEE Access* 12 (2024), pp. 51275–51306. DOI: 10.1109/ACCESS.2024.3386032.
- [36] Amos Sironi et al. “HATS: Histograms of averaged time surfaces for robust event-based object classification”. In: *Proceedings of the IEEE conference on computer vision and pattern recognition*. 2018, pp. 1731–1740.
- [37] C. Stauffer and W.E.L. Grimson. “Adaptive background mixture models for real-time tracking”. In: *Proceedings. 1999 IEEE Computer Society Conference on Computer Vision and Pattern Recognition (Cat. No PR00149)*. Vol. 2. 1999, 246–252 Vol. 2. DOI: 10.1109/CVPR.1999.784637.
- [38] Yufeng Yang, Adrian Kneip, and Charlotte Frenkel. “EvGNN: An Event-Driven Graph Neural Network Accelerator for Edge Vision”. In: *IEEE Transactions on Circuits and Systems for Artificial Intelligence* 2.1 (2025), pp. 37–50. DOI: 10.1109/TCASAI.2024.3520905.
- [39] Yufeng Yang, Adrian Kneip, and Charlotte Frenkel. “EvGNN: An Event-driven Graph Neural Network Accelerator for Edge Vision”. In: *arXiv preprint arXiv:1503.02531* (2024).



Signed by /
Podpisano przez:
Tomasz Piotr Kryjak
Date / Data: 2025-
08-31 20:55