

Abstract

Modern pixel radiation detectors face a persistent readout bottleneck: as pixel counts and event rates increase, conventional frame-based and polling-based schemes waste bandwidth, induce latency, and can bias acquisition due to fixed priorities. This dissertation addressed the problem by proposing, implementing, and validating a new event-driven readout architecture that combined in-situ signal processing with asynchronous, non-priority arbitration to deliver low latency, optimized throughput, and fair data transfer from large pixel matrices. The central hypothesis stated that the novel readout architecture features near-ideal event-driven operation and asynchronous arbitration logic with non-priority access, implemented as a tree of RS-latch-based arbiters, will provide significant improvements for high-density pixel radiation detectors by achieving higher throughput, lower latency, and demonstrably fairer event handling compared to traditional frame-based, polling-based, and priority-encoded readout architectures, thus enabling a new generation of pixel detectors.

The proposed system, named **EDWARD** (Event Driven With Access and Reset Decoder), initiates data movement only when a meaningful event occurs in a pixel. EDWARD employs request/acknowledge handshakes, a non-priority tree of RS-latch-based arbiters, and a multi-phase transaction that can transmit address, timestamp, amplitude, and other data without collisions. In contrast to prior-art Address Event Representation (AER) and snapshot-based Address-Encoder and Reset-Decoder (AERD) schemes, EDWARD guarantees transactional completion and fairness through arbiters with memory elements and does not require periodic snapshot strobes. This eliminates the dead time and the risks of stuck handshakes and priority bias while preserving sparse, event-only traffic.

One of the key architectural contributions lie in the bridge between asynchronous pixels and synchronous data acquisition: acknowledge signal is generated in a form of a *tokens* in the periphery, aligned to a serializer clock, and routed by the arbitration tree only toward active requesting channels (pixels). Each acknowledge edge advances a pixel's local multi-phase readout; when a transaction finishes, the token is immediately eligible for reuse. This design preserves the benefits of asynchronous, self-timed logic inside the matrix while exposing a clean, clocked interface at the output.

Two silicon prototypes were realized and tested to validate the concept. The **3FI65P1** chip integrated a 32×32 matrix (100 μm pitch) with a complete analog front end for spectroscopic imaging (X-ray fluorescence), asynchronous EDWARD logic, configuration/testability, and high-speed serialization. The author implemented the asynchronous digital logic and the configuration-testability-readout (CTR) platform. The analog front end and periphery were developed in collaboration with the Brookhaven National Laboratory (BNL) ASIC Team.

The mixed-signal 3FI65P1 prototype demonstrates EDWARD in practical detector modes. A single pixel (throughput-optimized) mode transmits the addressed pixel's amplitude; a charge sharing compensation (energy-optimized) mode performs a nine-phase readout, including data from neighbor pixels, that preserves bus ownership across phases, verified by one-to-one correlation between the analog sample-and-hold waveform and the serialized address stream. These experiments confirmed correct multi-phase handshaking and bus exclusivity with no spurious samples. In preliminary synchrotron tests at NSLS-II (beamline 17-BM), 3FI65P1 delivered 138 eV FWHM at Ca $K\alpha$ and 308 eV FWHM at Cu $K\alpha$ over a 2.5–20 keV window, demonstrating that the in-situ processing plus event-driven readout met spectroscopic targets in a high-background environment.

The **EDWARD65P1** chip, a digital-only derivative with identical arbitration/serialization but in-pixel programmable event generators, enables controlled, matrix-wide stress tests to quantify latency, throughput, fairness, and token reuse behavior independently of analog effects. The validation employed a combination of simulation (digital and mixed-signal), queuing model analysis, and measurements on fabricated ASICs. An M/G/1/N queuing model captured arrival and service statistics in the serialized output path and guided the interpretation of latency and pile-up under increasing load. In EDWARD65P1 simulations and measurements, the in-pixel Poisson generator reproduced the expected exponential inter-arrival distribution with high fidelity (e.g., measured $\lambda = 15,062.6 \text{ s}^{-1}$ versus a theoretical rate of $15,070.4 \text{ s}^{-1}$), confirming a realistic traffic source for matrix testing.

Performance results supported the hypothesis. Under moderate load, the architecture achieved sub-microsecond average access times while avoiding the matrix-size latency growth typically associated with prioritized or scanned designs. Throughput approached the theoretical acknowledge frequency ceiling, on the order of 10–17 MHz, depending on the serializer speed, because only active pixels engaged the bus, and token reuse eliminated enforced idle cycles. Measured saturation in EDWARD65P1 occurred near the 10 MHz acknowledge limit, in line with the analysis. Arbitration remained uniform and starvation-free across the matrix, with no spatial bias even for bursty Poisson traffic.

Across studies, EDWARD reduced redundant transfers relative to frame readout, avoided polling latency, and minimized dynamic power by remaining quiescent in the absence of events – features especially valuable for sensitive analog front ends. Fair, non-priority arbitration eliminated deterministic bias and protected data integrity without combinational conflicts. Together, these traits improved time resolution, reduced pile-up, and enabled larger arrays or higher frame-equivalent rates without requiring additional Input/Output ports.

Original contributions include: (i) the EDWARD architecture – a fully asynchronous, non-priority, event-driven pixel readout with RS-latch-based arbiters and multi-phase transactions; (ii) tight integration of in-situ signal processing with event-triggered digital transport; (iii) practical asynchronous-to-synchronous interfacing (tokenized acknowledge and serializer alignment) within standard flows; (iv) hardware prototyping in 65 nm CMOS (3FI65P1 and EDWARD65P1) with empirical evidence of fairness, latency, and bandwidth gains; and (v) a modular platform for configuration, testability, and readout control.

The work also documents practical design compromises. Asynchronous arbiters were integrated into an otherwise conventional RTL-to-GDSII flow by introducing custom cells, excluding them from static timing

analysis, and relying on focused verification and mixed-mode simulation to ensure glitch-free operation. These accommodations do not pose fundamental barriers to scaling or porting to advanced nodes.

Finally, the dissertation outlines scalability paths, including hierarchical trees, subarray partitioning, and multi-bus topologies, to reduce worst-case propagation and enable parallel outputs for large matrices. These options trade silicon area for reduced arbitration depth and higher aggregate bandwidth, offering design freedom for detector-specific constraints.

In summary, by re-examining the fundamental principles of pixel readout and demonstrating a fair, asynchronous, event-triggered alternative in silicon, this work advances the state of the art in radiation detector instrumentation. The demonstrated gains in latency, throughput, and energy efficiency, together with robust asynchronous-to-synchronous interfacing, make the approach attractive for next-generation X-ray imaging, particle tracking at high-luminosity colliders, and other experiments that demand fast, unbiased, and bandwidth-efficient detection.

Streszczenie

Nowoczesne pikselowe detektory promieniowania zmagają się z utrzymującym się wąskim gardłem odczytu: wraz ze wzrostem liczby pikseli i częstości zdarzeń konwencjonalne schematy oparte na odczycie ramkowym i sondowaniu marnują pasmo, wprowadzają opóźnienia i mogą powodować stroniczość akwizycji z powodu stałych priorytetów. Niniejsza rozprawa rozwiązała ten problem poprzez zaproponowanie, implementację i weryfikację nowej, zdarzeniowej architektury odczytu, łączącej przetwarzanie sygnału in-situ z asynchronicznym, nie priorytetowym arbitrażem w celu zapewnienia niskich opóźnień, zoptymalizowanej przepustowości oraz sprawiedliwego transferu danych z dużych matryc pikseli. Główna hipoteza zakładała, że nowa architektura odczytu, charakteryzująca się niemal idealną pracą zdarzeniową oraz asynchroniczną logiką arbitrażu z dostępem bez priorytetów, zaimplementowaną jako drzewo arbitrażu opartych na zatrząskach RS, zapewni istotną poprawę dla gęstych detektorów pikselowych promieniowania, osiągając wyższą przepustowość, niższe opóźnienia i wykazalnie sprawiedliwszą obsługę zdarzeń w porównaniu z tradycyjnymi architekturami odczytu ramkowymi, opartymi na sondowaniu i z kodowaniem priorytetów, umożliwiając tym samym nową generację detektorów pikselowych.

Proponowany system, nazwany **EDWARD** (ang. Event Driven With Access and Reset Decoder), inicjuje przepływ danych tylko wtedy, gdy w pikselu wystąpi istotne zdarzenie. EDWARD wykorzystuje uzgodnienia (ang. handshakes) typu żądanie/potwierdzenie, nie priorytetowe drzewo arbitrażu opartych na zatrząskach RS oraz wielofazową transakcję, która może przekazywać adres, znacznik czasu, amplitudę i inne dane bez kolizji. W przeciwieństwie do Address Event Representation (AER) i migawkowych schematów Address-Encoder and Reset-Decoder (AERD) znanych z literatury, EDWARD gwarantuje domknięcie transakcyjne i sprawiedliwość dzięki arbitrom z elementami pamięci i nie wymaga okresowych sygnałów strobuujących. Eliminuje to martwy czas oraz ryzyko zawieszających się uzgodnień i uprzedzeń priorytetowych, przy jednoczesnym zachowaniu rzadkiego, wyłącznie zdarzeniowego ruchu.

Jednym z kluczowych wkładów architektonicznych jest pomost między asynchronicznymi pikselami a synchroniczną akwizycją danych: sygnał potwierdzenia jest generowany w peryferiach w postaci *żetonów* (ang. token), zsynchronizowanych do zegara serializera i kierowanych przez drzewo arbitrażu jedynie do aktywnie żądających kanałów (pikseli). Każde zbocze potwierdzenia przesuwają lokalny, wielofazowy odczyt piksela; gdy transakcja się kończy, żeton jest natychmiast gotów do ponownego użycia. Ten projekt zachowuje zalety asynchronicznej, samotaktującej się logiki wewnątrz matrycy, jednocześnie udostępniając czysty, zegarowy interfejs na wyjściu.

Zrealizowano i przetestowano dwa prototypy wykonane w technologii krzemowej w celu weryfikacji koncepcji. Układ **3FI65P1** integrował matrycę 32×32 (rozstaw $100 \mu\text{m}$) z kompletnym anal-

ogowym torem wejściowym (ang. analog front-end) do obrazowania spektroskopowego (fluorescencja rentgenowska), asynchroniczną logiką EDWARD, mechanizmami konfiguracji/testowalności oraz szybką konwersję równoległo-szeregową (ang. high-speed serialization). Autor zaimplementował asynchroniczną logikę cyfrową oraz platformę konfiguracji–testowalności–odczytu (CTR). Analogowy tor wejściowy i peryferia opracowano we współpracy z zespołem ASIC Brookhaven National Laboratory (BNL).

Prototyp mieszany 3FI65P1 demonstruje EDWARD w praktycznych trybach pracy detektora. Tryb pojedynczego piksela (zoptymalizowany pod kątem przepustowości) przesyła amplitudę adresowanego piksela; tryb kompensacji dzielenia ładunku (zoptymalizowany pod kątem energii) realizuje dziewięciofazowy odczyt, obejmujący dane z pikseli sąsiednich, który utrzymuje własność magistrali między fazami, co zweryfikowano poprzez korelację jeden-do-jeden między analogowym przebiegiem z układu próbkującego a strumieniem danych w postaci adresów. Eksperymenty te potwierdziły poprawny wielofazowe uzgodnienia i wyłączność magistrali bez fałszywych próbek. We wstępnych testach na synchrotronie NSLS-II (linia 17-BM) 3FI65P1 osiągnął 138 eV FWHM dla Ca $K\alpha$ oraz 308 eV FWHM dla Cu $K\alpha$ w oknie 2.5–20 keV, pokazując, że przetwarzanie in-situ wraz ze zdarzeniowym odczytem spełniły cele spektroskopowe w środowisku o wysokim tle.

Układ **EDWARD65P1**, cyfrowa pochodna z identycznym arbitrażem/konwersją równoległo-szeregową, lecz z programowalnymi w pikselu generatorami zdarzeń, umożliwia kontrolowane, obejmujące całą macierzę testy przeciążeniowe w celu ilościowego określenia opóźnień, przepustowości, sprawiedliwości i zachowania ponownego użycia żetonów, niezależnie od efektów analogowych. Walidacja wykorzystywała kombinację symulacji (cyfrowych i mieszanych), analizy modelu kolejkowego oraz pomiarów na wytworzonych układach ASIC. Model kolejkowy M/G/1/N opisywał statystyki przyjsć i obsługi w ścieżce wyjściowej i kierował interpretacją opóźnień oraz nakładania się zdarzeń (ang. pile-up) przy rosnącym obciążeniu. W symulacjach i pomiarach EDWARD65P1, generator Poissona w pikselu odtworzył oczekiwany wykładniczy rozkład czasów międzyprzyjsćiowych z wysoką wiernością (np. zmierzone $\lambda = 15062, 6 \text{ s}^{-1}$ wobec teoretycznej wartości $15070, 4 \text{ s}^{-1}$), potwierdzając realistyczne źródło ruchu do testowania maczyzy.

Wyniki wydajnościowe potwierdziły hipotezę. Przy umiarkowanym obciążeniu architektura osiągała średnie czasy dostępu poniżej mikrosekundy, unikając wzrostu opóźnień zależnego od rozmiaru maczyzy, typowego dla konstrukcji z priorytetami lub skanowaniem. Przepustowość zbliżała się do teoretycznego pułapu częstotliwości potwierdzeń, rzędu 10–17 MHz, w zależności od szybkości konwersji równoległo-szeregowej, ponieważ tylko aktywne piksele zajmowały magistralę, a ponowne użycie żetonów eliminowało wymuszone cykle bezczynności. Zmierzona saturacja w EDWARD65P1 wystąpiła w pobliżu limitu potwierdzeń 10 MHz, zgodnie z analizą. Arbitraż pozostawał jednolity i wolny od zagłodzenia w całej maczyzy, bez przestrzennej stronniczości, nawet dla impulsowego charakteru procesu Poissona.

W przekroju badań EDWARD redukował redundantne transfery względem odczytu ramkowego, unikał opóźnień sondowania i minimalizował moc dynamiczną, pozostając w stanie spoczynku przy braku zdarzeń – cechy szczególnie cenne dla czułych analogowych front-endów. Sprawiedliwy, nie priorytetowy arbitraż eliminował deterministyczną stronniczość i chronił integralność danych bez konfliktów kombinacyjnych. Łącznie cechy te poprawiały rozdzielczość czasową, redukowały pile-up i umożliwiały większe maczyzy

lub wyższe równoważne częstotliwości ramkowe bez konieczności dodawania dodatkowych portów wejścia/wyjścia.

Oryginalny wkład pracy obejmuje: (i) architekturę EDWARD – w pełni asynchroniczny, nie priorytetowy, zdarzeniowy odczyt pikseli z arbitrami opartymi na zatraskach RS i transakcjami wielofazowymi; (ii) ścisłą integrację przetwarzania in-situ sygnałów z wyzwalanym zdarzeniami odczytem cyfrowym; (iii) praktyczne łączenie asynchroniczno-synchroniczne (tokenizowane potwierdzenie i wyrównanie do serializera) w standardowych ścieżkach projektowania; (iv) prototypowy sprzęt w technologii 65 nm CMOS (3FI65P1 i EDWARD65P1) z empirycznymi dowodami zysków w zakresie sprawiedliwości, opóźnień i przepustowości; oraz (v) modułową platformę konfiguracji, testowalności i sterowania odczytem.

Praca dokumentuje również praktyczne kompromisy projektowe. Asynchroniczne arbitry włączono do inaczej konwencjonalnego przepływu RTL-do-GDSII poprzez wprowadzenie komórek niestandardowych, wyłączenie ich ze statycznej analizy czasowej oraz oparcie się na ukierunkowanej weryfikacji i symulacji trybu mieszanego w celu zapewnienia pracy wolnej od zakłóceń. Te dostosowania nie stanowią zasadniczych przeszkód dla skalowania ani przenoszenia do zaawansowanych technologii.

Wreszcie, rozprawa zarysowuje ścieżki skalowalności, w tym drzewa hierarchiczne, tworzenie podmacierzy i topologie wielomagistralowe, w celu ograniczenia najgorszego przypadku propagacji i umożliwienia równoległych wyjść dla dużych matryc. Opcje te wymieniają powierzchnię układu krzemowego na mniejszą głębokość arbitrażu i większą łączną przepustowość, oferując swobodę projektową przy specyficznych ograniczeniach detektora.

Podsumowując, ponowne przeanalizowanie podstawowych zasad odczytu pikseli i demonstracja w technologii krzemowej sprawiedliwej, asynchronicznej alternatywy wyzwalanej zdarzeniami dla odczytu przesuwa stan techniki w instrumentacji detektorów promieniowania. Wykazane zyski w zakresie opóźnień, przepustowości i efektywności energetycznej, wraz z odpornym łączeniem asynchroniczno-synchronicznym, czynią to podejście atrakcyjnym dla następnej generacji obrazowania rentgenowskiego, śledzenia cząstek w zderzaczach o wysokiej świetlności oraz innych eksperymentów wymagających szybkiej, bezstronnej i zoptymalizowanej pod kątem przepustowości detekcji.