



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

DZIEDZINA NAUK INŻYNIERYJNO-TECHNICZNYCH

DYSCYPLINA AUTOMATYKA, ELEKTRONIKA, ELEKTROTECHNIKA I
TECHNOLOGIE KOSMICZNE

AUTOREFERAT ROZPRAWY DOKTORSKIEJ

**Pixel Radiation Detectors with in-situ Signal Processing, and
Event-Triggered, Throughput-Optimized Readout Methods**

(Pikselowe detektory promieniowania z in-situ przetwarzaniem sygnałów, i
z wyzwalanymi zdarzeniami, zoptymalizowanymi pod kątem
przepustowości sposobami odczytu)

Autor: mgr inż. Dominik Górni

Promotor rozprawy: prof. dr hab. inż. Grzegorz Deptuch

Praca wykonana: AGH Akademia Górniczo-Hutnicza, Wydział Elektrotechniki,
Automatyki, Informatyki i Inżynierii Biomedycznej

Kraków, 2025

Streszczenie

Nowoczesne detektory pikselowe coraz częściej ogranicza wąskie gardło odczytu: wraz ze wzrostem liczby pikseli i częstości zdarzeń schematy oparte na odczycie ramkowym i sondowaniu marnują pasmo, wprowadzają opóźnienia i mogą powodować stroniczość akwizycji z powodu stałych priorytetów. Rozprawa doktorska rozwiązuje ten problem poprzez zaproponowanie i zweryfikowanie zdarzeniowej architektury odczytu łączącej przetwarzanie sygnału in-situ z asynchronicznym, bezpriorytetowym arbitrażem, zapewniającą niskie opóźnienia, wysoką przepustowość i sprawiedliwy transfer danych z dużych matryc.

Proponowany system, nazwany **EDWARD** (ang. Event Driven With Access and Reset Decoder), inicjuje transmisję tylko po wystąpieniu istotnego zdarzenia w pikselu. Wykorzystuje uzgodnienia (ang. handshakes) typu żądanie/potwierdzenie, drzewo arbitrów opartych na zatrząskach RS oraz wielofazowe transakcje przenoszące m.in. adres jak i parametry zdarzenia bez kolizji. W odróżnieniu od dotychczasowych rozwiązań znanych z literatury, EDWARD zapewnia domknięcie transakcji dzięki elementom pamięci w arbitrach i nie wymaga okresowych sygnałów strobuujących. Jednym z kluczowych elementów jest pomost asynchroniczno-synchroniczny: potwierdzenia są generowane w peryferiach w postaci *żetonów* (ang. token), zsynchronizowane z zegarem serializera i kierowane wyłącznie do aktywnie żądających pikseli. Każde potwierdzenie przesuwaa lokalny odczyt do następnej fazy, a po zakończeniu transakcji żeton jest natychmiast gotów do ponownego użycia.

Koncepcja zaprezentowana w rozprawie została zweryfikowana na dwóch prototypach wykonanych w technologii krzemowej CMOS 65 nm: 3FI65P1 (matryca 32×32 pikseli o rozstawie 100 μm z analogowym torem wejściowym (ang. analog front-end) do obrazowania spektroskopowego (fluorescencja rentgenowska) oraz odczytem EDWARD) oraz EDWARD65P1 (w pełni cyfrowa pochodna poprzedniego układu lecz z programowalnymi generatorami zdarzeń do testów przeciążeniowych). 3FI65P1 potwierdził poprawność wielofazowych transakcji i bezkolizyjność. We wstępnych testach na synchrotronie NSLS-II osiągnięto 138 eV FWHM dla Ca K α oraz 308 eV FWHM dla Cu K α w zakresie 2.5–20 keV. EDWARD65P1 umożliwił ilościową ocenę opóźnień, przepustowości i sprawiedliwości arbitrażu z użyciem symulacji, pomiarów i analizy kolejkowej. Zaimplementowany generator Poissona odtwarza rozkład wykładniczy z wysoką zgodnością. Architektura osiąga średnie czasy dostępu poniżej mikrosekundy, przepustowość zbliżoną do pułapu 10–17 MHz (zależnie od szybkości serializacji) oraz jednolity, bezzagłodziowy arbitraż bez przestrzennej stroniczości.

Spis treści

1	Wstęp	1
1.1	Motywacja	1
1.2	Teza pracy i cele szczegółowe	2
2	Struktura pracy	5
3	Charakterystyka pracy i przyjęte metody badawcze	9
4	Opis oryginalnych osiągnięć i wyników	11
4.1	Oryginalne osiągnięcia	11
4.2	Najważniejsze wyniki	12
4.2.1	Wyniki symulacji analogowych dla zależności czasowych	13
4.2.2	Tryby odczytu i testy na synchrotronie	14
4.2.3	Wyniki symulacji cyfrowych – zależność od częstości zdarzeń	15
4.2.4	Zmierzona charakterystyka generatora	19
5	Podsumowanie	23
6	Wykaz ważniejszych publikacji i aktywność konferencyjna	25
6.1	Artykuły w czasopismach naukowych	25
6.2	Patenty	26
6.3	Aktywność konferencyjna	27
	Bibliografia	29

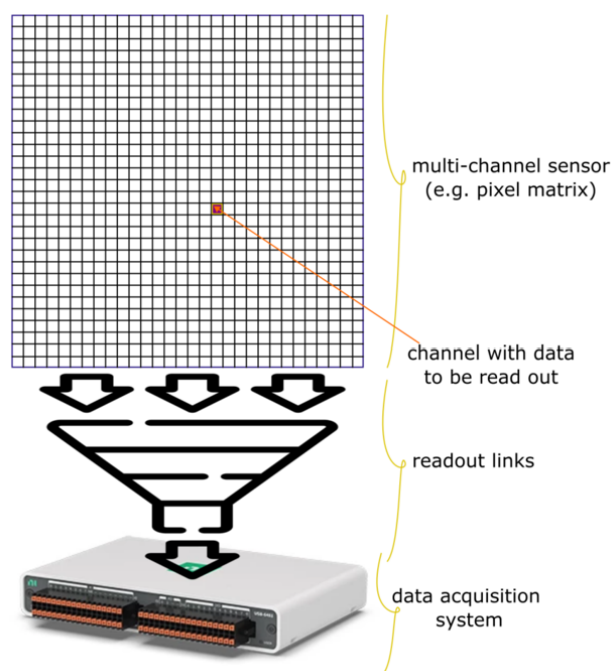
Rozdział 1

Wstęp

1.1 Motywacja

Współczesne detektory pikselowe osiągają coraz większe rozmiary matryc (rzędu milionów pikseli), co powoduje lawinowy wzrost ilości danych generowanych w jednostce czasu [1]. Tradycyjne tory odczytowe zaczynają nie nadążać za takimi strumieniami informacji [2]: ich złożoność i pobór energii rosną, a odczyt danych obarczony jest rosnącymi opóźnieniami. Uproszczony schemat struktury odczytu detektora pikselowego przedstawiono na Rysunku 1.1. Przy wysokiej częstotliwości zdarzeń (np. w eksperymentach fizyki wysokich energii lub zaawansowanej tomografii) standardowe podejścia – odczyt ramkowy (klatka po klatce) [3] lub sekwencyjne odpytywanie pikseli [4] – prowadzą do marnowania pasma na nieaktywne piksele, niezawierające użytecznej informacji, oraz utraty precyzji czasowej. Pojedyncze ramki obrazu nie są w stanie zarejestrować bardzo szybkich, spontanicznych zdarzeń, co skutkuje niekiedy zniekształceniami obrazu i utratą istotnych danych. Aktualnie prowadzone są intensywne prace nad nowymi metodami efektywnej transmisji danych, które pozwoliłyby wyeliminować powyższe ograniczenia [5]. Jedną z obiecujących koncepcji jest odczyt wyzwalany zdarzeniami – podejście inspirowane systemami neuromorficznymi [6], w którym każdy piksel sam sygnalizuje potrzebę odczytu dopiero po zarejestrowaniu istotnego sygnału. Taki system działa asynchronicznie i dynamicznie przydziela zasoby tylko tam, gdzie zachodzi zdarzenie, minimalizując bezczynne skanowanie matrycy, opóźnienia oraz zużycie energii. Kluczowym wyzwaniem staje się wówczas arbitraż, czyli rozstrzygnięcie konfliktów, gdy wiele pikseli jednocześnie zażąda odczytu. Dotychczas rozwiązanie to realizowano za pomocą koderów priorytetowych [7], które jednak na stałe faworyzują wybrane piksele i prowadzą do niesprawiedliwej, nierównomiernej akwizycji danych. Stałe priorytety mogą skutkować pomijaniem zdarzeń w mniej uprzywilejowanych pikselach oraz koniecznością wprowadzenia sztucznych przerw (tzw. migawkowe odczyty) w celu uniknięcia kolizji, co ogranicza efektywność systemu. W rozprawie doktorskiej podejmuję ten aktualny problem i proponuję rozwiązanie w postaci bezpriorytetowego, zdarzeniowego systemu odczytu o architekturze asynchronicznej. We wstępie pracy przedstawiono szerokie tło zagadnienia, obejmujące przegląd konstrukcji detektorów pikselowych oraz klasycznych metod odczytu wraz z ich ograniczeniami. Przy tym powołałem się na dostępną literaturę dotyczącą zarówno podstaw detekcji promieniowania, jak i najnowszych rozwiązań elektroniki odczytowej. Na tym tle zidentyfikowano lukę badawczą i uzasadniono potrzebę opracowania nowej architektury odczytu danych,

której schemat blokowy pokazano na Rysunku 1.2, mogącej sprostać rosnącym wymaganiom stawianym nowej generacji detektorów.



Rysunek 1.1: Uproszczony schemat struktury odczytu detektora pikselowego.

1.2 Teza pracy i cele szczegółowe

W oparciu o analizę stanu wiedzy postawiłem pięć kluczowych pytań badawczych (PB):

- PB1:** Czy możliwe jest opracowanie asynchronicznej logiki arbitrażowej z dostępem bez priorytetów, aby skutecznie wyeliminować ograniczenia tradycyjnych metod odczytu opartych na odczycie ramkowym, odpytywaniu i kodowaniu priorytetów, a także niedoskonałości Address-Event Representation (AER) w detektorach promieniowania o wysokim zagęszczeniu pikseli?
- PB2:** Czy możliwe jest opracowanie niemal idealnej architektury odczytu wyzwalanej zdarzeniami przy użyciu standardowych procesów projektowych i standardowych narzędzi projektowania wspomagającego komputerowo (ang. Computer-Aided Design (CAD)) / automatyzacji projektowania elektronicznego (ang. Electronic Design Automation (EDA)), a jeśli tak, to jakie są konieczne kroki i kompromisy?
- PB3:** Jak dobra jest proponowana architektura w zapewnianiu sprawiedliwego i wydajnego przetwarzania równoczesnych, asynchronicznych żądań odczytu z dużej matrycy pikseli, która eliminuje konieczność przypisania priorytetów do pikseli i minimalizuje ryzyko zakłócenia danych powiązanego z kombinacyjnymi koderami priorytetowymi?

- PB4:** Jakie mechanizmy można wprowadzić w proponowanej architekturze, aby ułatwić połączenie między z natury asynchronicznymi sygnałami wejściowymi a typowo synchronicznymi systemami akwizycji danych oraz jak praktyczne mogą być te mechanizmy?
- PB5:** Jakie są zalety nowej architektury pod względem wydajności energetycznej, opóźnienia odczytu, przepustowości danych i sprawiedliwości arbitrażu w porównaniu ze znanymi tradycyjnymi i konkurencyjnymi architekturami odczytu i w jaki sposób zalety te przekładają się na poprawę wydajności systemów detektorów pikselowych promieniowania?

W oparciu o te pytania badawcze, zaproponowałem główną hipotezę rozprawy:

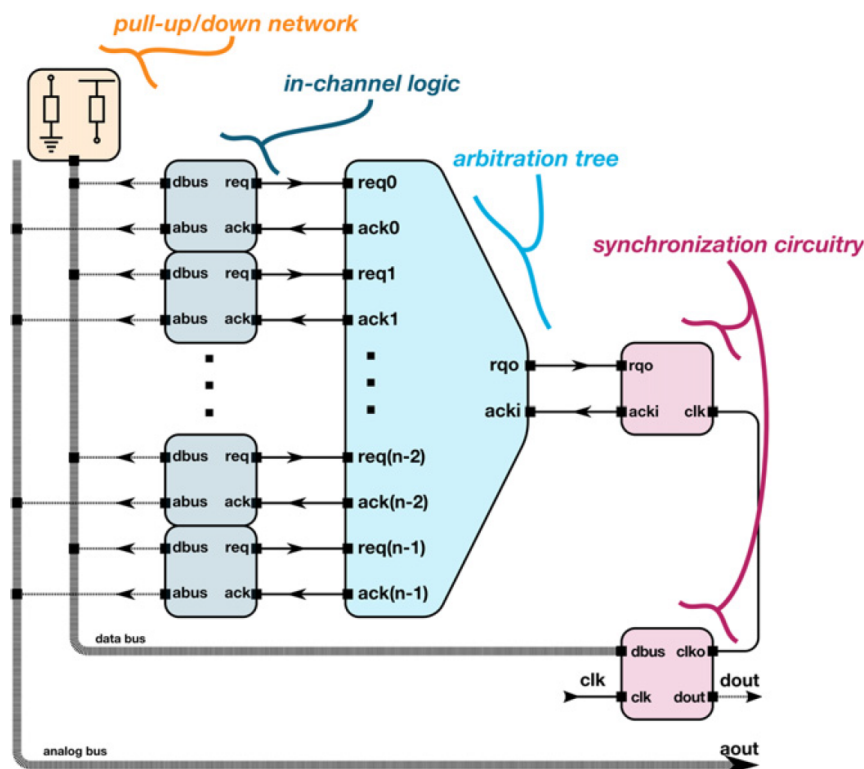
Nowatorska architektura odczytu charakteryzująca się niemal idealnym działaniem sterowanym zdarzeniami i asynchroniczną logiką arbitrażu z dostępem bez priorytetów, zaimplementowana jako drzewo układów arbitrażowych opartych na zatraskach RS, zapewni znaczną poprawę w zakresie detektorów promieniowania pikselowego o wysokiej gęstości poprzez osiągnięcie wyższej przepustowości, mniejszego opóźnienia i wyraźnie bardziej sprawiedliwego przetwarzania zdarzeń w porównaniu z tradycyjnymi architekturami odczytu opartymi na ramkach, opartych na odpytywaniu i kodowanych priorytetowo, umożliwiając w ten sposób powstanie nowej generacji detektorów pikselowych.

Aby zweryfikować powyższą hipotezę, wyznaczono następujące cele badawcze:

- C1: Szczegółowy projekt koncepcyjny i analiza teoretyczna proponowanej architektury:** Opracowanie kompleksowego projektu koncepcyjnego nowatorskiej architektury, koncentrującego się na jej działaniu opartym na zdarzeniach oraz asynchronicznym mechanizmie arbitrażu bez priorytetów. Cel obejmuje analizę teoretyczną oczekiwanej wydajności oraz podstawowe założenia projektowe, które odróżnią ją od tradycyjnych metod, takich jak metody oparte na odczycie ramkowym lub kodowaniu priorytetów.
- C2: Wdrożenie arbitrażu bez priorytetów z wykorzystaniem asynchronicznych bloków logicznych:** Wdrożenie podstawowej logiki arbitrażu przy użyciu technik projektowania asynchronicznego zgodnych ze standardowymi procesami projektowymi i narzędziami CAD/EDA, w szczególności z wykorzystaniem arbitrażu opartych na zatraskach RS w strukturze drzewa binarnego, przy jednoczesnym uwzględnieniu niezawodności, możliwych stanów metastabilnych i praktycznych kompromisów projektowych.
- C3: Kompleksowa ocena wydajności poprzez symulację i walidację eksperymentalną:** Ilościowe określenie sprawiedliwości arbitrażu, przepustowości i opóźnień proponowanej architektury w realistycznym i najgorszym scenariuszu poprzez szczegółowe symulacyjne i eksperymentalne testy wyprodukowanego specjalizowanego układu scalonego (ang. Application-Specific Integrated Circuit (ASIC)).
- C4: Realizacja sprzętowa i prototypowanie układu ASIC:** Realizacja proponowanej architektury w sprzęcie poprzez stworzenie prototypu układu ASIC w procesie Complementary Metal-Oxide-Semiconductor (CMOS) 65 nm, demonstrującego praktyczne mechanizmy synchronizacji, przecho-

dzenia domen zegarowych i konwersji równoległo-szeregowej danych między asynchroniczną logiką pikseli a synchronicznymi zewnętrznymi systemami akwizycji.

C5: Porównawcze testy wydajności i analiza: Przeprowadzenie testów wydajnościowych w zakresie efektywności energetycznej, opóźnień, integralności danych i przepustowości proponowanej architektury w porównaniu z typowymi architekturami opartymi na odczycie ramkowym i odpytywaniu, z wykorzystaniem zarówno danych symulacyjnych, jak i eksperymentalnych – wykazanie rzeczywistych korzyści płynących z zastosowania podejścia EDWARD (Event-Driven With Access and Reset Decoder).



Rysunek 1.2: Diagram blokowy architektury EDWARD [8].

Rozdział 2

Struktura pracy

Rozprawa doktorska składa się z sześciu rozdziałów. Poniżej przedstawiono skrócony opis zawartości poszczególnych rozdziałów:

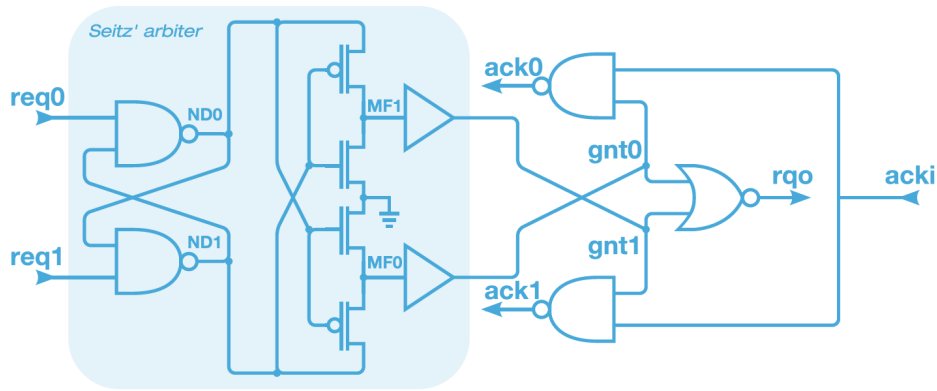
1. **Rozdział 1 – Wprowadzenie:** Zawiera ogólną charakterystykę dziedziny i uzasadnienie podjęcia tematu. Omówiono w nim znaczenie rozwijanych detektorów pikselowych oraz rosnące wymagania co do efektywności ich odczytu w świetle współczesnych zastosowań (m.in. eksperymentów naukowych i systemów bezpieczeństwa). Przedstawiono też przegląd standardowych architektur odczytu (ramkowe, poprzez odpytywanie np. token-ring/daisy-chain) wraz z ich ograniczeniami skalowania. Na tej podstawie sformułowano cele rozprawy i postawiono hipotezę badawczą, której weryfikacji poświęcona jest dalsza część pracy.
2. **Rozdział 2 – Przegląd literaturowy:** Rozdział ten zagłębia się w szczegóły istniejących rozwiązań odczytowych dla detektorów pikselowych oraz ich niedostatki, co stanowi punkt wyjścia do proponowania własnego rozwiązania. Opisano również istniejące mechanizmy odczytu wyzwalanego zdarzeniami i ich potencjał w porównaniu z podejściem ramkowym i odpytywaniem. Szczególny nacisk położono na problem arbitrażu – omówiono dotychczas stosowane arbitry z priorytetami oraz wykazano ich nieodłączne wady (niesprawiedliwość dostępu, ryzyko kolizji danych, czas martwy) w kontekście szybkich detektorów o dużej liczbie pikseli. Rozdział ten kończy się sformułowaniem specyfikacji wymagań dla nowego systemu odczytu, który ma przewyższyć zidentyfikowane ograniczenia.
3. **Rozdział 3 – Proponowana architektura EDWARD:** Jest to zasadnicza część rozprawy, w której przedstawiono własne rozwiązanie tj. architekturę EDWARD, oraz jej implementację. Na początku rozdziału zdefiniowano główne założenia projektowe i opisano ogólny schemat architektury (m. in. strukturę sygnałów wyzwalających zdarzenia, magistrale danych, hierarchię arbiterów). W kolejnych podrozdziałach scharakteryzowano kluczowe elementy systemu: asynchroniczne arbitry bezpriorytetowe zbudowane w oparciu o zatrzaski RS (przedstawione na Rysunkach 2.1 i 2.2), mechanizmy przekazywania żetonów potwierdzenia między domeną asynchroniczną a synchronicznym interfejsem wyjściowym, oraz układy wstępnego przetwarzania sygnałów w pikselach. Rozdział opisuje także szczegóły implementacyjne integracji tej nietypowej logiki w standardowym procesie projektowym

ASIC – opracowanie własnych komórek bibliotecznych dla arbitrów i postępowanie przy analizie czasowej (ang. Static Timing Analysis (STA)), zastosowanie symulacji mieszanych, w celu zagwarantowania bezbłędnej pracy układu. Kulminacją rozdziału jest prezentacja dwóch prototypowych układów scalonych zrealizowanych w technologii CMOS 65 nm, zawierających zaprojektowany system EDWARD. Pierwszy z nich, nazwany 3FI65P1, to kompletny chip odczytowy, dla detektora promieniowania X, o wymiarach 32×32 piksele (część analogowa do odczytu sygnałów z sensora) zintegrowany z systemem EDWARD, przeznaczony do obrazowania fluorescencji rentgenowskiej. Jego celem było zademonstrowanie poprawnego działania architektury EDWARD w rzeczywistym układzie detektorowym poddanym promieniowaniu X. Drugi układ – EDWARD65P1, zawiera wyłącznie część cyfrową systemu EDWARD oraz matrycę układów emulujących działanie pikseli (generatorów zdarzeń). Celem tego prototypu jest przebadanie wydajności odczytu EDWARD w różnych warunkach, w tym przy przeciążeniu dużą liczbą jednoczesnych zdarzeń. Rozdział 3 kończy podsumowanie, w którym podkreślono innowacyjność proponowanego rozwiązania oraz istotne szczegóły implementacyjne, kluczowe dla zrozumienia działania systemu.

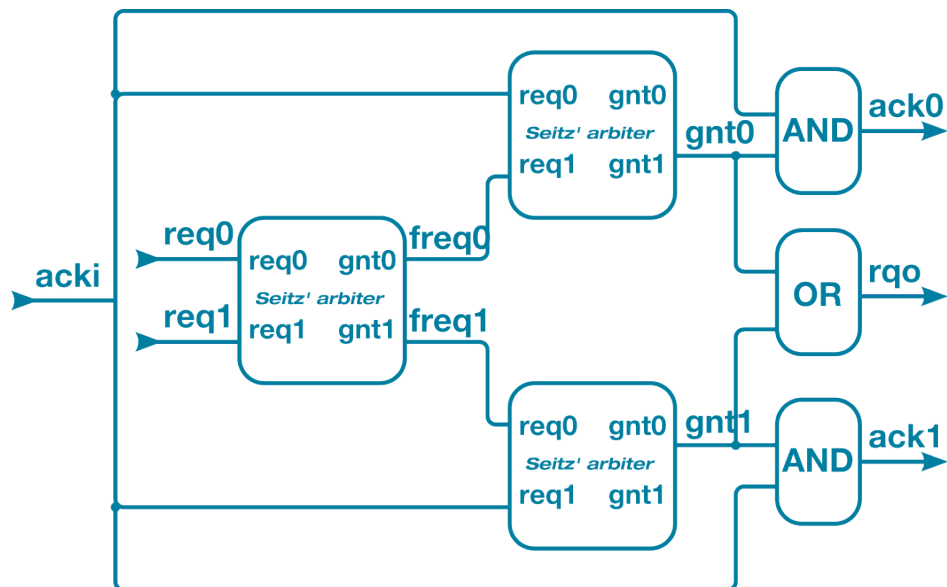
4. **Rozdział 4 – Weryfikacja symulacyjna i ocena wydajności: analizy cyfrowe i mieszane:** Opisano tu przebieg oraz wyniki testów symulacyjnych zaprojektowanych układów prototypowych. Ze względu na obecność zarówno bloków analogowych (analogowy tor front-end), jak i nietypowych asynchronicznych bloków cyfrowych, zastosowano symulacje mieszane (analogowo-cyfrowe), aby w wiarygodny sposób odtworzyć współdziałanie wszystkich komponentów systemu. Przedstawiono modele użytych bloków, algorytmy testujące oraz kryteria weryfikacji poprawności działania układu. Już na etapie symulacji wykazano, że zaprojektowany system działa zgodnie z założeniami, a arbitraż przebiega poprawnie i bez faworyzowania któregoś z pikseli (tj. wszystkie źródła danych mają równy dostęp do magistrali), a przepustowość odczytu pojedynczego piksela jest wysoka i praktycznie niezależna od położenia piksela w matrycy. Symulacje potwierdziły również, że opóźnienia odczytu są znacząco zredukowane w porównaniu z architekturami ramkowymi, ponieważ piksele nie muszą czekać na szeregowy odczyt całej ramki – dane trafiają do wyjścia natychmiast po wystąpieniu zdarzenia.
5. **Rozdział 5 – Wyniki pomiarów eksperymentalnych:** W rozdziale tym zawarto opis stanowisk pomiarowych oraz metodologii testowania obu zaprojektowanych układów ASIC. Dla układu 3FI65P1 zrealizowano dedykowaną płytkę testową i połączono go z rzeczywistym sensorem półprzewodnikowym, tworząc kompletny detektor. Następnie przeprowadzono eksperyment polegający na obrazowaniu próbki za pomocą promieniowania rentgenowskiego – była to weryfikacja, czy system EDWARD poradzi sobie w rzeczywistym zastosowaniu. Wyniki wstępnych pomiarów wskazały, że analogowo-cyfrowy tor odczytu 3FI65P1 spełnia założenia co do rozdzielczości pomiaru energii (istotne w detekcji fluorescencji rentgenowskiej) oraz że sam system EDWARD działa poprawnie podczas pracy detektora w warunkach ekspozycji na promieniowanie X. Drugi prototyp (EDWARD65P1) poddano serii testów, w których programowalne generatory zdarzeń symulowały aktywność matrycy pikseli. Badano m.in. zachowanie systemu w sytuacji dużego obciążenia danymi (wielu równoczesnych zgłoszeń). W trakcie pomiarów potwierdzono, że EDWARD skutecznie obsługuje jednoczesne zdarzenia

bez utraty żadnego z nich, a rozstrzyganie konfliktów przez asynchroniczny arbiter przebiega sprawiedliwie (żaden piksel nie jest pomijany) nawet przy ekstremalnie wysokim natężeniu sygnałów. Rozdział 5 przedstawia ilościowe wyniki tych pomiarów (m.in. rzeczywistą osiągniętą przepustowość magistrali, rozkłady opóźnień od zdarzenia do odczytu), a także dokumentuje zgodność wyników eksperymentalnych z wynikami symulacji.

6. **Rozdział 6 – Podsumowanie i wnioski:** Ostatni rozdział zbiera najważniejsze osiągnięcia pracy i odnosi je do postawionych celów i hipotezy. Zestawiono tutaj pytania badawcze i cele z uzyskanymi rezultatami, wykazując jednoznacznie, że każdy z celów został osiągnięty, a hipoteza pracy została w pełni potwierdzona. W rozdziale omówiono również oryginalne elementy rozwiązania i ich znaczenie na tle dotychczasowych metod (tj. jakie przewagi uzyskano dzięki EDWARD w porównaniu z literaturą przedmiotu). Przedstawiono także potencjalne kierunki kontynuacji badań oraz możliwe usprawnienia i zastosowania architektury EDWARD w szerszym kontekście. Podkreślono, że choć eksperymentalna weryfikacja odbyła się na detektorach o stosunkowo niewielkiej matrycy (32×32), to po wprowadzeniu pewnych usprawnień architektura EDWARD powinna być skalowalna do detektorów o dużo większej liczbie pikseli. Rozdział zamyka dyskusja ograniczeń bieżącej implementacji i propozycje, jak można je przezwyciężyć (np. poprzez ulepszenia w układach arbitrażowych, ochronę układu przed skutkami promieniowania), a także wskazanie alternatywnych obszarów, gdzie koncepcja zdarzeniowego odczytu bez priorytetów mogłaby znaleźć zastosowanie. Całość pracy wieńczą wnioski końcowe, w których m.in. stwierdzono, że rozwinięta architektura spełnia pokładane w niej nadzieje i stanowi istotny krok w kierunku nowej generacji systemów odczytu danych.



Rysunek 2.1: Struktura komórki arbitrażu typu 0 z arbitrem Seitz'a. Żeton sygnału potwierdzenia ack_i jest przekazywany do ack_0 lub ack_1 w zależności od sygnałów żądania, przy czym dozwolony jest tylko jeden kierunek dla danego cyklu [9].



Rysunek 2.2: Struktura komórki arbitrażu typu I z logiką zwiększającą sprawiedliwość. Dwustopniowy mechanizm arbitrażu zapobiega przekierowaniu tokena w trakcie jego propagacji i wymusza ściśle, odgórne przekazywanie tokena [9].

Rozdział 3

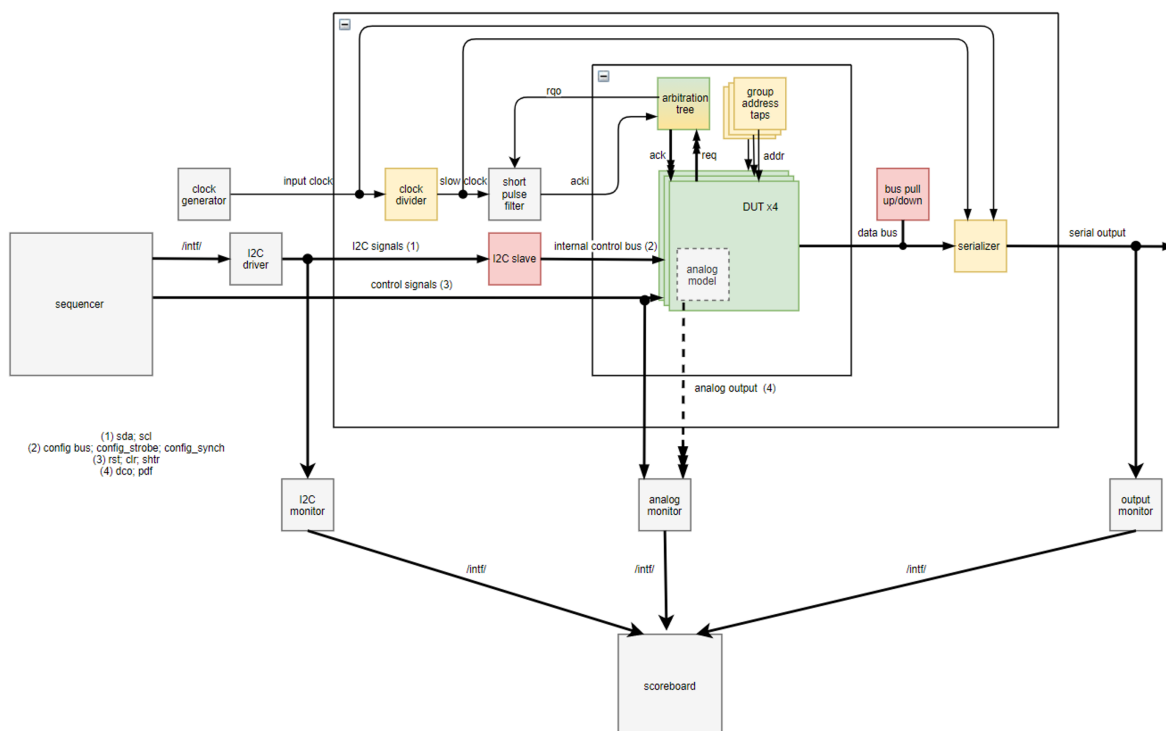
Charakterystyka pracy i przyjęte metody badawcze

Rozprawa ma charakter teoretyczno-doświadczalny – obejmuje zarówno opracowanie koncepcji i modeli teoretycznych, jak i ich praktyczną realizację oraz empiryczną weryfikację. Zakres podjętych działań dotyczy projektowania złożonych układów cyfrowych i analogowych oraz integracji systemów detekcyjnych. W trakcie badań zastosowano szereg metod badawczych, począwszy od analizy literaturowej i symulacji komputerowych, poprzez pełny cykl projektowy układów scalonych (od opisu sprzętowego RTL, przez syntezę i implementację, po wysłanie gotowego projektu prototypu do produkcji), aż po eksperymenty laboratoryjne z użyciem promieniowania X do testów detektora.

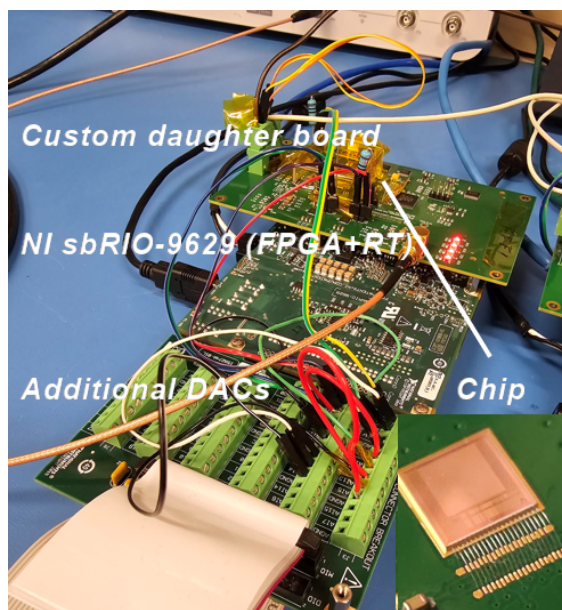
Kluczowym elementem metodologicznym było opracowanie asynchronicznej logiki arbitrażu (element nowatorski na gruncie tradycyjnych synchronicznych projektów CMOS) w taki sposób, aby mogła ona zostać zaimplementowana w standardowych narzędziach CAD/EDA. Dokonano tego poprzez wprowadzenie własnych bloków (arbitrów opartych na zatrząskach RS [10]) do biblioteki technologicznej oraz zastosowanie nieszablonowych procedur weryfikacyjnych, omijających konwencjonalne ograniczenia analiz czasowych dla struktur asynchronicznych. W efekcie udało się zintegrować nową logikę arbitrażu z resztą układu ASIC bez naruszania zasad poprawności projektu i niezawodności działania.

Przed wysłaniem układów do produkcji wykonano testy symulacyjne (na poziomie tranzystorowym i układowym). Schemat blokowy środowiska weryfikacji funkcjonalnej pokazano na Rysunku 3.1. Po wykonaniu fizycznych prototypów układów EDWARD, przeprowadzono testy pomiarowe z użyciem rzeczywistych sensorów i zaimplementowanych wewnątrz układu generatorów zdarzeń. Praca badawcza objęła również przygotowanie stanowisk pomiarowych (układ pomiarowy przedstawiono na Rysunku 3.2) i oprogramowania sterującego, służących do konfiguracji układów i akwizycji danych. Zbudowano modułowy system testowy pozwalający na elastyczne wprowadzanie różnych scenariuszy obciążenia matrycy pikseli i rejestrowanie zachowania układu odczytowego (m.in. zarejestrowane kolejki zdarzeń oraz czasu ich obsługi). Dzięki temu możliwe było porównanie wyników symulacji z rezultatami rzeczywistych eksperymentów, co potwierdziło wiarygodność przyjętych modeli. Uzyskane prototypy reprezentują przy tym wysoki poziom gotowości technologicznej (TRL), gdyż stanowią działające urządzenia demonstracyjne nowego systemu odczytu. Wykonanie dwóch różnych układów (pełnego front-endu 3FI65P1 oraz uproszczonego

układu EDWARD65P1 z emulatorami pikseli) świadczy o przemyślanym podejściu umożliwiającym zbadanie systemu zarówno w warunkach bliskich docelowemu zastosowaniu, jak i w warunkach skrajnych, trudnych do uzyskania z użyciem fizycznego detektora (np. jednoczesna aktywacja wszystkich pikseli).



Rysunek 3.1: Schemat blokowy środowiska weryfikacji funkcjonalnej. Sygnały pobudzające oraz ustawienia konfiguracyjne są podawane do weryfikowanego układu (ang. Device Under Test), natomiast sygnały wyjściowe są porównywane z modelem odniesienia w module typu *scoreboard*.



Rysunek 3.2: Układ pomiarowy użyty do testów – płytką rozszerzającą (ang. daughter board) może być wymieniana na tę zawierającą układ EDWARD65P1 lub 3FI65P1 [11].

Rozdział 4

Opis oryginalnych osiągnięć i wyników

4.1 Oryginalne osiągnięcia

Głównym osiągnięciem rozprawy jest opracowanie i doświadczalne potwierdzenie nowej architektury odczytu danych EDWARD dla detektorów pikselowych. Na oryginalny dorobek autora składają się w szczególności następujące rezultaty:

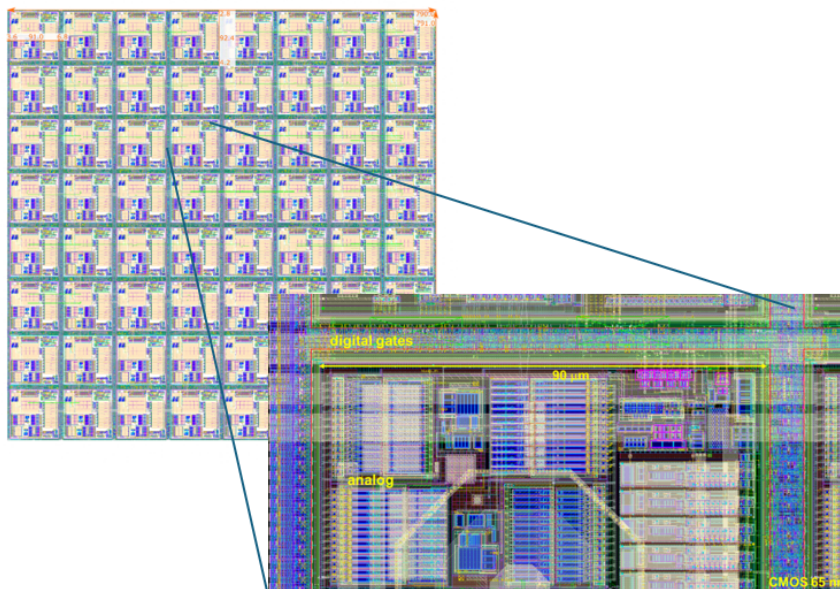
1. Nowatorska asynchroniczna bezpriorytetowa architektura odczytowa (EDWARD): Autor zaprojektował od podstaw architekturę, w której każdy piksel detektora działa na zasadzie wyzwalania zdarzeniami (event-driven), a wszystkie zgłoszenia zdarzeń są obsługiwane przez zdecentralizowany, wielostopniowy arbiter asynchroniczny nieprzyznający żadnych stałych priorytetów. To rozwiązanie eliminuje systemowe opóźnienie ramkowe i gwarantuje, że żaden piksel nie jest faworyzowany kosztem innego, co było nieosiągalne jednocześnie w poprzednich architekturach odczytu. EDWARD jest pierwszym tego typu podejściem zaimplementowanym w fizycznym układzie scalonym dla systemów detekcji promieniowania.
2. Asynchroniczny mechanizm arbitrażu oparty na drzewie zatrząsków RS: Zaproponowano oryginalny układ arbitra, który składa się z hierarchicznie połączonych elementów pełniących rolę arbitrów w sytuacji gdy kilka pikseli zgłasza żądanie odczytu. Każdy taki element dokonuje wyboru pomiędzy dwoma zgłoszeniami zdarzeń, gwarantując przy tym, że żadne z wejść nie ma stałego pierwszeństwa. Struktura w postaci drzewa binarnego pozwala obsłużyć dowolnie dużą matrycę pikseli, a dzięki asynchronicznej realizacji (bez globalnego zegara) system może reagować na zdarzenia bez zwłoki związanej z cyklem taktowania. Autor dokonał integracji tego mechanizmu w układzie ASIC, rozwiązując szereg problemów praktycznych (m.in. synchronizacja z resztą systemu, zabezpieczenie przed metastabilnością). W rezultacie powstał funkcjonalny, sprawiedliwy arbiter zdarzeń, odporny na deterministyczne uprzywilejowanie któregośkolwiek z pikseli.
3. Integracja toru przetwarzania sygnału z odczytem zdarzeń: W ramach systemu EDWARD autor zaprojektował również interfejs do analogowego układu front-end dla pikseli detektora, który wykonuje wstępne przetwarzanie sygnału in-situ, bezpośrednio w pikselu. Informacje te są następnie przekazywane do części cyfrowej (zdarzeniowej) układu. Ścisłe połączenie części analogowej i cyfrowej

pozwała na redukcję ilości przesyłanych danych (do magistrali trafiają tylko istotne zdarzenia zamiast stałego strumienia danych z każdego piksela), co dodatkowo odciąża system.

4. Prototypowe układy ASIC i ich pomyślna walidacja: Kluczowym wynikiem pracy jest zaprojektowanie i wykonanie dwóch układów ASIC – 3FI65P1 oraz EDWARD65P1 – zawierających zaproponowaną architekturę. Autor, we współpracy z zespołem z Brookhaven National Laboratory (Upton, USA), doprowadził do fizycznej realizacji tych układów w technologii CMOS 65 nm, a następnie przeprowadził ich szczegółowe badania. Layout pojedynczej grupy zawierającej 64 piksele przedstawiono na Rysunku 4.1. 3FI65P1 to kompletny prototyp detektora do obrazowania rentgenowskiego, zawierający matrycę 32×32 pikseli z analogowym front-endem oraz wbudowanym odczytem EDWARD. EDWARD65P1 zaś jest układem testowym z samym systemem odczytu EDWARD i emulatorami pikseli (generatorami zdarzeń). Pomiary tych układów jednoznacznie potwierdziły poprawność działania architektury: pierwszy prototyp wykazał zdolność rejestracji obrazów X-ray bez utraty informacji przy wysokiej częstotliwości zdarzeń, zaś drugi umożliwił zmierzenie maksymalnej wydajności systemu i wykazanie jego przewagi nad rozwiązaniami klasycznymi pod względem równomierności obsługi zdarzeń i wykorzystania pasma transmisji. Co istotne, dzięki tym prototypom autor udowodnił doświadczalnie, że możliwe jest praktyczne zbliżenie się do teoretycznego ideału systemu odczytu danych – system EDWARD osiąga parametry bardzo bliskie systemowi "bez opóźnień, bez zatorów i bez priorytetów" znanemu dotąd jedynie z modeli.
5. Publikacje i prawa własności intelektualnej: Osiągnięcia uzyskane w rozprawie znalazły odzwierciedlenie w licznych publikacjach naukowych oraz zgłoszeniach patentowych autora. Najważniejsze wyniki badań zostały opublikowane m.in. w czasopiśmie *Journal of Instrumentation* (art. z 2022 r. przedstawiający koncepcję architektury EDWARD, a także nowsze artykuły z 2024–2025 r. prezentujące integrację i testy prototypowych układów EDWARD). Autor jest również współtwórcą pięciu zgłoszeń patentowych obejmujących kluczowe elementy systemu EDWARD – w tym międzynarodowego zgłoszenia PCT o numerze WO2022221068A1 (oraz patentów krajowych USA, UE, Japonia, Australia).

4.2 Najważniejsze wyniki

W niniejszym podrozdziale zestawiono kluczowe rezultaty uzyskane w toku projektowania, symulacji oraz walidacji eksperymentalnej architektury EDWARD. Wyniki podzielono na cztery grupy: (i) symulacje analogowe krytycznych zależności czasowych w torze arbitrażu i odczytu, (ii) demonstrację funkcjonalności oraz parametrów analogowych w testach synchrotronowych, (iii) symulacje cyfrowe wydajności w funkcji częstości zdarzeń, oraz (iv) pomiary generatora zdarzeń i obserwację ograniczeń wynikających z limitu sygnałów potwierdzających.



Logika (m. in. drzewo arbitrażowe) umieszczona w przestrzeni między rdzeniami kanałów (np. AFE)

Rysunek 4.1: Layout pojedynczej grupy 8×8 pikseli.

4.2.1 Wyniki symulacji analogowych dla zależności czasowych

Pierwszym krokiem walidacji było sprawdzenie, czy architektura EDWARD spełnia wymagania czasowe dla poprawnego, deterministycznego odczytu zdarzeń w całej matrycy. W szczególności oceniono: czasy propagacji sygnałów przez drzewo arbitrażu, relację tych czasów do zegara generującego potwierdzenia (*acknowledge*), jednorodność opóźnień dla różnych adresów pikseli (jako miarę braku systematycznej niesprawiedliwości), a także poprawność przełączania pomiędzy kolejnymi pikselami bez wprowadzania czasu martwego.

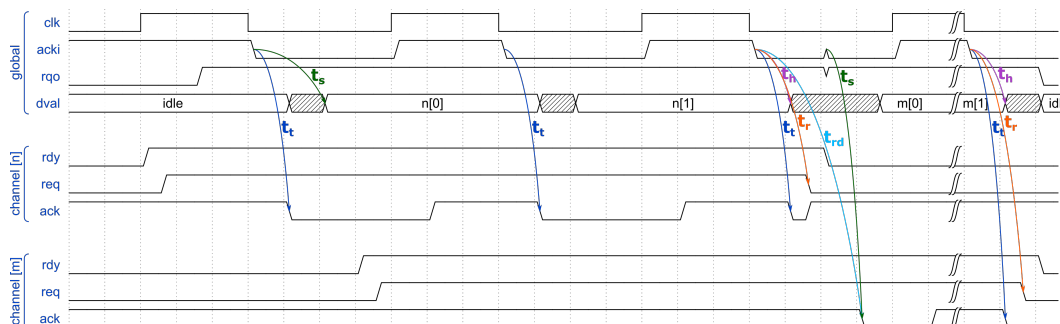
Na rysunku 4.2 przedstawiono diagram czasowy definiujący podstawowe parametry użyte do analizy: czas ustawiania danych t_s , czas podtrzymania danych t_h , czas resetu t_r oraz czas propagacji żetonu t_t . Parametry te opisują kolejne etapy cyklu obsługi pojedynczego zdarzenia: wybór źródła danych w drzewie arbitrażu, stabilizację danych na magistrali, ich próbkowanie po stronie interfejsu wyjściowego oraz zwolnienie zasobów umożliwiające obsługę następnych żądań.

Mapy czasów dla wszystkich pikseli (rys. 4.3) wskazują, że zarówno t_s , t_h , t_r , jak i t_t pozostają jednorodne w obrębie matrycy. Brak istotnych gradientów zależnych od położenia piksela oznacza, że głębokość drzewa arbitrażu i odległość logiczna od korzenia nie powodują systematycznego faworyzowania wybranych adresów. Jest to kluczowe z punktu widzenia sprawiedliwej arbitracji: w warunkach porównywalnego obciążenia żaden piksel nie powinien mieć trwale lepszej lub gorszej *pozycji startowej* w procesie arbitrażu.

Dodatkowo przeanalizowano dynamikę przechodzenia tokena pomiędzy pikselami. Rysunek 4.4 przedstawia średnie opóźnienie redystrybucji tokena $t_{rd}(n, m)$ w funkcji piksela źródłowego n oraz docelowego m . Jednorodność tej macierzy potwierdza brak preferowanych ścieżek przejścia drzewa, co byłoby sygnałem ukrytej priorytetyzacji lub asymetrii logicznej. Niezależnie od analizy czasów, przeprowadzono również

zliczanie liczby dostępów arbitrażu dla poszczególnych adresów podczas symulacji (rys. 4.5). Brak wartości odstających oraz brak „zagłodzenia” (ang. starvation) potwierdzają, że w implementacji nie występują mechanizmy prowadzące do trwałej dominacji wybranych pikseli, zgodnie z założeniem bezpriorytetowego arbitrażu.

Podsumowując, symulacje analogowe wykazały poprawność czasową cyklu odczytu oraz jednorodność parametrów w skali całej matrycy. Wyniki te stanowią wstępne potwierdzenie, że EDWARD może zapewnić sprawiedliwy odczyt zdarzeń bez czasu martwego, przy zachowaniu właściwych marginesów czasowych względem zegara sygnałów potwierdzających.



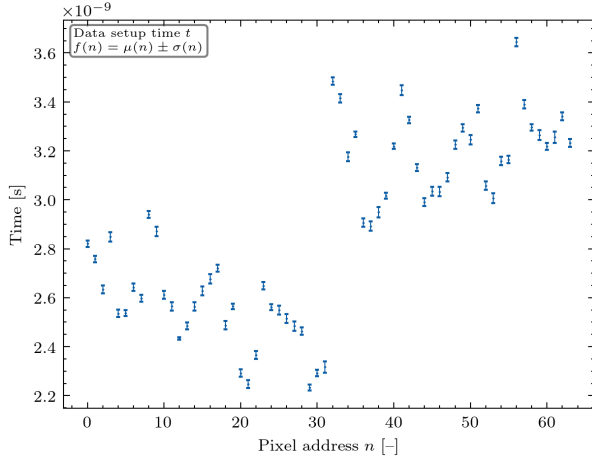
Rysunek 4.2: Diagram czasowy ilustrujący definicję kluczowych parametrów czasowych w procesie arbitrażu i odczytu [12].

4.2.2 Tryby odczytu i testy na synchronizacji

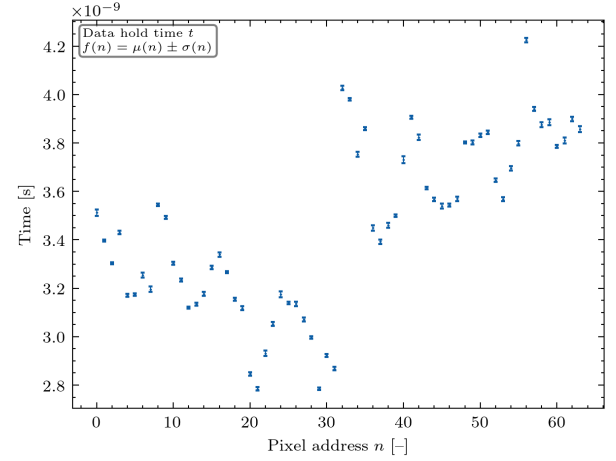
Kolejny etap walidacji dotyczył działania systemu w warunkach eksperymentalnych, w tym jednoznacznego powiązania danych analogowych z adresem piksela oraz weryfikacji poprawności trybów odczytu wykorzystywanych w detekcji fluorescencji rentgenowskiej. Zaimplementowano dwa tryby pracy: (i) odczyt wyłącznie piksela, w którym wystąpiło zdarzenie, oraz (ii) odczyt piksela zdarzenia wraz z ośmioma sąsiedami (tzw. tryb *charge sharing*) w celu poprawy rekonstrukcji energii i korekcji podziału ładunku pomiędzy pikselami.

Rysunek 4.6 prezentuje przykładowe przebiegi zarejestrowane w obu trybach. Niebieski sygnał odpowiada amplitudzie sygnału, natomiast czerwony przebieg przedstawia 14-bitowy adres piksela dekodowany bezpośrednio ze strumienia danych. W obu trybach zachowano jednoznaczność: każda próbka amplitudy odpowiada konkretnemu adresowi piksela, co jest krytyczne dla dalszego przetwarzania danych (budowania histogramów energii oraz rekonstrukcji obrazu).

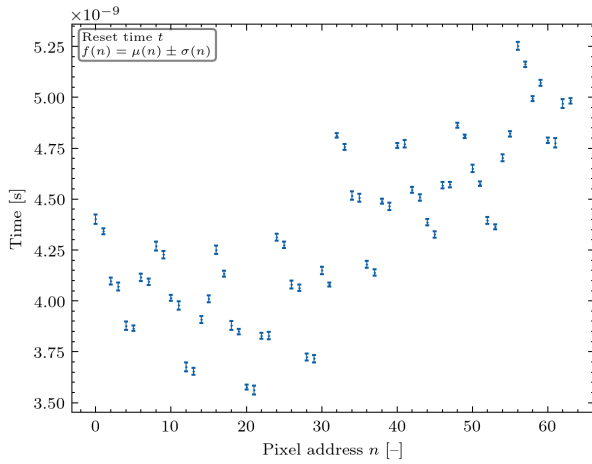
Dla układu przeprowadzono kalibrację wzmocnienia w zakresie energii od 2.5 keV do 20 keV. Uzyskana rozdzielczość energetyczna, wyznaczona na podstawie pików Ca $K\alpha$ i Cu $K\alpha$, wyniosła odpowiednio 138 eV oraz 308 eV FWHM, co potwierdza poprawne działanie toru analogowego w warunkach eksperymentalnych. Reprezentatywne widmo fluorescencji zarejestrowane na linii 17-BM synchrotronu NSLS-II przedstawiono na rys. 4.7 [13]. Widmo obejmuje kolejne cele w postaci folii (Ca, Mn, Cu, Pb i Zr) i pokazuje zdolność systemu do rozróżniania linii emisyjnych w szerokim zakresie energii, przy zachowaniu stabilnej pracy odczytu zdarzeniowego.



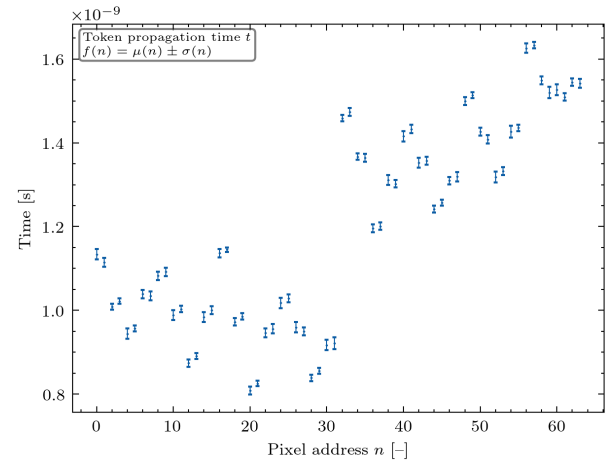
(a) Czas ustawiania danych (z paskami błędów) t_s dla poszczególnych pikseli.



(b) Czas podtrzymania danych (z paskami błędów) t_h dla poszczególnych pikseli.



(c) Czas resetu (z paskami błędów) t_r dla poszczególnych pikseli



(d) Czas propagacji tokena (z paskami błędów) t_t dla poszczególnych pikseli.

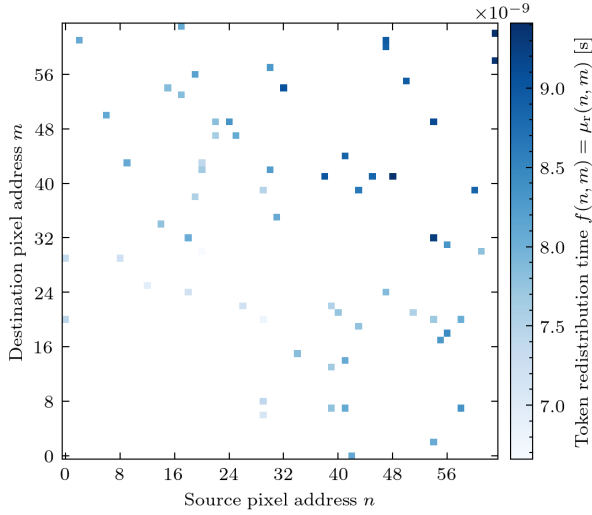
Rysunek 4.3: Mapy czasów, dla poszczególnych pikseli, z paskami błędów 1σ dla odczytu EDWARD.

4.2.3 Wyniki symulacji cyfrowych – zależność od częstości zdarzeń

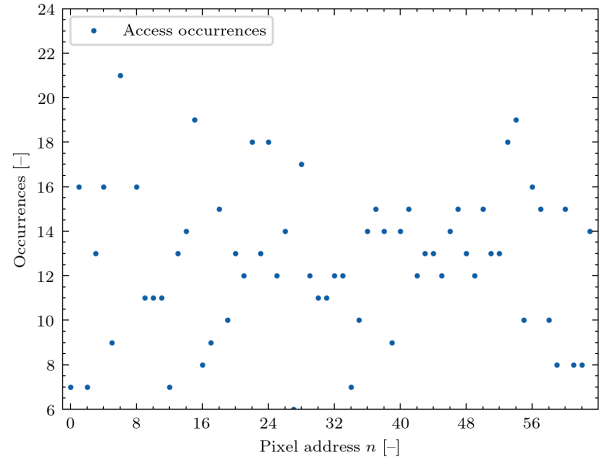
Aby ilościowo opisać zachowanie systemu EDWARD w funkcji obciążenia, przeprowadzono symulacje cyfrowe, w których sterowano częstością generacji zdarzeń w macierzy oraz porównywano ją z częstością sygnałów potwierdzających. Analizowano przede wszystkim latencję odczytu (czas od wygenerowania zdarzenia do jego obsłużenia) oraz prawdopodobieństwo nakładania się zdarzeń (ang. pile-up), które w praktyce wpływa na rozdzielczość czasową i energetyczną.

Dla intuicyjnego opisu reżimów pracy można wykorzystać współczynnik wykorzystania systemu $\rho \approx T_{\text{ack}} N \lambda_t$, gdzie T_{ack} jest okresem sygnałów potwierdzających, N liczbą pikseli w macierzy (tu: $N = 1024$), a λ_t efektywną częstością zdarzeń na piksel. W badanych przypadkach uzyskano wartości $\rho \approx 0.05$, $\rho \approx 0.87$ oraz $\rho \approx 13.91$, odpowiadające odpowiednio niskiej, średniej i wysokiej częstości zdarzeń.

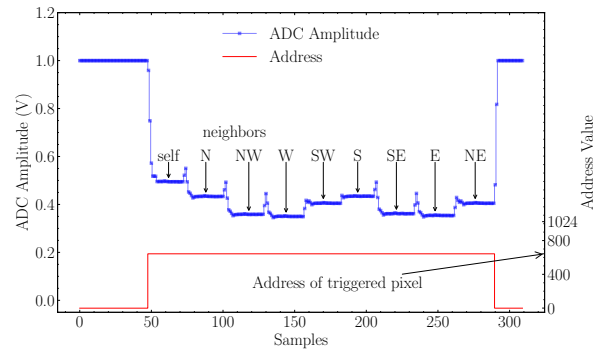
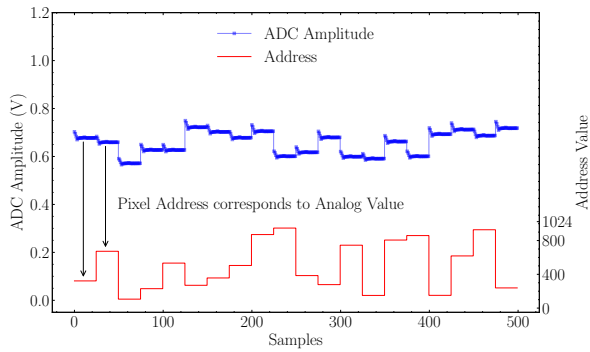
W reżimie niskiego obciążenia ($\rho \ll 1$) większość zdarzeń jest obsługiwana niemal natychmiast przez pierwszy dostępny sygnał potwierdzający, a ewentualne oczekiwanie wynika wyłącznie z krótkotrwałej



Rysunek 4.4: Wykres średniego opóźnienia redystrybucji tokena $t_{rd}(n, m)$ w funkcji piksela źródłowego n oraz docelowego m . Jednorodność wykresu sugeruje brak systematycznej niesprawiedliwości w kolejności przechodzenia drzewa.



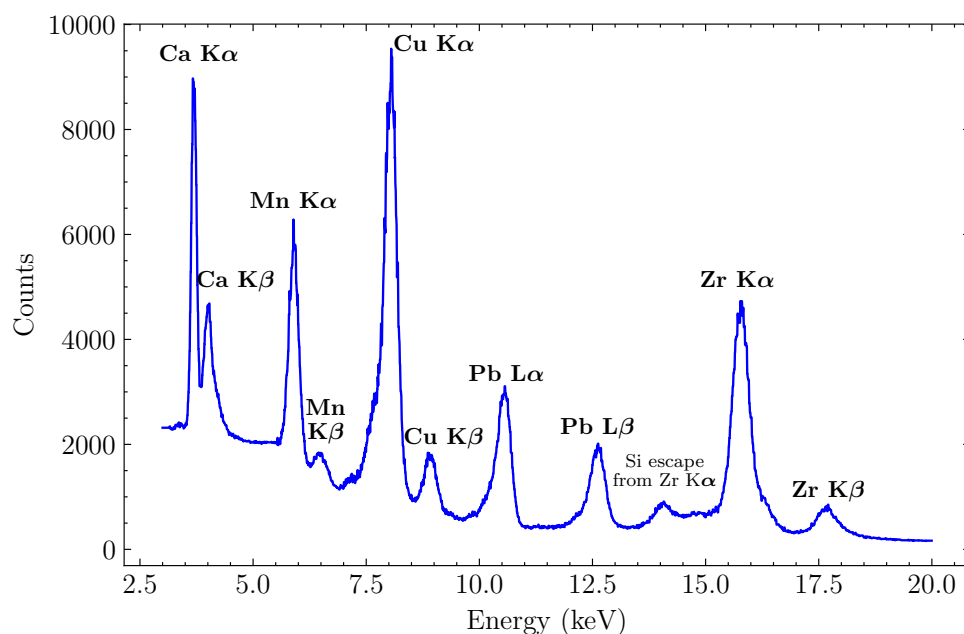
Rysunek 4.5: Liczba dostępów arbitrażu dla poszczególnych adresów pikseli w trakcie symulacji. Brak wartości odstających potwierdza brak priorytetyzacji lub zagłodzenia [12].



Rysunek 4.6: Dane zarejestrowane podczas odczytu w trybie pojedynczym (po lewej) i z podziałem łańdźka (po prawej). Niebieski — amplituda sygnału, czerwony — 14-bitowy adres piksela zdekodowany ze strumienia danych [13].

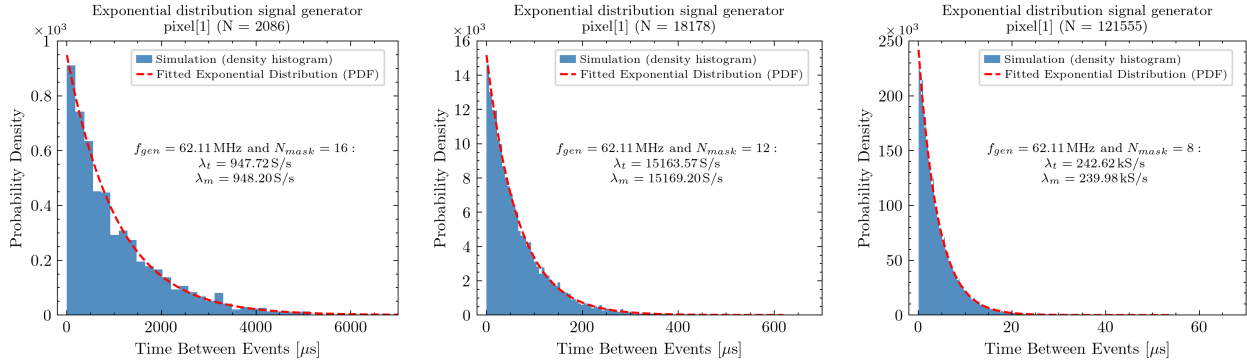
konkurencji z pojedynczymi wcześniejszymi żądaniami. Wraz ze wzrostem tempa generacji (reżim średni, $\rho \lesssim 1$) średnia latencja rośnie, ponieważ jednocześnie aktywnych jest więcej pikseli konkurujących o dostęp do magistrali. Natomiast po przekroczeniu granicy nasycenia ($\rho \gg 1$), gdy matryca generuje zdarzenia szybciej niż system może je potwierdzać, latencja dąży do wartości odpowiadającej efektywnemu „czasowi obiegu” po całej matrycy, analogicznie do zachowania systemów ramkowych: pojedyncze zdarzenie musiało wówczas oczekiwać na obsługę pozostałych zdarzeń.

Rysunek 4.8 zestawia trzy przypadki obciążenia. W pierwszym wierszu pokazano rozkłady międzyczasów zdarzeń (PDF), w drugim histogramy liczby zdarzeń, a w trzecim prawdopodobieństwo nakładania się zdarzeń. Średnie prawdopodobieństwo nakładania się zdarzeń wyniosło odpowiednio $\mu \approx 0\%$, $\mu \approx 0.3\%$ oraz $\mu \approx 92.7\%$. Odpowiadające temu średnie latencje odczytu osiągnęły wartości $\mu \approx 63$ ns, $\mu \approx 220$ ns

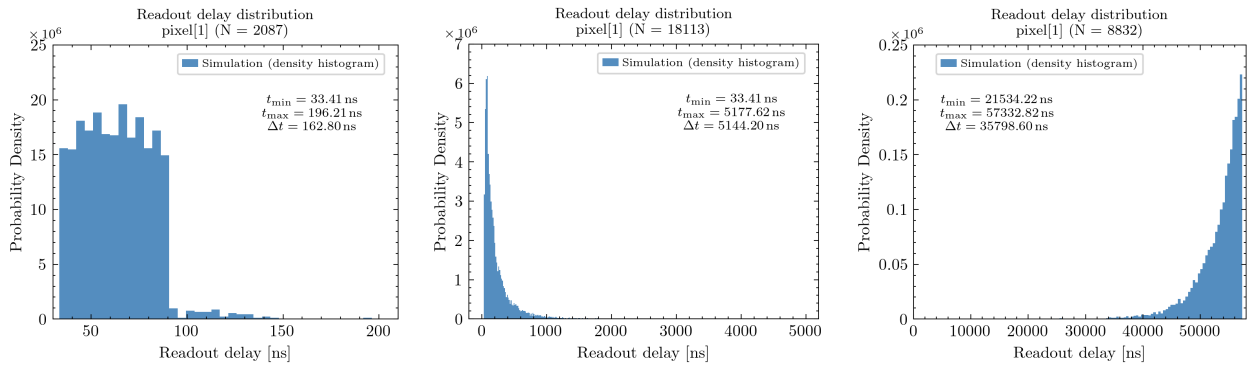


Rysunek 4.7: Kumulatywne widmo fluorescencji zarejestrowane na linii pomiarowej NSLS-II 17-BM z kolejno zastosowanymi foliami Ca, Mn, Cu, Pb i Zr [13].

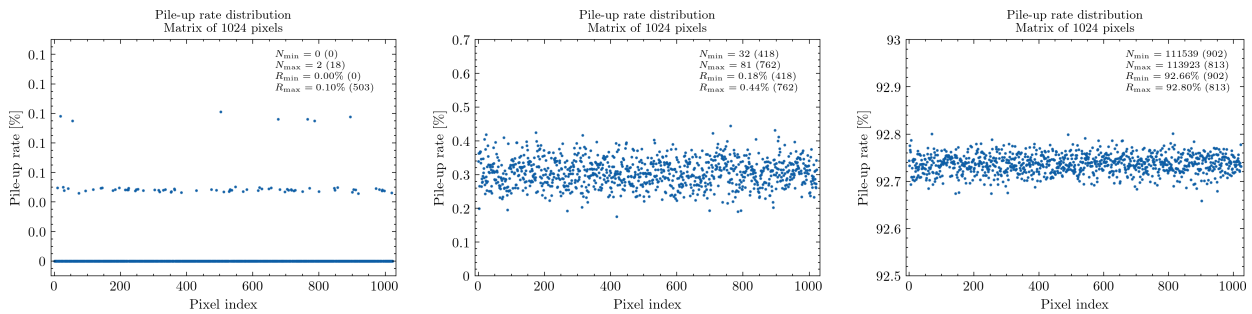
oraz $\mu \approx 53.5 \mu\text{s}$. Wyniki te potwierdzają, że EDWARD zapewnia bardzo małe opóźnienia w reżimie nie-nasyconym i stopniowo przechodzi do reżimu ograniczonego wydajnością sygnałów potwierdzających, gdy obciążenie przekracza możliwości systemu.



(a) Rozkład prawdopodobieństwa międzyczasów zdarzeń.



(b) Histogram liczby zdarzeń w czasie symulacji.



(a) Niska częstota zdarzeń.

(b) Średnia częstota zdarzeń.

(c) Wysoka częstota zdarzeń.

(c) Prawdopodobieństwo nakładania się zdarzeń (pile-up).

Rysunek 4.8: Porównanie wyników symulacji dla trzech częstotliwości zdarzeń: niskiej, średniej i wysokiej. Każdy wiersz przedstawia inny analizowany parametr.

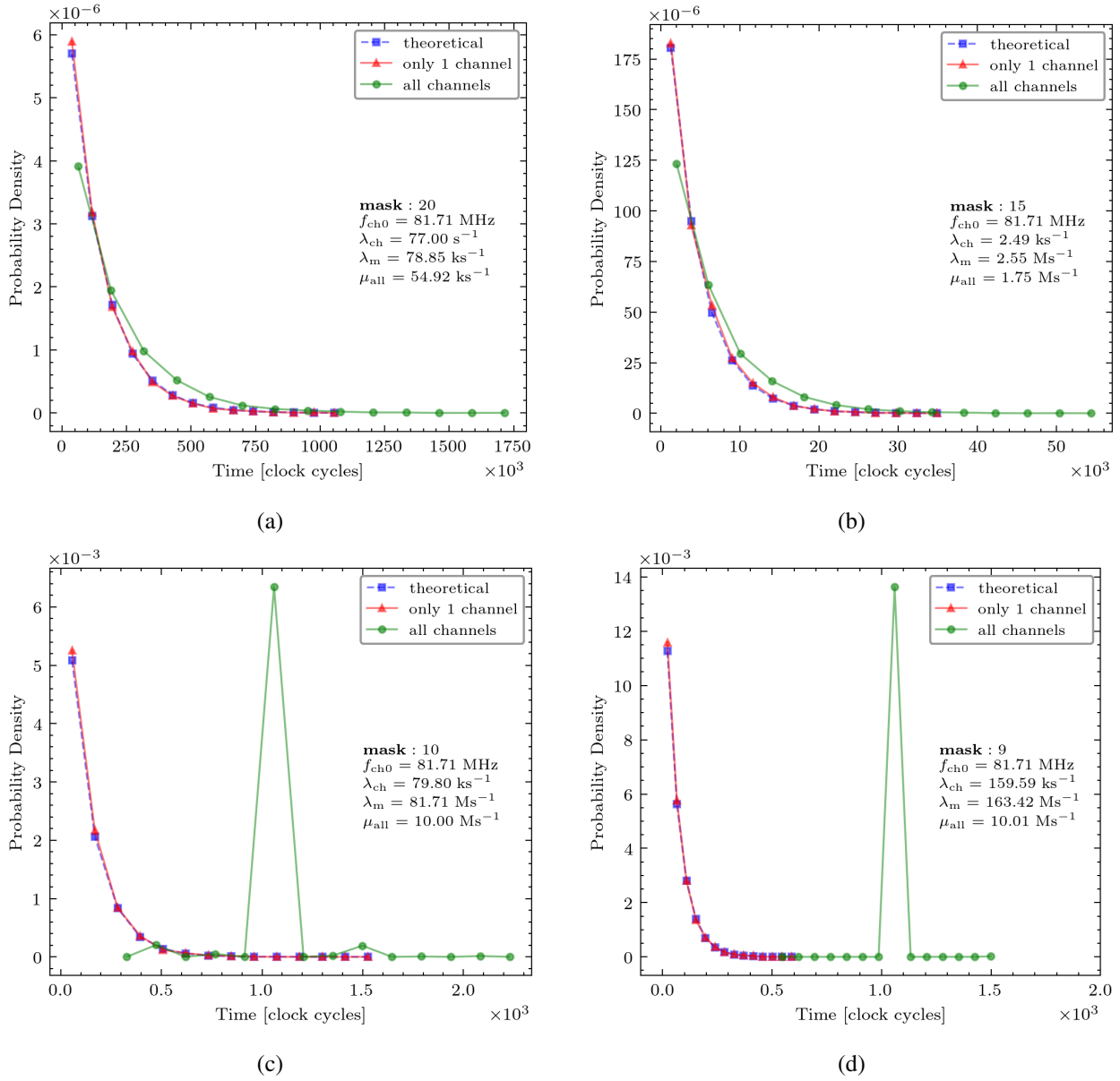
4.2.4 Zmierzona charakterystyka generatora

Ostatnia grupa wyników dotyczy pomiarowej weryfikacji generatorów zdarzeń wbudowanych w matrycę oraz sprawdzenia, na ile zachowanie całego systemu EDWARD zgadza się z modelem teoretycznym w sytuacji, gdy ograniczeniem staje się maksymalna częstość sygnałów potwierdzających. Celem jest zatem rozdzielenie dwóch efektów: (i) własności statystycznych samego generatora (zgodność emuluje z rzeczywistym procesem Poissona), oraz (ii) zachowania systemu odczytu, który przy dużym obciążeniu powinien wejść w reżim nasycenia ograniczony przez $f_{\text{ack}} = 1/T_{\text{ack}}$.

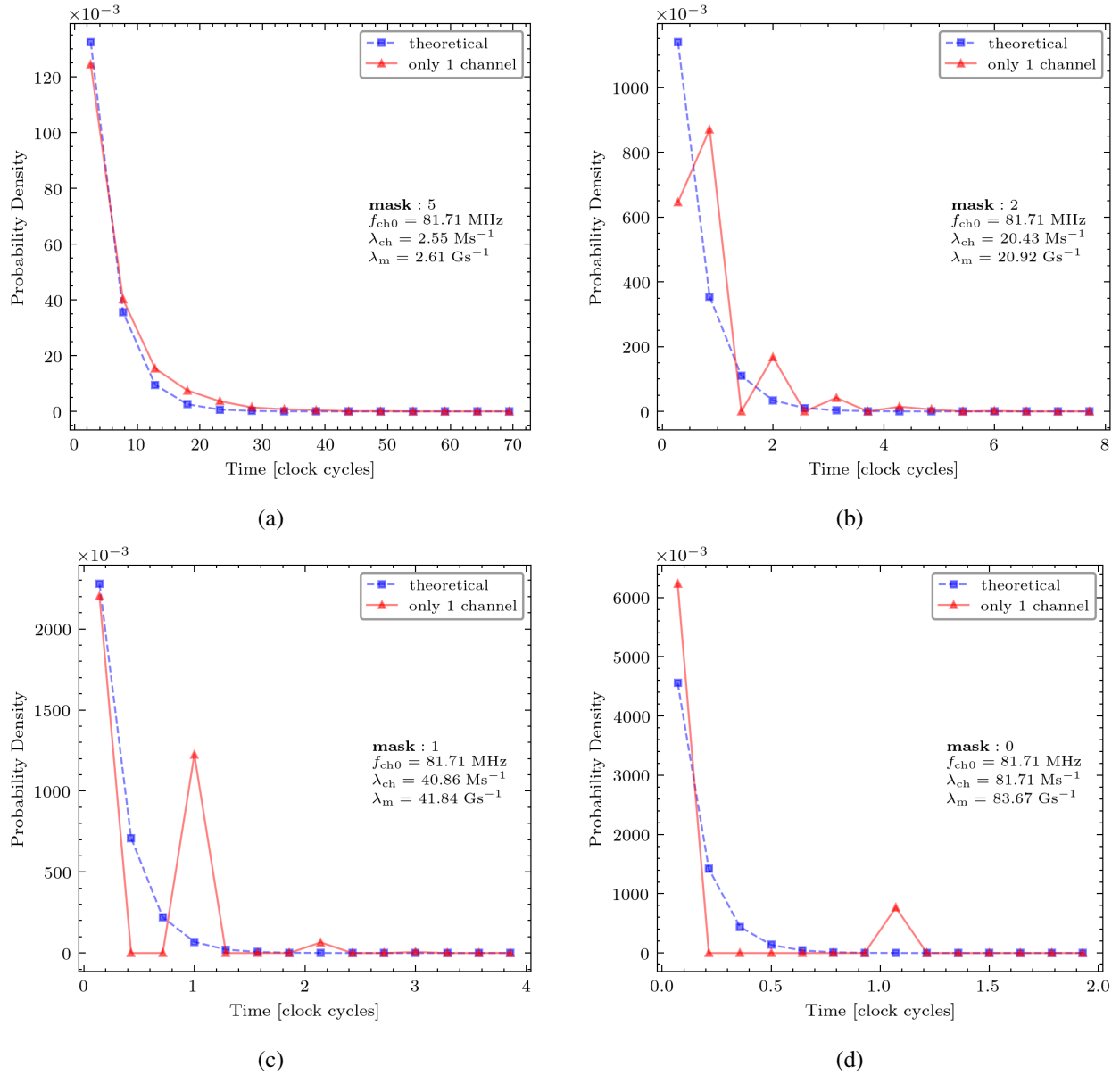
Rysunki 4.9 oraz 4.10 przedstawiają rozkłady międzyczasów zdarzeń (PDF) dla różnych ustawień maski sterującej parametrem prawdopodobieństwa sukcesu p . Dla konfiguracji o umiarkowanych wartościach p obserwowano przebiegi zgodne z oczekiwanym kształtem wykładniczym, typowym dla procesu Poissona. Wraz ze wzrostem p (oraz przy włączeniu wszystkich pikseli) pojawia się odchylenie od idealnej zależności wykładniczej i oznaki nasycenia, co wskazuje, że generator przestaje wiernie emulować proces Poissona w warunkach, gdy prawdopodobieństwo generacji w jednostce czasu staje się zbyt duże, a dodatkowo ujawniają się ograniczenia dyskretnego mechanizmu generacji.

Zależność całkowitej przepustowości matrycy od częstości generacji zdarzeń przedstawiono na rys. 4.11. W zakresie nienasyconym przepustowość rośnie w przybliżeniu liniowo wraz ze wzrostem częstości zdarzeń generowanych przez matrycę, aż do osiągnięcia limitu wynikającego bezpośrednio z częstości sygnałów potwierdzających. W badanym układzie obserwuje się nasycenie w pobliżu granicy 10 MHz, co jest spójne z teoretycznym ograniczeniem jednego odczytu na cykl sygnału potwierdzenia w sytuacji, gdy zdarzenia napływają szybciej, niż mogą być obsłużone.

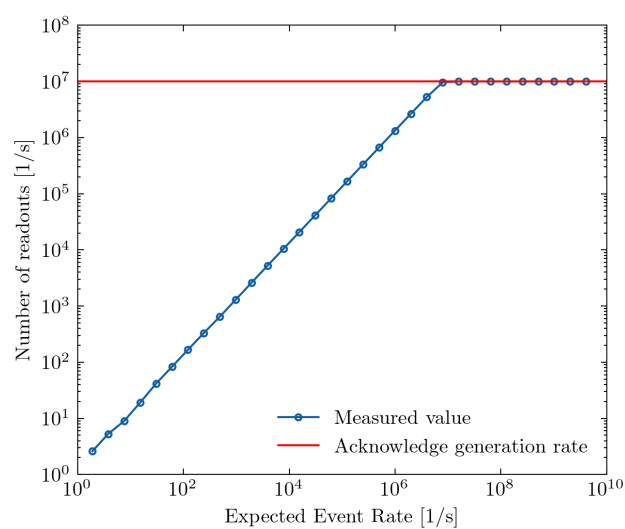
Istotną obserwacją jest również to, że układ wykazuje charakter *nieparaliżujący* – po wejściu w reżim nasycenia przepustowość dążyła do wartości granicznej i nie ulegała degradacji przy dalszym wzroście tempa generacji. Oznacza to, że system EDWARD nie traci swoich własności przy przeciążeniu, lecz przechodzi do stabilnego reżimu pracy ograniczonego przez sygnały potwierdzające, co jest pożądane z perspektywy niezawodności i przewidywalności działania w warunkach wysokiej aktywności detektora.



Rysunek 4.9: Funkcje gęstości prawdopodobieństwa międzyczasów zdarzeń (PDF) dla różnych ustawień maski. Dla masek 9 i 10, gdy wszystkie piksele są aktywne, widoczna jest saturacja.



Rysunek 4.10: Funkcje gęstości prawdopodobieństwa międzyczasów zdarzeń (PDF) dla pojedynczego aktywnego piksela. Odchylenie od kształtu wykładniczego pojawia się wraz ze zmniejszaniem wartości maski.



Rysunek 4.11: Przepustowość całej macierzy w funkcji częstości generacji zdarzeń. System ulega nasyceniu w pobliżu granicznej częstości potwierdzeń wynoszącej około 10 MHz [11].

Rozdział 5

Podsumowanie

Przeprowadzone prace badawcze doprowadziły do realizacji założonych celów oraz potwierdzenia hipotezy rozprawy. Opracowana architektura EDWARD zapewnia istotną poprawę wydajności odczytu danych z detektorów pikselowych pod względem przepustowości, opóźnienia i sprawiedliwości, przewyższając podejścia ramkowe, oparte na odpytywaniu oraz rozwiązania wykorzystujące dekodery priorytetowe. Wyniki symulacji oraz eksperymenty przeprowadzone na prototypowych układach ASIC jednoznacznie wykazały, że uzyskano wydajny, bezstratny i bezpriorytetowy odczyt zdarzeń. W konsekwencji hipoteza badawcza została potwierdzona: EDWARD umożliwił realizację nowej generacji detektorów pikselowych, zdolnych do akwizycji dużych strumieni danych w czasie rzeczywistym bez degradacji jakości informacji.

Główne wnioski płynące z rozprawy można zatem sformułować następująco:

- Architektura zdarzeniowa z asynchronicznym, bezpriorytetowym arbitrażem jest wykonalna technicznie i korzystna funkcjonalnie: ogranicza zbędny transfer danych, minimalizuje opóźnienia oraz eliminuje problem faworyzowania wybranych pikseli.
- System EDWARD osiąga parametry zbliżone do idealnego modelu odczytu zdarzeń: zademonstrowano możliwość rejestracji zdarzeń z bardzo małym opóźnieniem i bez utraty danych, także przy dużej częstotliwości zdarzeń.
- Zaproponowane rozwiązanie wykazuje uniwersalność i skalowalność, umożliwiając adaptację do różnych typów detektorów i rozmiarów matryc oraz stanowiąc podstawę do projektowania elektroniki odczytowej kolejnej generacji (np. w fizyce wysokich energii, obrazowaniu oraz zastosowaniach przemysłowych).
- Wyniki pracy mają znaczenie praktyczne: prototypy oraz opisane metody stanowią punkt wyjścia do implementacji efektywniejszych systemów detektorowych, a ochrona patentowa architektury EDWARD podkreśla jej innowacyjność i potencjał wdrożeniowy.
- Rozprawa wnosi wkład w rozwój techniki detektorowej, prezentując podejście inspirowane systemami neuromorficznymi do problemu odczytu danych, a przedstawione rezultaty spotkały się z zainteresowaniem społeczności naukowej.

Realizację postawionych w rozprawie celów można z kolei podsumować następująco:

- **C1 – Projekt koncepcyjny.** Opracowano architekturę EDWARD przełamującą ograniczenia odczytu ramkowego, odpytywania oraz priorytetowego arbitrażu. Zastosowano zdarzeniowy, sprawiedliwy i bezpriorytetowy mechanizm arbitrażu bez czasu martwego oraz wykazano jego skalowalność i niezawodność.
- **C2 – Wdrożenie asynchronicznych arbitrów.** Zrealizowano mechanizmy arbitrażu w technologii CMOS 65 nm z użyciem standardowych narzędzi CAD/EDA. Opracowano komórki arbitrażu dostosowane do biblioteki komórek standardowych oraz zachowano zgodność ze standardowym przepływem projektowym RTL→GDSII.
- **C3 – Walidacja i ocena wydajności.** Potwierdzono równomierny dostęp do zasobów odczytu wynikający z kolejności zgłoszeń oraz brak korupcji danych dzięki eliminacji globalnego zegara strobuującego i priorytetowych enkoderów. Własności te potwierdzono w symulacjach oraz w prototypach ASIC.
- **C4 – Integracja systemowa.** Zaimplementowano lokalne mechanizmy synchronizacji łączące logikę asynchroniczną z synchronicznym systemem akwizycji danych (DAQ). Wykorzystanie zegara serializera zapewniło niezawodny transfer danych oraz pracę bez utraty danych.
- **C5 – Przewagi wydajnościowe.** Uzyskano: (i) opóźnienie poniżej $1\ \mu\text{s}$, w praktyce słabo zależne od rozmiaru matrycy; (ii) przepustowość rzędu 10–17 MHz, stabilną przy dużym obciążeniu; (iii) sprawiedliwość rozumianą jako równy dostęp wszystkich pikseli; oraz (iv) wysoką efektywność energetyczną dzięki braku aktywności w pikselach bez zdarzeń, co ograniczyło pobór mocy i poziom zakłóceń.

Rozdział 6

Wykaz ważniejszych publikacji i aktywność konferencyjna

6.1 Artykuły w czasopismach naukowych

1. P. Maj, G. W. Deptuch, D. S. Gorni, G. Pinaroli, G. A. Carini, D. P. Siddons, R. Tappero, S. Mandal, D. Pinelli, T. Kersten, N. S. John, A. K. Rumaiz, A. Kuczewski, “*Evaluation of an event-driven 3FIASIC for spectroscopic X-ray detection with synchrotron radiation*”, **Journal of Synchrotron Radiation**, zaakceptowano do druku 24.11.2025, DOI: 10.1107/S1600577525010501.
2. P. Maj, G. Pinaroli, A. Bolotnikov, G. Carini, G. Deptuch, D. Gorni, S. Herrmann, D. Pinelli, J. Pinz, A. Verderosa, “*A virtual Frisch-grid geometry-based CZT gamma detector for in-field radioisotope identification*”, **Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment**, 1082, 170976 (2026), DOI: 10.1016/j.nima.2025.170976.
3. D. Gorni, G. Deptuch, P. Maj, S. Mandal, G. Pinaroli, “*Event-driven readout development: testing of the EDWARD65P1 chip with integrated event generators*”, **Journal of Instrumentation**, 20(03), C03009 (2025), DOI: 10.1088/1748-0221/20/03/C03009.
4. D. Gorni, G. Carini, G. Deptuch, A. Kuczewski, P. Maj, S. Mandal, G. Pinaroli, A. Rumaiz, D. Siddons, N. John, “*Integration of EDWARD readout architecture in full-field fluorescence imaging detector*”, **Journal of Instrumentation**, 19(04), C04035 (2024), DOI: 10.1088/1748-0221/19/04/C04035.
5. P. Kmon, R. Szczygieł, R. Kłeczek, D. Gorni, G. Węgrzyn, A. Niedzielska, K. Sitko, P. Drwal, “*Spectrum1k — integrated circuit for medical imaging designed in CMOS 40 nm*”, **Journal of Instrumentation**, 17(03), C03023 (2022), DOI: 10.1088/1748-0221/17/03/C03023.
6. D. Gorni, G. Deptuch, S. Miryala, D. Siddons, A. Kuczewski, A. Rumaiz, G. Carini, “*Event driven readout architecture with non-priority arbitration for radiation detectors*”, **Journal of Instrumentation**, 17(04), C04027 (2022), DOI: 10.1088/1748-0221/17/04/C04027.

6.2 Patenty

1. D. S. Gorni, G. W. Deptuch, S. Miryala, “Maruchiyaneru De-Ta So-Su No Tame No Hi Puraio Riti A-Bitore-Shon O Yusuru Ibento Dori-Bun Yomi-Dashi Shisutemu”, przyznany 31.10.2025, Japonia nr **JP 7763264 B2**.
2. D. S. Gorni, G. W. Deptuch, S. Miryala, “Event-Driven Readout System With Non-Priority Arbitration For Multichannel Data Sources”, zawiadomienie o dopuszczeniu do udzielenia patentu (Notice of Allowance) 10.09.2025, USA nr **US 2024/0193116 A1**.
3. D. S. Gorni, G. W. Deptuch, S. Miryala, “Event-Driven Readout System With Non-Priority Arbitration For Multichannel Data Sources”, zawiadomienie o zamiarze udzielenia patentu europejskiego 01.10.2025 nr EP 4323878 A1, **EP 4323878 A4**
4. D. S. Gorni, G. W. Deptuch, S. Miryala, “Event-Driven Readout System With Non-Priority Arbitration For Multichannel Data Sources”, aplikacja patentowa opublikowana 26.10.2023, Australia nr **AU 2022/259481 A1**.
5. D. S. Gorni, G. W. Deptuch, S. Miryala, “Event-Driven Readout System With Non-Priority Arbitration For Multichannel Data Sources”, aplikacja patentowa opublikowana 20.10.2022, procedura krajowa (USA, EP, Japonia, Australia), Światowa Organizacja Własności Intelektualnej WIPO nr **WO 2022/221068 A1**.

6.3 Aktywność konferencyjna

2025 IEEE Nuclear Science Symposium	<i>Evaluation of a Full Field Fluorescence Imager IC with Synchrotron Radiation.</i>	01/11/2025 – 08/11/2025 Jokohama, Japonia
TWEPP 2024 Topical Workshop on Electronics for Particle Physics	<i>Event-Driven Readout Development: Testing of the EDWARD65P1 Chip with Integrated Event Generators.</i>	30/09/2024 – 04/10/2024 Glasgow, UK
High Energy Physics-Integrated Circuits Workshop (HEP-IC)	<i>Trends in pixel readout chip designs for high rate and radiation.</i>	30/04/2024 – 02/05/2024 Brookhaven National Laboratory, Upton, USA
XII Front-End Electronics Workshop	<i>Event-driven arbitrated protocols implemented in integrated readout circuits for segmented detectors.</i>	12/06/2023 – 16/06/2023 Politecnico di Torino, Turyn, Włochy
CPAD 2022, The Coordinating Panel for Advanced Detectors	<i>Automated Circuit Skeleton for All-Digital Implementation of Configuration-Testability-Readout Functionalities in Front-End ASICs.</i>	29/11/2022 – 02/12/2022 Stony Brook University, USA
2022 17th Conference on Ph.D Research in Microelectronics and Electronics PRIME 2022	<i>Investigation of Timing Properties for an Event Driven with Access and Reset Decoder Readout Architecture for a Pixel Array.</i>	12/06/2022 – 15/06/2022 Villasimius, Włochy

Tabela 6.1: Wystąpienia konferencyjne

TWEPP 2023 Topical Workshop on Electronics for Particle Physics	<i>Integration of EDWARD readout architecture in full-field fluorescence imaging detector.</i>	01/10/2023 – 06/10/2023 Geremeas, Włochy
2022 IEEE Nuclear Science Symposium	<i>A Universal All-Digital Platform for Implementation of Configuration-Testability-Readout Functionalities within Pixel Detectors.</i>	05/11/2022 – 12/11/2022 Mediolan, Włochy
TWEPP 2021 Topical Workshop on Electronics for Particle Physics	<i>Event driven readout system with non-priority arbitration for radiation detectors. Poster Presentation Award (Nagroda za prezentację posterową)</i>	20/09/2021 – 24/09/2021 Zdalnie

Tabela 6.2: Postery konferencyjne

Bibliografia

- [1] M. Garcia-Sciveres, “Hybrid pixel readout integrated circuits,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 1057, p. 168725, 2023. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0168900223007167>
- [2] M. B. Valentin *et al.*, “In-pixel ai for lossy data compression at source for x-ray detectors,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 1057, p. 168665, 2023. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0168900223006551>
- [3] S. A. Taylor *et al.*, “Ccd and cmos imaging array technologies: technology review,” *UK: Xerox Research Centre Europe*, pp. 1–14, 1998.
- [4] S. Heuvelmans and M. Boerrigter, “A pixel read-out architecture implementing a two-stage token ring, zero suppression and compression,” *Journal of Instrumentation*, vol. 6, no. 01, p. C01093, jan 2011. [Online]. Available: <https://dx.doi.org/10.1088/1748-0221/6/01/C01093>
- [5] P. Purohit and R. Manohar, “Asynchronous, event-driven readout for large-scale imaging devices,” in *2025 29th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)*, 2025, pp. 118–125.
- [6] P. Lichtsteiner, C. Posch, and T. Delbruck, “A 128×128 120 db 15 μ s latency asynchronous temporal contrast vision sensor,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 2, pp. 566–576, 2008.
- [7] P. Fischer, “First implementation of the mephisto binary readout architecture for strip detectors,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 461, no. 1, pp. 499–504, 2001, 8th Pisa Meeting on Advanced Detectors. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0168900200012833>
- [8] D. Gorni *et al.*, “Event driven readout architecture with non-priority arbitration for radiation detectors,” *Journal of Instrumentation*, vol. 17, no. 04, p. C04027, apr 2022. [Online]. Available: <https://dx.doi.org/10.1088/1748-0221/17/04/C04027>
- [9] D. S. Górni, “System wbudowany dla testów hybrydowych detektorów pikselowych: Embedded system for hybrid pixel detectors testing,” *Praca dyplomowa (Master’s Thesis)*, AGH University of

Science and Technology, Faculty of Electrical Engineering, Automatics, Computer Science and Bio-medical Engineering, Kraków, Poland, 2020.

- [10] C. L. Seitz, "Ideas about arbiters," *Lambda*, no. 1, pp. 10–14, 1980.
- [11] D. Gorni *et al.*, "Event-driven readout development: testing of the edward65p1 chip with integrated event generators," *Journal of Instrumentation*, vol. 20, no. 03, p. C03009, mar 2025. [Online]. Available: <https://dx.doi.org/10.1088/1748-0221/20/03/C03009>
- [12] D. Gorni, G. Deptuch, and S. Miryala, "Investigation of timing properties for an event driven with access and reset decoder readout architecture for a pixel array," in *2022 17th Conference on Ph.D Research in Microelectronics and Electronics (PRIME)*, 2022, pp. 113–116.
- [13] P. Maj *et al.*, "Evaluation of a full field fluorescence imager with synchrotron radiation," 2025. [Online]. Available: <https://arxiv.org/abs/2507.14425>