



AGH

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

DZIEDZINA NAUK INŻYNIERYJNO-TECHNICZNYCH

DYSCYPLINA AUTOMATYKA, ELEKTRONIKA, ELEKTROTECHNIKA
I TECHNOLOGIE KOSMICZNE

AUTOREFERAT ROZPRAWY DOKTORSKIEJ

Rozwój scalonych systemów mikroprocesorowych
dla hybrydowych detektorów promieniowania jonizującego

Autor: mgr inż. Paweł Skrzypiec

Promotor rozprawy: dr hab. inż. Robert Szczygieł, prof. AGH

Praca wykonana: Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii
Biomedycznej

Kraków, 2023

Streszczenie

Głównym celem prac przedstawionych w rozprawie było wykorzystanie zalet przetwarzania brzegowego w hybrydowych detektorach promieniowania jonizującego. Badania zrealizowane przez Autora przyczyniły się do zaprojektowania i przetestowania specjalizowanego układu scalonego, integrującego we wspólnym podłożu krzemowym mikroprocesor RISC-V i układ odczytowy dla hybrydowego pikselowego detektora promieniowania jonizującego. Opracowane rozwiązanie pozwoliło na wykonywanie wewnątrz układu scalonego algorytmów, które dotychczas realizowane były przy użyciu zewnętrznych urządzeń pomocniczych, takich jak komputery osobiste i układy FPGA. Przykładowym benefitem wynikającym z przetwarzania danych wewnątrz układu scalonego jest redukcja czasu potrzebnego na transmisję wyników rejestracji promieniowania do urządzenia odpowiedzialnego za ich magazynowanie, uzyskiwana poprzez wykonywanie wewnątrz układu odpowiednich algorytmów filtracyjnych.

Zaprojektowany przez Autora scalony system mikroprocesorowy dla hybrydowych detektorów promieniowania jonizującego został wyprodukowany w 40-nanometrowym procesie CMOS i przetestowany przez środowisko testowe skonstruowane przez Autora. Opracowane środowisko testowe zostało zrealizowane przy użyciu komputera PC i układu FPGA, połączonych za pośrednictwem interfejsu PCIe Gen. 3 x8, a w jego skład wchodziły układ cyfrowy zaimplementowany w FPGA, sterownik dla Linuksa (moduł jądra) oraz aplikacja przestrzeni użytkownika, umożliwiające, między innymi programowanie testowanego układu, przesyłanie do niego komend i wizualizację danych transmitowanych przez ten układ.

Skonstruowane środowisko testowe pozwoliło Autorowi na implementację i przetestowanie algorytmu kalibracyjnego, umożliwiającego korekcję napięć niezrównoważenia dyskryminatorów wchodzących w skład analogowych torów odczytowych. Przeprowadzone eksperymenty wykazały, że integracja we wspólnym podłożu krzemowym mikroprocesora RISC-V i układu odczytowego dla hybrydowego pikselowego detektora promieniowania jonizującego, umożliwi budowę autonomicznych układów odczytowych, zdolnych do samodzielnej analizy danych odczytywanych z sensorów i autokalibracji. Przedstawiony w rozprawie scalony system mikroprocesorowy jest, według najlepszej wiedzy Autora, pierwszym na świecie układem integrującym we wspólnym podłożu krzemowym mikroprocesor RISC-V i układ odczytowy dla hybrydowego pikselowego detektora promieniowania jonizującego.

Spis treści

Spis symboli i skrótów	1
1 Wstęp	2
1.1 Wprowadzenie	2
1.2 Cel pracy	3
2 Odczytowy układ scalony z wbudowanym mikroprocesorem RISC-V	4
3 Środowisko do testowania odczytowych układów scalonych	7
4 Podsumowanie	11

Spis symboli i skrótów

CMOS	Complementary Metal-Oxide-Semiconductor
CSR	Control and Status Register
DSC	Data Storage Controller
FPGA	Field Programmable Gate Array
GPIO	General Purpose Input Output
IP	Intellectual Property
OCM	On-Chip Memory
PC	Personal Computer
PCIe	Peripheral Component Interconnect Express
PM	Pixel Matrix
PMC	Pixel Matrix Controller
PMCC	Pixel Matrix Controller Coprocessor
PMDC	Pixel Matrix Data Converter
RAM	Random-Access Memory
TX	Transceiver
UART	Universal Asynchronous Receiver / Transmitter

Rozdział 1

Wstęp

1.1 Wprowadzenie

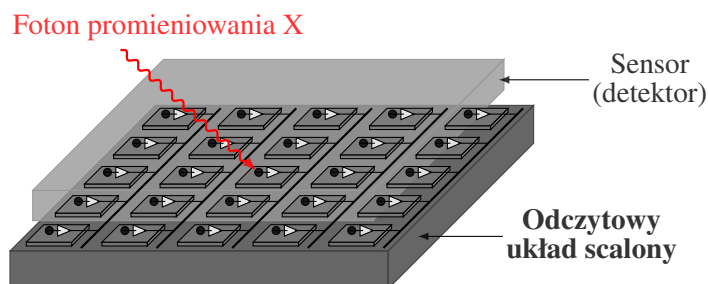
Mikroprocesory są scalonymi układami elektronicznymi, których działanie może być modyfikowane bez konieczności wprowadzania zmian w ich architekturze sprzętowej. Zadania realizowane przez tego typu urządzenia definiowane są za pośrednictwem instrukcji, czyli ciągów liczb przenoszących informacje o typie i argumentach żądanej operacji. Wynikająca z tej właściwości elastyczność mikroprocesorów sprawiła, że układy te znalazły szerokie zastosowanie nie tylko w centrach danych i superkomputerach, ale również w niewielkich, energooszczędnych urządzeniach, takich jak telefony komórkowe i inteligentne zegarki.

Mianem *systemów mikroprocesorowych* określane są układy elektroniczne, w skład których wchodzi mikroprocesory, pamięci oraz inne urządzenia peryferyjne, umożliwiające mikroprocesorom interakcje z otoczeniem. Przykładami tego typu systemów są mikrokontrolery, czyli urządzenia integrujące wspomniane komponenty w jednym układzie scalonym. Na rynku znajdują się zarówno mikrokontrolery ogólnego zastosowania, jak również układy specjalizowane do specyficznych zadań, na przykład w eksperymentach naukowych i medycynie. Mikrokontrolery dedykowane do konkretnych aplikacji mogą zawierać układy peryferyjne obsługujące specjalizowane czujniki.

Integracja mikroprocesorów ze specjalizowanymi czujnikami pozwala na przetwarzanie danych generowanych przez te sensory blisko miejsca ich wytworzenia. Skutkuje to eliminacją konieczności przesyłania danych do zewnętrznego urządzenia pomocniczego, odpowiedzialnego wyłącznie za ich przetworzenie. Umieszczenie czujnika i mikroprocesora w jednym układzie scalonym pozwala na skrócenie czasu potrzebnego na analizę danych i ewentualną korektę parametrów sensora, oraz na zmniejszenie ilości danych transmitowanych do systemu nadrzędnego. Realizowane w ten sposób przetwarzanie danych implementuje współczesny paradygmat przetwarzania brzegowego (ang. *edge-computing*), zwiększając ogólną wydajność systemu i zmniejszając jego zapotrzebowanie energetyczne.

Mimo licznych zalet wynikających z możliwości programowania układów elektronicznych, niektóre systemy realizowane są jako układy scalone o stałej funkcjonalności. Przykładami tego typu układów są hybrydowe pikselowe detektory promieniowania jonizującego. Składają się one z dwóch podstawowych komponentów: półprzewodnikowego sensora, konwertującego promieniowanie na impulsy prądowe, oraz układu elektronicznego, przetwarzającego te impulsy. Wstępne przetwarzanie impulsów jest zazwyczaj re-

alizowane przez specjalizowany układ scalony o stałej funkcjonalności. Następnie surowe dane przesyłane są do systemu nadrzędnego, dokonującego ich finalnej obróbki. Do zadań systemu nadrzędnego, poza odczytem wyników rejestracji promieniowania, należy również kalibracja detektora. Na Rys. 1.1 przedstawiona została budowa hybrydowego pikselowego detektora promieniowania jonizującego.



Rysunek 1.1: Budowa hybrydowego pikselowego detektora promieniowania jonizującego.

1.2 Cel pracy

Celem opisanych w rozprawie prac było wykorzystanie zalet przetwarzania brzegowego w hybrydowych detektorach promieniowania jonizującego. Przedstawiony cel został osiągnięty poprzez realizację następujących zadań:

1. opracowanie scalonego układu odczytowego do hybrydowego pikselowego detektora promieniowania jonizującego, z wbudowanym mikroprocesorem, który rozszerzył możliwości istniejących rozwiązań,
2. opracowanie oprogramowania wymaganego do poprawnego działania skonstruowanego systemu,
3. opracowanie systemu (sprzętu i oprogramowania) do testowania, który:
 - umożliwił sprawne przetestowanie skonstruowanego układu po jego wyprodukowaniu,
 - pozwolił na weryfikację części cyfrowej projektowanego układu już na wstępnym etapie prac projektowych.

Rozdział 2

Odczytowy układ scalony z wbudowanym mikroprocesorem RISC-V

Układ odczytowy dla sensora promieniowania jonizującego jest układem elektronicznym składającym się z pikseli, które za pomocą wiązań typu bump-bonding połączone zostać mogą z pikselowym sensorem promieniowania jonizującego. W tak skonstruowanym systemie sensor pełni rolę źródła impulsów elektrycznych, których parametry są zależne od liczby zarejestrowanych cząstek promieniowania, i których przetwarzanie realizowane jest w analogowych torach odczytowych zlokalizowanych w pikselach układu odczytowego. Działanie i parametry układu odczytowego mogą być konfigurowane za pośrednictwem następujących interfejsów komunikacyjnych:

- kontrolnego, podłączonego do kontrolera układu odczytowego,
- konfiguracji analogowej, sterującego globalnymi parametrami analogowymi,
- konfiguracji cyfrowej, determinującego tryb pracy układu odczytowego,
- danych wejściowych, umożliwiającego wpisywanie danych do pikseli,
- danych wyjściowych, pozwalającego na odczytywanie danych z pikseli.

Kontroler układu odczytowego dla sensora promieniowania jonizującego, który w dalszej części niniejszego dokumentu nazywany będzie *Kontrolerem Matrycy Pikseli*, Pixel Matrix Controller (PMC), jest układem peryferyjnym pełniącym rolę interfejsu pomiędzy mikroprocesorem RISC-V a matrycą pikseli, Pixel Matrix (PM). Komponent ten, tak jak pozostałe układy peryferyjne, takie jak General Purpose Input Output (GPIO) i Universal Asynchronous Receiver / Transmitter (UART), podłączony został do mikroprocesora za pośrednictwem magistrali danych. Rozwiązanie to pozwoliło na sterowanie działaniem układu odczytowego dla sensora promieniowania jonizującego przy wykorzystaniu standardowych instrukcji procesora, takich jak zapis (sw) i odczyt (lw) słowa, a co za tym idzie na definiowanie algorytmów sterujących przy użyciu języków programowania takich jak C i C++.

Jednym z najważniejszych wymagań stawianych układom odczytowym dla sensorów promieniowania jonizującego jest precyzja sterowania w czasie. Sterowanie PM za pośrednictwem instrukcji zapisu danych

do rejestrów kontrolno-statusowych, Control and Status Register (CSR), wiąże się z opóźnieniami wynikającymi z konieczności przygotowania danej przez mikroprocesor przed jej wpisaniem do odpowiedniego rejestru. Biorąc pod uwagę również fakt, iż przebieg programu wykonywanego przez mikroprocesor może zostać zaburzony przez czynniki zewnętrzne, takie jak np. wystąpienie przerwania, nie można mieć pewności, że czas pomiędzy kolejnymi aktualizacjami CSR będzie stały. Zjawisko to negatywnie wpływa na rzetelność wykonywanych pomiarów, ponieważ może wprowadzić niezamierzone różnice w czasach rejestracji promieniowania. Problemy wynikające z braku determinizmu czasowego w algorytmach sterujących PM wykonywanych przez mikroprocesor zostały załagodzone przez Autora poprzez implementację dodatkowej programowalnej jednostki wykonawczej nazwanej *Koprocesorem Kontrolera Matrycy Pikseli*, Pixel Matrix Controller Coprocessor (PMCC).

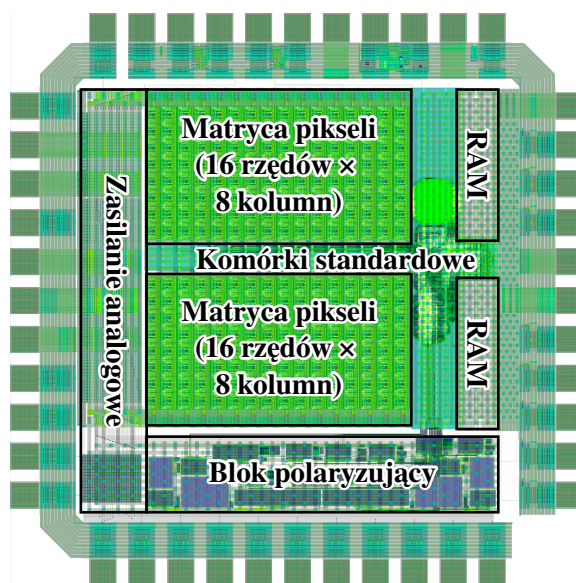
Wymiana danych pomiędzy PMC a PM realizowana była za pośrednictwem 32-bitowych interfejsów, których poszczególne bity podłączone były do odpowiednich kolumn PM. Oznacza to, że podczas wymiany danych pomiędzy mikroprocesorem a PM, każdy z transmitowanych bitów przynosił informację związaną z jedną kolumną PM. Właściwość ta sprawiała, że wszystkie przesyłane dane musiały być odpowiednio przetwarzane przez mikroprocesor przy użyciu operacji takich jak testowanie wartości, ustawianie i zerowanie poszczególnych bitów 32-bitowych słów. Eksperymenty wykonane przez Autora rozprawy wykazały, że czas wykonywania przez mikroprocesor wspomnianych konwersji ma znaczny wpływ na czasy wykonywania odczytów i zapisów PM. Zaprojektowany przez Autora *Konwerter Danych Matrycy Pikseli*, Pixel Matrix Data Converter (PMDC), umożliwił znaczące skrócenie czasów wykonywania wspomnianych algorytmów, co zostało przedstawione w Tab. 2.1, prezentującej wyniki analizy algorytmu zapisującego matrycę pikseli.

Tabela 2.1: Wyniki analizy algorytmu zapisującego matrycę pikseli.

Tryb pracy PMC	Cykle zegara	Różnica względem trybu wykorzystującego wyłącznie mikroprocesor [%]
Sterowanie matrycą: mikroprocesor Konwersje danych: mikroprocesor	108958	0,0
Sterowanie matrycą: PMCC Konwersje danych: mikroprocesor	112748	+3,5
Sterowanie matrycą: PMCC Konwersje danych: PMDC	3383	-96,9

Głównym celem integracji we wspólnym podłożu krzemowym mikroprocesora RISC-V i PM, było umożliwienie wykonywania algorytmów sterujących PM wewnątrz układu scalonego. Implementacja przykładowych algorytmów rozpoczęta została już na wczesnym etapie prac badawczych, a ich weryfikacja była realizowana przy użyciu symulatora *Cadence Xcelium* i prototypu zaimplementowanego w Field Programmable Gate Array (FPGA). Przykładowymi opracowanymi algorytmami były: odczyt i zapis matrycy pikseli, kalibracja analogowego toru odczytowego, transmisja podobszaru matrycy oraz transmisja danych z pikseli spełniających zadane kryterium.

Opracowany przez Autora rozprawy odczytowy układ scalony z wbudowanym mikroprocesorem RISC-V został zaprojektowany i wykonany w 40-nanometrowym procesie Complementary Metal-Oxide-Semiconductor (CMOS). Synteza i implementacja układu wykonane zostały przy użyciu narzędzi Cadence Genus i Cadence Innovus, przy założeniu, że układ będzie taktowany sygnałem zegarowym o częstotliwości 50 MHz. Całkowity rozmiar układu wyniósł $1.73 \text{ mm} \times 1.73 \text{ mm}$, a w jego obrębie umieszczone zostały 44 wyprowadzenia, których rozkład umożliwił montaż układu scalonego w obudowie JLCC44. Na Rys. 2.1 przedstawiony został plan masek litograficznych zaprojektowanego układu scalonego.



Rysunek 2.1: Plan masek litograficznych.

Rozdział 3

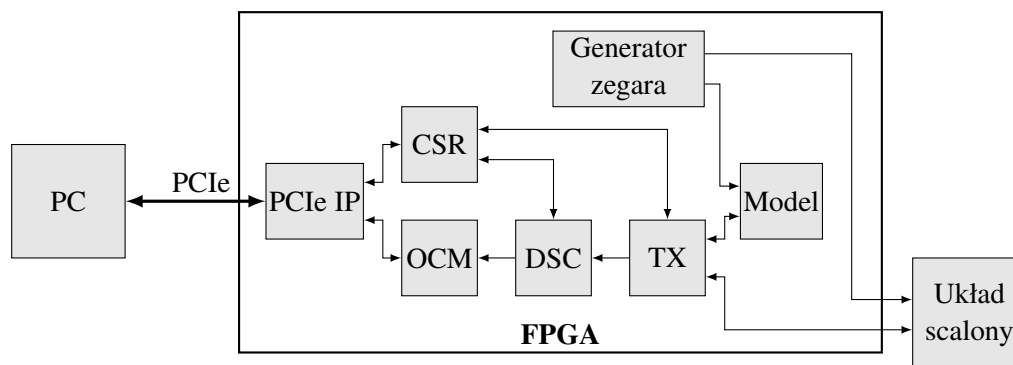
Środowisko do testowania odczytowych układów scalonych

Odczytowe układy scalone są urządzeniami elektronicznymi zawierającymi analogowe tory odczytowe, których parametry mogą różnić się zarówno między egzemplarzami układu, jak i pomiędzy poszczególnymi ich instancjami wewnątrz jednego układu scalonego. Weryfikacja poprawności analogowych torów odczytowych wiąże się z koniecznością wykorzystania środowiska testowego kompatybilnego z konkretnym układem odczytowym. Zaprojektowane przez Autora rozprawy środowisko do testowania odczytowych układów scalonych zostało zbudowane z płyty deweloperskiej *Intel Arria 10 GX* oraz komputera klasy Personal Computer (PC), połączonych za pośrednictwem 8-liniowego interfejsu Peripheral Component Interconnect Express (PCIe) trzeciej generacji. Działanie skonstruowanego środowiska było nadzorowane przez *Linuksa 5.17.9*, wchodzącego w skład dystrybucji *Fedora Workstation 36*.

Układ FPGA został wykorzystany do implementacji układu cyfrowego pośredniczącego w komunikacji pomiędzy PC a testowanym układem scalonym. W opracowanym rozwiązaniu wyróżnić można następujące elementy, z których każdy realizował ściśle określone zadania:

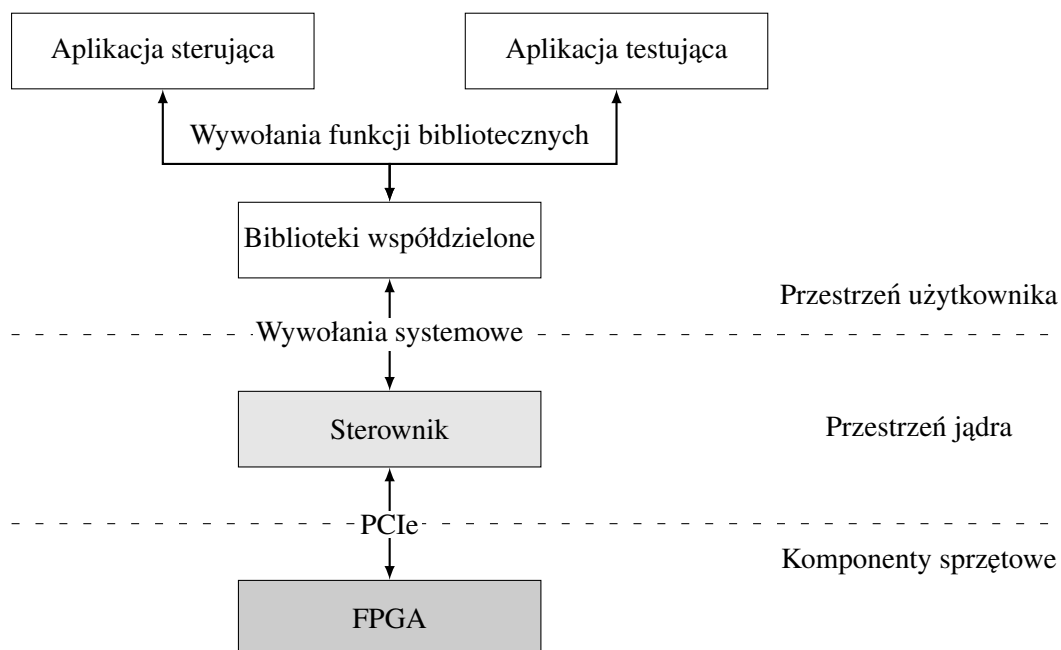
- PCIe Intellectual Property (IP) – blok użyty do konfiguracji interfejsu PCIe,
- CSR – zbiór rejestrów kontrolno-statusowych, umożliwiających sterowanie działaniem układu i monitorowanie jego stanu,
- On-Chip Memory (OCM) – pamięć zlokalizowana wewnątrz układu scalonego,
- Data Storage Controller (DSC) – komponent kontrolujący zapis danych odczytywanych z testowanego układu scalonego,
- Transceiver (TX) – moduł nadawczo-odbiorczy sterujący transmisją danych pomiędzy FPGA i testowanym układem,
- generator zegara – komponent generujący sygnał zegarowy wykorzystywany do taktowania testowanego układu,
- model – wykorzystywany w celach diagnostycznych model testowanego układu.

Ogólna architektura sprzętowa opracowanego środowiska do testowania odczytowych układów scalonych przedstawiona została na Rys. 3.1.



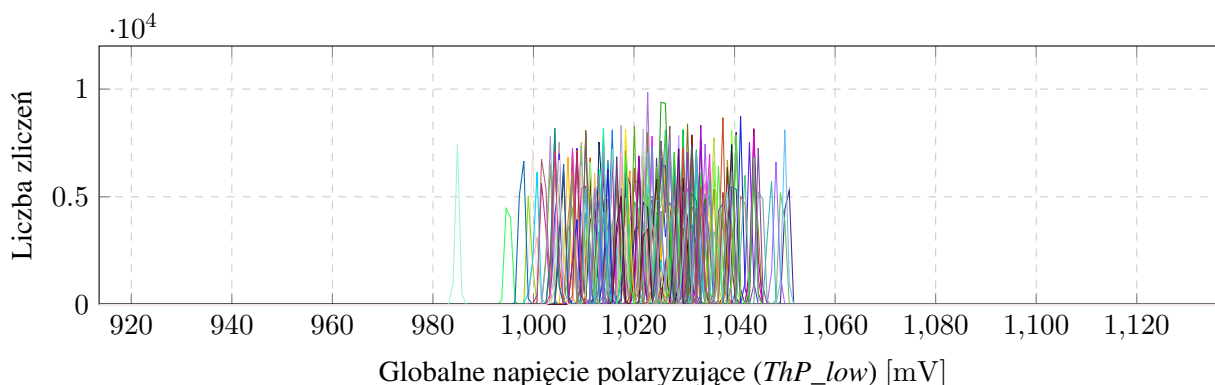
Rysunek 3.1: Ogólna architektura sprzętowa środowiska do testowania odczytowych układów scalonych.

Złożoność architektury sprzętowej opracowanego środowiska do testowania odczytowych układów scalonych, wiązała się z koniecznością implementacji odpowiedniego oprogramowania. Szeroki zakres działań realizowanych przez opracowany system poskutkowało koniecznością rozdzielenia logiki pomiędzy sterownik działający w przestrzeni jądra oraz komponenty programowe działające w przestrzeni użytkownika. Ogólna architektura programowa opracowanego środowiska testowego przedstawiona została na Rys. 3.2.



Rysunek 3.2: Ogólna architektura programowa.

Analogowe tory odczytowe wchodzące w skład układów odczytowych dla sensorów promieniowania jonizującego mogą być testowane przy użyciu szumów generowanych przez te tory. Podczas rejestracji promieniowania, dyskryminatory podłączone są do dedykowanych układów zliczających, których zawartość jest inkrementowana po dostarczeniu przez dyskryminatory impulsów elektrycznych o określonych parametrach. Wspomniane impulsy mogą być generowane nie tylko w wyniku wykrycia przez sensory cząstek promieniowania, ale również w wyniku występowania szumów w analogowych torach odczytowych.



Rysunek 3.3: Wyniki pomiarów impulsów generowanych przez szumy analogowych torów odczytowych.

Występujące w analogowych torach odczytowych napięcia niezrównoważenia dyskryminatorów powodowały, że poszczególne tory odczytowe rejestrowały maksymalne liczby zliczeń impulsów szumowych dla różnych globalnych napięć polaryzujących. Wykonanie sekwencji rejestracji i odczytów impulsów szumowych dla kolejnych wartości globalnego napięcia polaryzującego pozwoliło na określenie zakresu, w którym mieściły się napięcia zapewniające maksymalne liczby zliczeń dla poszczególnych pikseli. Na Rys. 3.3 przedstawione zostały wyniki pomiaru impulsów generowanych przez szumy analogowych torów odczytowych.

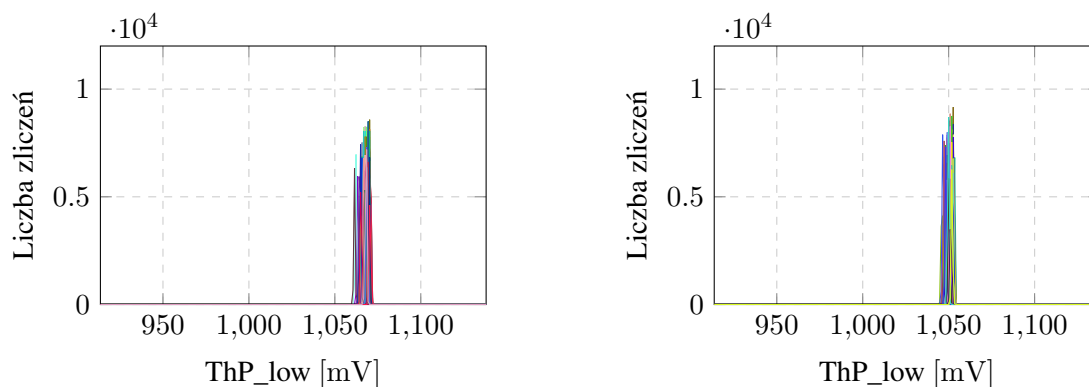
Wyniki wykonanych pomiarów impulsów generowanych przez szumy analogowego toru odczytowego zostały wykorzystane do wyznaczenia średniej i odchylenia standardowego napięć niezrównoważenia dyskryminatorów. W Tab. 3.1 przedstawione zostały wyznaczone parametry statystyczne.

Tabela 3.1: Wyniki pomiarów napięć niezrównoważenia.

Parametr fizyczny	Parametr statystyczny	Cała matryca
Napięcie niezrównoważenia [mV]	Średnia	1023,22
	Odchylenie standardowe	11,89
Maksymalne liczby zliczeń [zliczenia]	Średnia	6245,53
	Odchylenie standardowe	1268,79

W testowanym układzie scalonym, każdy dyskryminator posiada dedykowany 7-bitowy przetwornik korygujący napięcie niezrównoważenia. Ze względu na fakt, iż w docelowych aplikacjach rejestracja promieniowania realizowana jest dla jednej wartości globalnego napięcia korygującego, wykonuje się kalibrację napięć niezrównoważenia wszystkich pikseli do wspólnego poziomu. Na Rys. 3.4a oraz Rys.3.4b przedstawione zostały wyniki pomiarów impulsów szumowych zarejestrowanych dla układu skalibrowanego dla globalnych napięć polaryzujących wynoszących odpowiednio 984 mV oraz 1001,6 mV. Wartości te zostały wybrane ze względu na fakt, iż znajdowały się w środku zakresu napięciowego globalnego przetwornika polaryzującego.

Wyniki pomiarów wykonanych dla układu skalibrowanego dla globalnego napięcia polaryzującego wynoszącego 1001,6 mV zostały poddane tej samej analizie statystycznej, której poddane zostały wyniki pomiaru układu nieskalibrowanego, a wyniki tej analizy przedstawione zostały w Tab 3.2. Porównanie zawar-



(a) Pomiar dla układu skalibrowanego dla globalnego napięcia polaryzującego 984 mV.

(b) Pomiar dla układu skalibrowanego dla globalnego napięcia polaryzującego 1001,6 mV.

Rysunek 3.4: Wyniki pomiarów impulsów generowanych przez szumy skalibrowanego układu.

tości Tab 3.1 i Tab 3.2 wykazuje, że przeprowadzona procedura kalibracyjna pozwoliła na znaczną redukcję odchylenia standardowego napięcia niezrównoważenia z 11,89 mV do 1,30 mV.

Tabela 3.2: Wyniki pomiarów napięć niezrównoważenia dla układu skalibrowanego.

Parametr fizyczny	Parametr statystyczny	Cała matryca
Napięcie niezrównoważenia [mV]	Średnia	1050,63
	Odchylenie standardowe	1,30
Maksymalne liczby zliczeń [zliczenia]	Średnia	6254,63
	Odchylenie standardowe	1285,40

Wykonane eksperymenty wykazały, że opracowany przez Autora rozprawy scalony system mikroprocesorowy dla hybrydowych detektorów promieniowania jonizującego może być skutecznie wykorzystywany do autokalibracji układów odczytowych.

Rozdział 4

Podsumowanie

Celem badań przeprowadzonych przez Autora rozprawy było wykorzystanie zalet przetwarzania brzegowego w hybrydowych detektorach promieniowania jonizującego. Paradygmat ten został wdrożony w opracowanym przez Autora systemie mikroprocesorowym dla hybrydowego pikselowego detektora promieniowania poprzez integrację mikroprocesora RISC-V i pikselowego układu odczytowego sensora we wspólnym podłożu krzemowym. Opracowane rozwiązanie pozwoliło, między innymi, na odczyt wyników rejestracji, filtrację danych odczytywanych z matrycy i korekcję napięć niezrównoważenia dyskryminatorów wchodzących w skład analogowych torów odczytowych.

Wynikiem badań przeprowadzonych przez Autora rozprawy były:

1. scalony system mikroprocesorowy integrujący mikroprocesor RISC-V i układ odczytowy dla hybrydowego pikselowego detektora promieniowania jonizującego,
2. środowisko do testowania opracowanego systemu mikroprocesorowego,
3. 32-bitowy mikroprocesor RISC-V .

Autor rozprawy zrealizował następujące zadania:

- zaprojektowanie architektury sprzętowej układu scalonego, integrującego mikroprocesor RISC-V z układem odczytowym dla hybrydowego detektora promieniowania jonizującego,
- implementacja opracowanej architektury sprzętowej w języku SystemVerilog, w szczególności układu peryferyjnego sterującego układem odczytowym dla hybrydowego detektora pikselowego,
- opracowanie, przy wykorzystaniu języka C++, oprogramowania układowego (ang. firmware), sterującego zaprojektowanym systemem mikroprocesorowym,
- opracowanie środowiska projektowego, zawierającego skrypty wspomagające projektowanie i weryfikację projektowanego układu scalonego (skrypty powłoki systemowej oraz język Python),
- przygotowanie, napisanych w języku TCL, skryptów do syntezy i implementacji topografii (ang. place & route) układu scalonego,
- przeprowadzenie syntezy i implementacji topografii oraz weryfikacji układu scalonego,

- opracowanie prototypowego modelu projektowanego układu scalonego do implementacji w układzie FPGA,
- budowa zautomatyzowanego systemu testów regresyjnych opartego na platformie *GitHub*, odpowiedzialnego za automatyczne uruchamianie symulacji, syntezy i implementacji układu scalonego oraz syntezy i wgrywania prototypu do FPGA, a także za uruchomienie testów weryfikujących wgrany prototyp. Wszystkie wymienione testy były automatycznie uruchamiane po zaktualizowaniu zawartości przechowywanego na tej platformie repozytorium, zawierającego model HDL projektowanego układu scalonego oraz pliki źródłowe oprogramowania układowego,
- opracowanie architektury środowiska do testowania opracowanego systemu mikroprocesorowego, składającego się z układu FPGA, sterownika i aplikacji przestrzeni użytkownika,
- zaprojektowanie układu cyfrowego implementowanego w FPGA, pośredniczącego w komunikacji pomiędzy PC a zaprojektowanym układem scalonym, komunikującego się z PC za pośrednictwem interfejsu PCIe Gen. 3 x8,
- opracowanie sterownika dla Linuksa (modułu jądra) do komunikacji z układem cyfrowym zaimplementowanym w FPGA,
- zaprojektowanie interaktywnej aplikacji sterującej skonstruowanym środowiskiem testowym (C++ i biblioteka Qt), pozwalającej, między innymi na programowanie opracowanego układu scalonego, przesyłanie komend do tego układu i wizualizację danych transmitowanych przez testowany układ,
- opracowanie aplikacji testowej (C++ i biblioteka GoogleTest), pozwalającej na automatyczne uruchamianie zbiorów testów weryfikujących zaprojektowany układ scalony,
- zaprojektowanie mikroprocesora RISC-V o architekturze RV32I.

Realizacja badań przeprowadzonych przez Autora rozprawy wymagała bardzo szerokiego zakresu wiedzy z dziedziny programowania (oprogramowanie układowe, sterowniki Linuksa i aplikacje przestrzeni użytkownika), projektowania systemów cyfrowych w FPGA i systemów mikroprocesorowych oraz projektowania specjalizowanych układów scalonych.

Przedstawiony w rozprawie scalony system mikroprocesorowy był, według najlepszej wiedzy Autora, pierwszym na świecie układem integrującym we wspólnym podłożu krzemowym mikroprocesor RISC-V i układ odczytowy dla hybrydowego pikselowego detektora promieniowania jonizującego.

Najważniejsze publikacje

- [1] **Paweł Skrzypiec**, Paweł Gryboś i Robert Szczygieł. „System for the fast readout and tests of pixel IC operating in single photon counting mode using PCIe-based FPGA”. W: *Journal of Instrumentation* 19.01 (sty. 2024), s. C01055. DOI: 10.1088/1748-0221/19/01/C01055. URL: <https://dx.doi.org/10.1088/1748-0221/19/01/C01055>.
- [2] **Paweł Skrzypiec** i Robert Szczygieł. „Readout chip with RISC-V microprocessor for hybrid pixel detectors”. W: *Journal of Instrumentation* 18.01 (sty. 2023), s. C01030. DOI: 10.1088/1748-0221/18/01/C01030. URL: <https://dx.doi.org/10.1088/1748-0221/18/01/C01030>.
- [3] **Paweł Skrzypiec**, Robert Szczygieł i Paweł Gryboś. „System for the Fast Readout and Tests of Pixel IC Operating in Single Photon Counting Mode using PCIe-based FPGA”. W: *24th International Workshop on Radiation Imaging Detectors*. 2023.
- [4] **Paweł Skrzypiec** i Robert Szczygieł. „Readout chip with RISC-V microprocessor for hybrid pixel detectors”. W: *23rd International Workshop on Radiation Imaging Detectors*. 2022.
- [5] **Paweł Skrzypiec** i Robert Szczygieł. „Development of On-Chip Calibration for Hybrid Pixel Detectors”. W: *24th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS)*. 2021, s. 133–136. DOI: 10.1109/DDECS52668.2021.9417021.
- [6] **Paweł Skrzypiec** i Zbigniew Marszałek. „Linux Kernel Driver for External Analog-to-Digital and Digital-to-Analog Converters”. W: *2020 27th International Conference on Mixed Design of Integrated Circuits and System (MIXDES)*. 2020, s. 255–259. DOI: 10.23919/MIXDES49814.2020.9155842.