

Streszczenie

Głównym celem prac przedstawionych w niniejszej rozprawie było wykorzystanie zalet przetwarzania brzegowego w hybrydowych detektorach promieniowania jonizującego. Badania zrealizowane przez Autora przyczyniły się do zaprojektowania i przetestowania specjalizowanego układu scalonego, integrującego we wspólnym podłożu krzemowym mikroprocesor RISC-V i układ odczytowy dla hybrydowego pikselowego detektora promieniowania jonizującego. Opracowane rozwiązanie pozwoliło na wykonywanie wewnątrz układu scalonego algorytmów, które dotychczas realizowane były przy użyciu zewnętrznych urządzeń pomocniczych, takich jak komputery osobiste i układy FPGA. Przykładowym benefitem wynikającym z przetwarzania danych wewnątrz układu scalonego jest redukcja czasu potrzebnego na transmisję wyników rejestracji promieniowania do urządzenia odpowiedzialnego za ich magazynowanie, uzyskiwana poprzez wykonywanie wewnątrz układu odpowiednich algorytmów filtracyjnych.

Zaprojektowany przez Autora niniejszej rozprawy scalony system mikroprocesorowy dla hybrydowych detektorów promieniowania jonizującego został wyprodukowany w 40-nanometrowym procesie CMOS i przetestowany przez środowisko testowe skonstruowane przez Autora. Opracowane środowisko testowe zostało zrealizowane przy użyciu komputera PC i układu FPGA, połączonych za pośrednictwem interfejsu PCIe Gen. 3 x8, a w jego skład wchodziły układ cyfrowy zaimplementowany w FPGA, sterownik dla Linuksa (moduł jądra) oraz aplikacja przestrzeni użytkownika, umożliwiająca, między innymi programowanie testowanego układu, przesyłanie do niego komend i wizualizację danych transmitowanych przez ten układ.

Skonstruowane środowisko testowe pozwoliło Autorowi niniejszej rozprawy na implementację i przetestowanie algorytmu kalibracyjnego, umożliwiającego korekcję napięć niezrównoważenia dyskryminatorów wchodzących w skład analogowych torów odczytowych. Przeprowadzone eksperymenty wykazały, że integracja we wspólnym podłożu krzemowym mikroprocesora RISC-V i układu odczytowego dla hybrydowego pikselowego detektora promieniowania jonizującego, umożliwia budowę autonomicznych układów odczytowych, zdolnych do samodzielnej analizy danych odczytywanych z sensorów i autokalibracji. Przedstawiony w niniejszej rozprawie scalony system mikroprocesorowy jest, według najlepszej wiedzy Autora, pierwszym na świecie układem integrującym we wspólnym podłożu krzemowym mikroprocesor RISC-V i układ odczytowy dla hybrydowego pikselowego detektora promieniowania jonizującego.

05.12.2023
Paweł Skrzypiec

Abstract

The main aim of the work presented in this thesis was the implementation of the advantages of edge computing in hybrid pixel detectors. The research conducted by the Author has contributed to the design and testing of the application-specific integrated circuit, which integrated RISC-V microprocessor and readout system for the hybrid pixel detector, in the common silicon substrate. The developed solution enabled the on-chip execution of algorithms that previously were executed only using assistive devices, such as PCs and FPGAs. An exemplary benefit resulting from on-chip data processing is the reduction of the time required for transmission of radiation detection results to a storing device, which has been achieved by the on-chip execution of data filtering algorithms.

The application-specific integrated circuit designed by the Author of the dissertation was manufactured in a 40 nm CMOS process and tested using a dedicated test environment. The test environment was constructed with PC and FPGA connected via PCIe Gen. 3 x8 interface, and was composed of a digital circuit implemented in FPGA, linux device driver and user space application, enabling tested device programming, commands transmission, and the visualization of data received from the tested integrated circuit.

The constructed test environment enabled the implementation and verification of the calibration procedure, allowing compensation of the offset voltages of the discriminators included in the analog read-out channels. Experiments carried out confirmed that the integration of the RISC-V microprocessor and hybrid pixel detector in a common silicon substrate enables the construction of autonomous readout systems, capable of on-chip analysis of the detector data and autocalibration. According to the Author's best knowledge, the presented integrated circuit is the first chip in the world that integrates the RISC-V microprocessor and a hybrid pixel detector in a common silicon substrate.

05.12.2023
Paweł Skrzypiec