

Autoreferat

1. Imię i nazwisko.

Dariusz Kościelnik

2. Posiadane dyplomy, stopnie naukowe lub artystyczne – z podaniem podmiotu nadającego stopień, roku ich uzyskania oraz tytułu rozprawy doktorskiej.

- Doktor nauk technicznych w dyscyplinie elektronika, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki, Informatyki i Elektroniki, 2000, *Wybrane problemy architektur międzyukładowych w sieciach ISDN*.
- Magister inżynier telekomunikacji, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki i Elektroniki, 1994.
- Magister inżynier elektroniki, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki i Elektroniki, 1990.

3. Informacja o dotychczasowym zatrudnieniu w jednostkach naukowych lub artystycznych.

- 1992 - 2000 – Asystent, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki i Elektroniki, Katedra Elektroniki.
- 2000 - 2012 – Adiunkt, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki i Elektroniki, Katedra Elektroniki.
- 2012 - do chwili obecnej – Adiunkt, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Informatyki Elektroniki i Telekomunikacji, Instytut Elektroniki.

4. Omówienie osiągnięć, o których mowa w art. 219 ust. 1 pkt 2 Ustawy

Osiągnięcie naukowe wnioskodawcy, zatytułowane *Asynchroniczne przetwarzanie analogowo-cyfrowe z wykorzystaniem kodowania sygnału w dziedzinie czasu* obejmuje cykl powiązanych tematycznie 7 publikacji naukowych, uzupełniony 2 rozdziałami w monografiach naukowych (wydanych w uznanych wydawnictwach międzynarodowych) oraz przez 2 wdrożone patenty, stanowiące tym samym zrealizowane oryginalne osiągnięcie projektowe.

4.1. Cykl powiązanych tematycznie publikacji naukowych, zgodnie z art. 219 ust. 1. pkt 2b Ustawy

Cykl powiązanych tematycznie publikacji tworzy 7 artykułów w czasopismach z bazy *Journal Citation Report* („lista filadelfijska”), spełniających wymogi art. 219 ust. 1. pkt 2b Ustawy (oznaczone w powołaniach skrótem CP). Ponadto, ze względu na szeroki, międzynarodowy zasięg, wnioskodawca uzupełnia ten cykl 2 rozdziałami w monografiach wieloautorskich (RM), wydanych w wydawnictwach o uznanej renomie: Springer oraz CRC Press, dla szerszego zaprezentowania tematyki badań związanych z cyklem publikacji.

[CP1] Dariusz Kościelnik, Marek Miśkowicz, *Asynchronous Sigma-Delta analog-to digital converter based on the charge pump integrator*, Analog Integrated Circuits and Signal Processing, ISSN 0925-1030. 2008 vol. 55, s. 223–238.

IF: 0,591, punkty MEiN: 10, cytowania: GS-44, Scopus-33, WoS-28.

- [CP2] Dariusz Kościelnik, Dominik Rzepka, Jakub Szyduczyński, *Sample-and-hold asynchronous sigma-delta time encoding machine*, IEEE Transactions on Circuits and Systems, ISSN 1549-7747, 2016 vol. 63 no. 4, s. 366–370.
IF: 1,660, punkty MEiN: 25, cytowania: GS-2, Scopus-3, WoS-2.
- [CP3] Dominik Rzepka, Marek Miśkowicz, Dariusz Kościelnik, Nguyen T. Thao, *Reconstruction of signals from level-crossing samples using implicit information*, IEEE Access, ISSN 2169-3536, 2018 vol. 6, s. 35001-35011.
IF: 4,098, punkty MEiN: 25, cytowania: GS-11, Scopus-5, WoS-5.
- [CP4] Dominik Rzepka, Mirosław Pawlak, Dariusz Kościelnik, Marek Miśkowicz, *Bandwidth estimation from multiple level-crossings of stochastic signals*, IEEE Transactions on Signal Processing, ISSN 1053-587X, 2017 vol. 65 no. 10, s. 2488–2502.
IF: 4,203, punkty MEiN: 40, cytowania: GS-5, Scopus-5, WoS-4.
- [CP5] Dariusz Kościelnik, Marek Miśkowicz, *Time-to-digital converters based on event-driven successive charge redistribution: a theoretical approach*, Measurement, ISSN 0263-2241, 2012 vol. 45, s. 2511–2528.
IF: 1,130, punkty MEiN: 25, cytowania: GS-21, Scopus-19, WoS-16.
- [CP6] Konrad Jurasz, Dariusz Kościelnik, Jakub Szyduczyński, Marek Miśkowicz, *Systematization and comparison of the binary successive approximation variants*, Sensors ISSN 1424-8220, 2021 vol. 21, art. no. 8267, s. 1–13.
IF: 3,847 punkty MEiN: 100, cytowania: GS-0, Scopus-0, WoS-0.
- [CP7] Jakub Szyduczyński, Dariusz Kościelnik, Marek Miśkowicz, *A successive approximation time-to-digital converter with single set of delay lines for time interval measurements*, Sensors, ISSN 1424-8220, 2019 vol. 19, art. no. 1109, s. 1–27.
IF: 3,275, punkty MEiN: 100, cytowania: GS-9, Scopus-6, WoS-5.
- [RM1] Dominik Rzepka, Mirosław Pawlak, Dariusz Kościelnik, Marek Miśkowicz, *Reconstruction of varying bandwidth signals from event-triggered samples*, rozdział w monografii *Event-based control and signal processing*, pod redakcją Marka Miśkowicza, CRC Press. Taylor & Francis Group, Nowy Jork, 2016, ISBN: 978-1-4822-5655-0, s. 529–545.
- [RM2] Dariusz Kościelnik, Marek Miśkowicz, *Event-driven successive charge redistribution schemes for clockless analog-to-digital conversion*, rozdział w monografii *Design, modeling and testing of data converters*, pod redakcją: Paolo Carbone, Sayfe Kiaei, Fang Xu, Springer, Berlin Heidelberg, 2014, ISBN: 978-3-642-39654-0, s. 161–209.

4.2. Zrealizowane oryginalne osiągnięcia projektowe, konstrukcyjne, technologiczne lub artystyczne, zgodnie z art. 219 ust. 1. pkt 2c Ustawy

Wdrożone 2 patenty ściśle powiązane merytorycznie z cyklem publikacji naukowych, w tym jeden patent krajowy oraz jeden patent przyznany przez Amerykański Urząd Patentowy (*United States Patent Office*). Centrum Transferu Technologii Akademii Górniczo-Hutniczej udzieliło licencji nr 30/2013 z dnia 22.11.2013 na stosowanie wynalazku objętego wymienianymi patentami firmie DLJM sp. z o.o.

- [PW1] *Interfejs do komunikacji czujników pomiarowych z magistralą I2C*, wynalazca: Dariusz Kościelnik, Marek Miśkowicz. Opis patentowy PL 216638 B1, udziel. 2013-09-10, opubl. 2014-04-30, zgłosz. nr P.387661 z dn. 2009-03-31.
Punkty MEiN: 50.

[PW2] *Interface for communication between sensing devices and I2C bus*, wynalazca: Marek Miśkowicz, Dariusz Kościelnik, Stany Zjednoczone, opis patentowy US 8868812 B2, udziel. 2014-10-21, opubl. 2014-10-21, zgłosz. nr US201013260269 z dn. 2010-03-31. Punkty MEiN: 25.

W dalszej części dokumentu, w opisie osiągnięcia naukowego, mającym charakter autoreferatu, cytowane są również inne publikacje, patenty i zgłoszenia patentowe wnioskodawcy, wymienione w pkt.: 4.11 i 4.12, które ze względów formalnych nie są zaliczone do ocenianego osiągnięcia naukowego, jednak pozwalają lepiej zaprezentować problematykę i dorobek w nim zawarty. Dla czytelności powołań na poszczególne źródła, poniżej przedstawiono listę skrótów zastosowanych do ich oznaczenia:

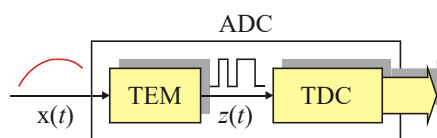
- [CP1] – [CP7] – publikacje w czasopismach z listy filadelfijskiej (*Journal Citation Report*), zaliczane do cyklu publikacji naukowych;
- [RM1], [RM2] – rozdziały w monografiach o zasięgu międzynarodowym, uzupełniające bezpośrednio cykl publikacji naukowych;
- [PW1], [PW2] – wdrożone patenty, zaliczane do zrealizowanych oryginalnych osiągnięć projektowych, konstrukcyjnych lub technologicznych wnioskodawcy;
- [A1] – [A10] – inne publikacje wnioskodawcy cytowane w dokumencie, lecz niezaliczane do zgłoszonego cyklu publikacji naukowych;
- [P1] – [P36] – inne krajowe i międzynarodowe patenty wnioskodawcy przywoływane w dokumencie, lecz niezaliczane do zrealizowanych oryginalnych osiągnięć projektowych, konstrukcyjnych lub technologicznych;
- [Z1], [Z2] – zgłoszenia patentowe wnioskodawcy przywoływane w dokumencie, aktualnie rozpatrywane przez Urząd Patentowy Rzeczypospolitej Polskiej.

4.3. Wprowadzenie do tematyki badawczej, z którą związane jest osiągnięcie naukowe

Jednym z wymagań stawianych współczesnym układom elektronicznym jest minimalizowanie ilości zużywanej przez nie energii (*ultra-low power electronics*). Czas pracy systemu wykorzystującego przenośne źródło zasilania okazuje się szczególnie ważny w aplikacjach biomedycznych, samoorganizujących bezprzewodowych systemach monitorowania środowiska, układach elektronicznego pola walki oraz komercyjnych urządzeniach mobilnych. Redukowanie ilości energii rozpraszanej w układzie, ale także stopniowe zmniejszania parametru charakterystycznego technologii wytwarzania struktur monolitycznych, prowadzą do ciągłego obniżania napięcia zasilającego podzespoły elektroniczne. Trend ten nie wpływa w istotny sposób na funkcjonowanie modułów cyfrowych. Coraz trudniejsze staje się jednak konstruowanie bloków analogowych (*shrinking headroom voltage problem*), w tym m.in. przetworników analogowo-cyfrowych ADC (*Analog-to-Digital Converters*) o średnich i wysokich rozdzielczościach.

Alternatywą dla klasycznej konwersji A/C, przeprowadzanej w dziedzinie napięcia i nazywanej przetwarzaniem w pionie, jest przedstawienie wielkości analogowego sygnału wejściowego w dziedzinie czasu, określane mianem przetwarzania w poziomie – TMSP (*Time Mode Signal Processing*). W takim przypadku sygnał wejściowy $x(t)$ jest konwertowany na dwuwartościowy sygnał pośredni $z(t)$ o postaci ciągu impulsów (rys. 1), których długości lub wzajemne odległości podają wielkość sygnału wejściowego. Sygnał pośredni $z(t)$, nazywany także quasi-cyfrowym, może być generowany m.in. za pomocą specjalizowanych układów kodujących w dziedzinie czasu TEM (*Time Encoding Machines*). Jego forma charakteryzuje się naturalną odpornością na tak pożądane zmniejszanie napięcia zasilającego, a także na szumy i zniekształcenia. Drugim etapem przetwarzania ADC jest naturalnie konwersja czasowo-cyfrowa TDC (*Time-to-Digital Conversion*), o precyzji potencjalnie także niezależnej od wielkości napięcia zasilającego. Konwersja TDC może ponadto korzystać z referencyjnych

źródeł czasu (częstotliwości) znacznie dokładniejszych i stabilniejszych niż klasyczne źródła referencyjne napięcia lub prądu.



Rys. 1. Struktura przetwornika ADC stosującego kodowanie wielkości sygnału w dziedzinie czasu

Układy TEM uzyskują bardzo wysoką sprawność energetyczną dzięki w pełni asynchronicznej konstrukcji i minimalnej liczbie dokonywanych przełączeń (1 lub 2 przełączenia na próbkę). Od modułów tych wymaga się także skrajnie uproszczonej struktury, zajmującej minimum powierzchni w układach monolitycznych, umożliwiającej np. wbudowanie kodera TEM w każdy piksel inteligentnej matrycy wizyjnej.

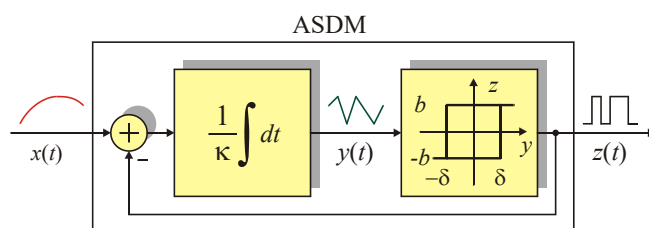
Przetworniki TDC wykorzystywane na drugim etapie konwersji ADC (rys. 1) mają konstrukcje silnie uzależnione od wymogów stawianych im przez konkretne aplikacje. W systemach tańszych, o mniejszej sprawności energetycznej, stosuje się często klasyczne układy licznikowe. Moduły o pożądanym bardzo niskim poborze mocy bazują jednak wyłącznie na rozwiązaniach całkowicie asynchronicznych, bezzegarowych (*clockless systems*) i samotaktujących (*self-clocked structures*). Zegar „napędzający” pracę klasycznego przetwornika jest zwykle bowiem jego największym konsumentem energii, również dlatego, iż pracuje nawet wówczas, gdy sam przetwornik nie jest zajęty konwersją. Asynchroniczne przetworniki TDC – A-TDC (*Asynchronous Time-to-Digital Converters*) cechuje m.in. zdolność uruchamiania kolejnych operacji przez dobiegające już końca procesy (efekt domina), nazywana właśnie samotaktowaniem. Zarówno rozpoczynanie przetwarzania TDC, jak i przechodzenie do jego kolejnych kroków jest inicjowane zaistnieniem w systemie odpowiednich zdarzeń (*event-driven converters*). Typową cechą omawianych układów jest także możliwie długie pozostawanie w energooszczędnym stanie beczynności, trwającym pomiędzy sporadycznie wykonywanymi pomiarami. Uzyskiwane w ten sposób oszczędności energii ujawniają się szczególnie mocno w wielu zastosowaniach biomedycznych, dla których wymagana średnia częstotliwość próbkowania obserwowanego sygnału jest stosunkowo niewielka, a krótkie odcinki jego aktywności są rozdzielone długimi przerwami.

Przedmiotem osiągnięcia naukowego wnioskodawcy są metody kodowania sygnału analogowego w dziedzinie czasu oraz asynchronicznego przetwarzania analogowo-cyfrowego A-ADC. Dalszy opis podzielono na cztery główne części. Pierwsza z nich (pkt 4.4) przedstawia opracowane i opatentowane przez wnioskodawcę modyfikacje układów TEM, licznikowych przetworników TDC oraz współpracujące z nimi asynchroniczne i synchroniczne interfejsy transmisyjne. Część druga (pkt 4.5) jest poświęcona innemu sposobowi kodowania sygnału w dziedzinie czasu, wykorzystującemu próbkowanie progowe, wyzwalane bezpośrednio aktywnością obserwowanego sygnału (*signal-dependent sampling scheme*). Zrealizowane w tym zakresie prace miały głównie charakter badań podstawowych, prowadzonych we współpracy z naukowcami z City College of New York w USA oraz University of Manitoba w Kanadzie. Ich praktycznym rezultatem okazał się m.in. opracowany przez wnioskodawcę i opatentowany sposób całkowicie sprzętowego rekonstruowania sygnałów zakodowanych w dziedzinie czasu techniką próbkowania progowego. Część trzecia (pkt 4.6) jest poświęcona samotaktującym przetwornikom czasowo-cyfrowym, a także bezzegarowym przetwornikom innych wielkości elektrycznych. Część ta istotnie różni się od pozostałych, ponieważ wszystkie przedstawione w niej i opatentowane rozwiązania są całkowicie autorskimi opracowaniami wnioskodawcy, nie zaś rozwinięciami lub udoskonaleniami znanych już wcześniej układów. Część ostatnia (pkt 4.7) dotyczy bezpośrednich, asynchronicznych przetworników TDC, w których rolę elementów referencyjnych pełnią linie opóźniające. Układy takie umożliwiają

obecnie osiąganie rozdzielczości subpikosekundowych, okupionych jednak znacznie większym zapotrzebowaniem energetycznym. Wnioskodawca opracował wiele modyfikacji znanych wcześniej struktur, ale przede wszystkim opatentował sposób wyeliminowania wpływu metastabilności komparatorów czasu na poprawność otrzymywanych wyników. Prace związane z optymalizacją i wytworzeniem mikrostruktury przetwornika tego typu prowadzono we współpracy z University College Dublin w Irlandii.

4.4. Specjalizowane układy kodujące wielkość sygnału w dziedzinie czasu – TEM

Układem obecnie najczęściej wykorzystywanym do kodowania wielkości sygnału analogowego w dziedzinie czasu jest asynchroniczny modulator sigma-delta ASDM (*Asynchronous Sigma-Delta Modulator*). Modulator ten składa się z integratora i przerzutnika z histerezą, objętych pętlą ujemnego sprzężenia zwrotnego (rys. 2). Sygnał wyjściowy przerzutnika i jednocześnie całego układu $z(t)$ może w danej chwili przyjmować jedną z tylko dwóch dozwolonych wartości: $-b$ lub b . W sytuacji braku sygnału modulującego ($x(t)=0$) na wejście integratora jest podawany sygnał o wielkości stałej w pewnym przedziale czasu, równej np. b . Oznacza to, iż w tym czasie sygnał wyjściowy układu $z(t)=-b$. Przebieg $y(t)$ na wyjściu integratora narasta zatem liniowo, aż do osiągnięcia wartości δ górnego progu przerzutnika. Wówczas, w chwili t_k , nastąpi przełączenie przerzutnika w stan $z(t)=b$ i sygnał na wyjściu integratora $y(t)$ zaczyna liniowo opadać. W chwili t_{k+1} przebieg $y(t)$ osiągnie dolny próg przerzutnika $-\delta$, co spowoduje ponowne przełączenie się tego bloku w stan $z(t)=-b$. Tym samym cykl pracy układu zacznie się powtarzać, prowadząc do kolejnych zmian wartości sygnału wyjściowego $z(t)$ w chwilach: $t_{k+2}, t_{k+3}, \dots$. Opisana sytuacja jest określana jako generowanie oscylacji własnych układu ASDM. Długości dodatnich ($z(t)=b$) i ujemnych ($z(t)=-b$) impulsów, pojawiających się wówczas na wyjściu, są identyczne i oznaczane jako T_0 , przy czym, $T_0=t_{k+1}-t_k=t_{k+2}-t_{k+1}$. Interwał T_0 nazywa się półokresem oscylacji własnym modulatora.

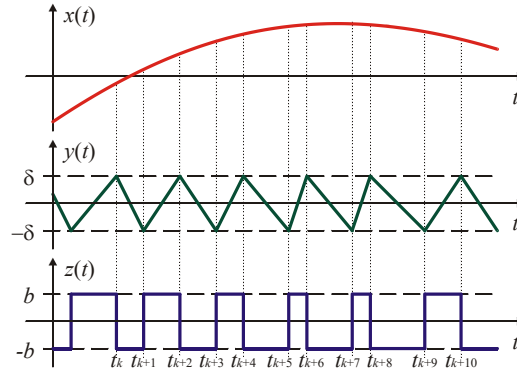


Rys. 2. Asynchroniczny modulator sigma-delta

Podanie na wejście układu ASDM sygnału $x(t)$ o niezerowej wartości wprowadza modulację do generowanego przebiegu $z(t)$. Sterowanie integratora różnicą $x(t)-z(t)$ powoduje wydłużenie impulsów o jednej polaryzacji i jednocześnie skrócenie impulsów o polaryzacji przeciwnej [CP1]. Wzajemna relacja pomiędzy zmianami długości impulsów o przeciwnych polaryzacjach jest przy tym nieliniowa. Modulacji podlega zatem zarówno częstotliwość, jak i wypełnienie sygnału wyjściowego $z(t)$ (rys. 3). Dla każdej niezerowej wartości sygnału $x(t)$, niezależnie od jej znaku, następuje zawsze wydłużenie okresu przebiegu wyjściowego $z(t)$.

Długości $T_k=t_{k+1}-t_k$ poszczególnych impulsów przebiegu $z(t)$, niezależnie od ich polaryzacji, reprezentują lokalne wartości sygnału wejściowego $x(t)$, a zatem jego kolejne próbki. Warto zwrócić uwagę na trzy istotne aspekty tej relacji. Próbkowanie dokonywane przez układ ADM jest nierównomierne, a momenty podawanie kolejnych próbek zależą nie tylko od parametrów samego układu, lecz przede wszystkim od lokalnej wielkości sygnału wejściowego $x(t)$ (*signal dependent sampling*). Długość T_k danego impulsu podaje informację nie o chwilowej wielkości sygnału $x(t)$, lecz o jego uśrednieniu $\bar{x}_k$ w przedziale czasu $t_k \div t_{k+1}$, co jest naturalnym rezultatem zastosowania integratora (rys. 2). I wreszcie, pojedynczy impuls wyjściowy dostarcza jednocześnie dwóch informacji: o wielkości sygnału $x(t)$ oraz o względnym położeniu kolejnego przedziału próbkowania. Ostatnia z wymienionych cech

stanowi cenną zaletę układów TEM, której nie posiadają inne sposoby kodowania sygnału analogowego w dziedzinie czasu lub, w ogólności, próbkowania nierównomiernego.



Rys. 3. Przykładowe przebiegi czasowe w charakterystycznych punktach układu ASDM

W pracy [CP2] wykazano, iż długość T_k generowanego impulsu oraz półokresu oscylacji własnych układu ASDM można zapisać w postaci:

$$T_k = \frac{2\kappa\delta}{b + (-1)^k \bar{x}_k} \quad T_0 = \frac{2\kappa\delta}{b} \quad (1)$$

Spełnienie kryterium Nyquista w odniesieniu do minimalnej lub choćby średniej częstotliwości próbkowania sygnału $x(t)$ narzuca istotne ograniczenia na zakres wartości $x(t)$. Aby próbkowanie nie ustawało, przebieg $y(t)$ musi pozostawać monotoniczny w każdym przedziale T_k , co oznacza, iż $|x| \leq b$. W praktyce wymagane jest silniejsze ograniczenie: $|x| \leq c < b$, przy czym stosunek $\eta = c/b$, nazywany współczynnikiem głębokości modulacji, jest jednym z kluczowych parametrów konstrukcyjnych układu ASDM [CP1]. W takim przypadku minimalną T_{min} i maksymalną T_{max} długość generowanych impulsów można zapisać jako:

$$T_{min} = \frac{2\kappa\delta}{b + c} = \frac{T_0}{1 + \eta} \quad T_{max} = \frac{2\kappa\delta}{b - c} = \frac{T_0}{1 - \eta} \quad (2)$$

Zainteresowanie wykorzystaniem modulatora ASDM w charakterze kodera TEM znacznie wzrosło po wykazaniu przez Lazara i Totha, iż zakodowany w ten sposób sygnał można poddać rekonstrukcji idealnej (*perfect recovery*). Lazar i Toth potraktowali przebieg $z(t)$ jako zapis próbkowania nierównomiernego uśrednienia sygnału $x(t)$, do odtworzenia którego można wykorzystać ogólną teorię ramek. Warunkami koniecznymi idealnego zrekonstruowania przebiegu $x(t)$ jest jednak spełnienie kryterium Nyquista nie dla średniej, lecz minimalnej częstotliwości próbkowania oraz dysponowanie nieskończoną liczbą próbek. Pierwszy z warunków oznacza, iż $T_{max} \leq T_N$, gdzie $T_N = 1/2f_g$ jest maksymalną długością okresu równomiernego próbkowania sygnału o górnej częstotliwości granicznej równej f_g .

Wnioskodawca opracował oryginalną strukturę układu ASDM, wykorzystującą zespół przełączanych źródeł prądowych. Dwie wersje tego rozwiązania przedstawiono w pracy [CP1]. Przełączane źródła prądowe zastępują jednocześnie sumator i integrator układu ASDM (rys. 2). Ich najważniejszą zaletą jest jednak możliwość stosowania sygnału ujemnego sprzężenia zwrotnego $z(t)$ o praktycznie dowolnych wartościach napięcia. W szczególności, przebieg ten nie musi być sygnałem symetrycznym względem zera, a nawet w ogóle bipolarnym. Dzięki powyższemu przerzutnik z histerezą układu ASDM można zaimplementować w postaci prostego przerzutnika Schmitta, zbudowanego z zaledwie dwóch tranzystorów. Wszystko to powoduje, iż opracowany układ ASDM można zasilać pojedynczym napięciem unipolarnym.

Wnioskodawca zaproponował także pełną strukturę przetwornika ADC zawierającego opracowany układ ASDM oraz licznikowy przetwornik TDC z zegarem referencyjnym [CP1]. W literaturze rozwiązania tego typu są określane jako hybrydowe układy ASD-ADC (*ASDM*

Analog-to-Digital Converter) lub też lokalnie asynchroniczne przetworniki ASD-ADC. Ważną zaletą opracowanego przez wnioskodawcę układu TDC jest automatyczne usuwanie z generowanych słów cyfrowych niepożądanego offsetu, będącego efektem ograniczonej od dołu długości impulsów sygnału $z(t)$. Impulsy te nigdy nie osiągają zerowej długości ($T_k \geq T_{min} > 0$), co wynika z zależności: (1) i (2). Bezpośrednie zapisanie ich wielkości w postaci słowa cyfrowego oznacza całkowite wykluczenie z użytku pewnej grupy kodów o niskich wartościach. To z kolei pogarsza efektywną rozdzielczość przetwarzania ASD-ADC i tym samym obniża jego stosunek sygnału do szumu kwantyzacji SNR (*Signal-to-Noise Ratio*).

Opracowany przetwornik ASD-ADC wnioskodawca wyposażył w łączy szeregową transmisji asynchronicznej o dwóch wersjach [CP1]. Pierwsza zawiera dwa porty wyjściowe, z których każdy podaje długości impulsów o innej polaryzacji. Rozwiązanie drugie zawiera tylko jeden port podający długość każdego z kolejno generowanych impulsów sygnału $z(t)$. Jak wykazano w [CP1], redukcja struktury układu musi jednak zostać okupiona nie dwu- lecz aż czterokrotnie większą prędkością transmisji i związanym z tym średnio dwukrotnym pogorszeniem współczynnika wykorzystania przepustowości łączy transmisyjnego.

W pracy [CP1] przeprowadzono także pełną analizę projektową układu ASD-ADC przeznaczonego do kodowania sygnału fonicznego. Analizą tą objęto zarówno układ ASDM, przetwornik TDC, jak i moduł transmisyjny. Wyznaczono m.in.: zależność pomiędzy współczynnikiem głębokości modulacji η , półokresem oscylacji własnych T_0 i wymaganą wydajnością źródeł prądowych, optymalną częstotliwość zegara referencyjnego oraz pojemność liczników, a także minimalną przepustowość kanału transmisyjnego dla każdego z rozważanych przypadków. Zbadano także charakter błędu kwantyzacji, będącego wynikiem przetwarzania A/C oraz wyznaczono rozkład gęstości prawdopodobieństwa tego parametru.

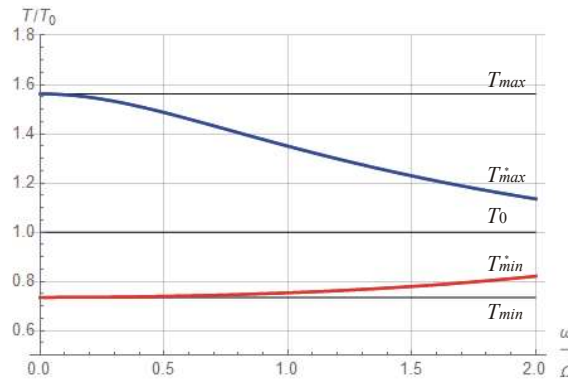
Rozwiązanie problemu nadmierowej prędkości transmisji wnioskodawca podał w patencie [P1], gdzie zaproponował system wstępnego obrabiania i buforowania wysyłanych danych. Dzięki powyższemu prędkość pracy portu szeregowego została ograniczona dwukrotnie, przy jednoczesnym zwiększeniu stopnia wykorzystania kanału transmisyjnego nawet do 100%. Udoskonalone wersje przetwornika ASD-ADC, w których utrzymano wszystkie powyższe zalety, znacznie redukując strukturę układową, wnioskodawca przedstawił w patentach: [P2], [P21] i [P27].

W patentach: [PW1] i [PW2] wnioskodawca zaproponował bardziej uniwersalną konstrukcję interfejsu przeznaczonego do współpracy z dowolnym asynchronicznym przetwornikiem ADC, stosującym próbkowanie nierównomierne. Interfejs ten umożliwia efektywne połączenie przetwornika A-ADC z synchroniczną magistralą I²C w taki sposób, aby zminimalizować opóźnienia w przekazywaniu strumienia próbek. Opracowany układ jest w stanie, bez udziału mikrokontrolera, chwilowo przejąć kontrolę nad magistralą i samodzielnie wysłać zadaną porcję danych pod programowalny adres. Rozwiązanie to stanowi zaawansowane rozwinięcie trybu nazywanego sprzętowym masterem HM (*Hardware Master*) i będącego pewnym ekwiwalentem systemu przerwań w standardzie I²C. Jego oryginalna wersja jest jednak obciążona koniecznością wysyłaniem na magistralę polecenia ogólnego wywołanie GC (*General Call*), a następuje oczekiwanie na ewentualną reakcję układu nadrzędnego (mastera). Oba wymienione procesy wprowadzają duże i co gorsza zmienne opóźnienia przekazania kolejnych porcji danych, mogące uniemożliwić poprawne rekonstruowanie sygnału, a nawet spowodować przepełnienie kolejki nadajnika i utratę próbek.

Wraz z upowszechnianiem się koderów TEM, coraz częściej ujawniała się immanentna wada tych układów, wynikająca z obecności w ich strukturze integratora. Integrator objęty pętlą sprzężenia zwrotnego zapewnia nieustanne i samotaktowalne próbkowanie sygnału $x(t)$ (pod warunkiem, iż: $|x| \leq c < b$). Jednak z drugiej strony, element ten jest jednocześnie filtrem dolnoprzepustowym, uśredniającym wielkość sygnału $x(t)$ i wprowadzającym tłumienie jego wyższych harmonicznych. Dla omawianych zastosowań koderów TEM istotne jest, iż

uśrednienie $\bar{x}_k$ sygnał zmiennego $x(t)$ w przedziale T_k nigdy nie osiąga wartości ekstremalnych pierwowzoru: $|\bar{x}_k| < |x(t)| \leq c$, a przytoczona nierówność powiększa się wraz ze wzrostem częstotliwości sygnału $x(t)$. Stąd zaś wynika, że i zakres dynamiczny długości T_k generowanych impulsów ulega zmianie. Jego pierwotna szerokość $T_{min} \div T_{max}$, uzyskiwana wyłącznie dla wolnozmiennego sygnału $x(t)$, stopniowo zawęża się, wraz ze wzrostem częstotliwością sygnału $x(t)$, do przedziału $T_{min}^* \div T_{max}^*$.

W pracy [CP2] wnioskodawca przedstawił szczegółową analizę omawianego zagadnienia dla modulatora ASDM oraz wyprowadził równania wiążące wartości: T_{min}^* i T_{max}^* z pulsacją ω sygnału wejściowego o postaci: $x(t)=c \cdot \sin(\omega \cdot t)$. Numeryczne rozwiązania otrzymanych równań uwikłanych przytoczono na rys. 4, przy czym $\Omega=\pi/T_{max}$, zgodnie z twierdzeniem Shannon, jest graniczną pulsacją sygnału próbkowanego z interwałem o maksymalnej długości T_{max} .



Rys. 4. Zawężanie się zakresu dynamicznego długości impulsów przebiegu $z(t)$ modulatora ASDM

Zawężanie się zakresu dynamicznego długości impulsów wyjściowych modulatora ASDM prowadzi m.in. do pomijania przez przetwornik ASD-ADC części z dostępnych wartości słów kodowych, czego efektem jest degradacja efektywnej rozdzielczości bitowej ENOB (*Effective Number of Bits*) takiego układu. Aby wyeliminować to niekorzystne zjawisko wnioskodawca opracował ulepszoną wersję układu ASDM [CP2], będącą przedmiotem patentów: [P15], [P16], [P25] i [P35]. Modulator ten został wyposażony w zespół dwóch prostych układów próbkująco-pamiętających, sterowanych przebiegiem $z(t)$ i oznaczony SH-ASDM (*Sample-and-Hold ASDM*). Gdy jedno z układów śledzi sygnał wejściowy $x(t)$, drugi przez całą długość przedziału T_k utrzymuje na wejściu sumatora próbkę o wartości $x(t_k)$. W chwili zakończenia generowania każdego impulsu układy zamieniają się rolami [CP2]. W wyniku powyższego, modulator SH-ASDM koduje w dziedzinie czasu nie średnie $|\bar{x}_k|$, lecz chwilowe $x(t_k)$ wartości sygnału wejściowego $x(t)$. Układ ten pozostaje jednocześnie całkowicie kompatybilny z podstawową wersją modulatora ASDM [CP2]. Wszystkie parametry projektowe i wyjściowe są identyczne do wartości granicznych pierwowzoru, wyznaczanych dla pobudzania go wolnozmiennym sygnałem $x(t)$.

Wnioskodawca opracował modele symulacyjne układów ASDM i SH-ASDM, które umożliwiły wyznaczenie i porównanie charakterystyk szumowych obu modulatorów [CP2]. Przeprowadzone badania wykazały 3-decybelową przewagę nowej wersji kodera. W pracy [CP2] przedstawiono także algorytm idealnego rekonstruowania sygnału zakodowanego przy użyciu modulatora SH-ASDM, bazujący na ogólnej teorii ramek.

Formalny dowód rekonstruowalności sygnału zakodowanego przy użyciu układu SH-ASDM wnioskodawca przeprowadził w publikacji [A8]. Opracowaną metodę rekonstrukcji porównano z algorytmem stosowanym dla klasycznej wersji modulatora ASDM, wykazując istotnie mniejszą złożoność obliczeniową zaproponowanego rozwiązania [A8]. Rekonstrukcja sygnału SH-ASDM nie wymaga np. wyznaczania dla każdego elementu macierzy funkcji tworzących całki w uzmiennionych granicach z przebiegu $\text{sinc}(\cdot)$ ($\sin(\cdot)/(\cdot)$).

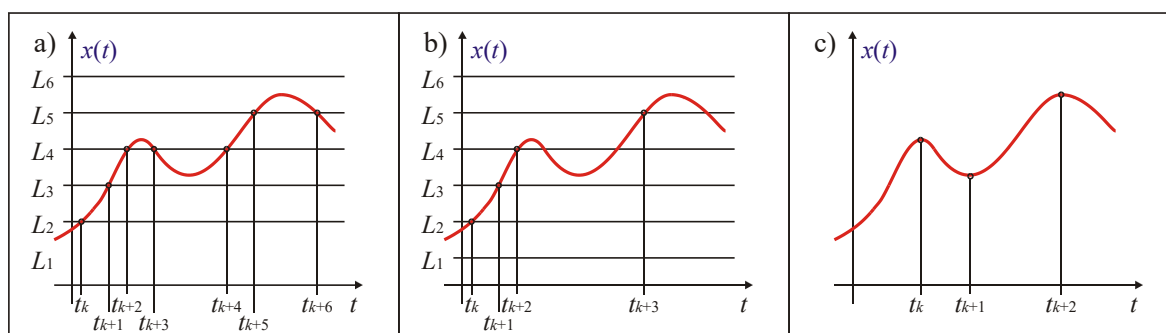
W artykule [A8] przedstawiono także alternatywne metody szybkiej rekonstrukcji. W prezentowanych algorytmach wykorzystano skrócone szeregi Fouriera oraz przybliżenie Dirichleta funkcji $\text{sinc}(\cdot)$. Wskazano ponadto, iż znaczne przyspieszenie rekonstrukcji można osiągnąć dzięki zastosowaniu macierzy Toplitza, dającej najmniejszą złożoność obliczeniową lub macierzy Vandermonde, gwarantującej z kolei lepszą zbieżność numeryczną tego procesu.

W publikacji [A3] przedstawiono sposób kodowania sygnałów o rzadkim widmie (*sparse signals*) za pomocą układu SH-ASDM z wykorzystaniem techniki CS (*Compressive Sensing*). Udowodniono także przewagę w tej dziedzinie nowej wersji modulatora nad rozwiązaniem klasycznym (ASDM). Opracowane rozwinięcie metody Konga umożliwia rekonstruowanie przebiegów o rzadkim widmie próbkowanych ze średnią częstotliwością znacznie mniejszą od określanej kryterium Nyquista (*sub-Nyquist sampling rate*). Wnioskodawca zaproponował także kolejną wersję modulatora ASDM, oznaczoną akronimem SHS-ASDM (*Sample-and-Hold-and-Shift ASDM*). Układ ten znacznie poszerza zakres rekonstruowalności sygnałów próbkowanych poniżej częstotliwości Nyquista z wykorzystaniem techniki CS [A6].

4.5. Kodowania sygnału w dziedzinie czasu metodą próbkowania progowego

Alternatywną metodą kodowania sygnału w dziedzinie czasu, zyskującą coraz większe zainteresowanie, jest próbkowanie progowego LCS (*level-crossing sampling*). Technika ta umożliwia nie tylko utrzymanie wysokiej rozdzielczości przetwarzania A/C układów o niskim napięciu zasilania. Do jej zalet należą także: pobór mocy uzależniony od aktywności rejestrowanego przebiegu (*activity-dependent power consumption*) oraz bardzo niski poziom redundancji generowanych danych. Cechy powyższe są bezpośrednim rezultatem powiązania intensywności procesu próbkowania z lokalną zmiennością obserwowanego przebiegu $x(t)$ (*signal-dependent sampling scheme*). Praktyczne wykorzystywanie techniki LCS w dziedzinie przetwarzania sygnałów wymaga jednak rozwiązania problemu rekonstruowania przebiegów próbowanych zwykle ze średnią częstotliwością nie spełniającą kryterium Nyquista.

Próbkowanie progowe polega na rejestrowaniu momentów t_k , w których wartość kodowanego przebiegu $x(t)$ osiąga (przecina) jeden z predefiniowanych poziomów kwantyzacji. W dziedzinie przetwarzania sygnałów najczęściej jest wykorzystywana jego wieloprogowa wersja (*multilevel-crossing sampling*) pozbawiona histerezy (rys. 5.a). W takim przypadku rejestrowane są wszystkie przekroczenia przez sygnał wejściowy $x(t)$ każdego ze zdefiniowanych progów (w dowolnym kierunku). Odmiana wieloprogowa z histerezą (rys. 5.b) jest częściej stosowana w systemach kontrolno-sterujących. Wersja ta, w literaturze nazywana także: *Lebesgue sampling*, *send-on-delta scheme* lub *constant amplitude difference criterion*, ignoruje następujące bezpośrednio po sobie przekroczenia tego samego progu, jako mało przydatne w automatyce potwierdzenia, iż wielkość sygnału $x(t)$ utrzymuje się ciągle w pobliżu raportowanej ostatnio wartości.



Rys. 5. Odmiany techniki LCS: a) bez histerezy, b) z histerezą, c) próbkowanie ekstremów

W systemach wieloprogowych liczba predefiniowanych poziomów kwantyzacji wynosi zazwyczaj kilka, rzadko kilkanaście. Ich rozmieszczenie w dziedzinie wartości sygnału jest

zwykle równomierne, choć badane są także systemy o kwantyzacji nieliniowej. Bardzo ważny jest pełen determinizm położenia progów, znanego zarówno w układzie kodującym, jak i dekodującym. Dzięki niemu opis próbki zawiera moment jej powstania t_k (lub raczej interwał T_k rozdzielający dwie kolejne takie chwile) oraz tylko numer j (a nie wartość) przeciętego właśnie poziomu L_j , który można zakodować na zaledwie $1 \div 4$ bitów. W praktyce, niezależnie od liczby progów, wykorzystuje się zazwyczaj kodowanie 1-bitowe. Po wstępnym zsynchronizowaniu odbiornika z nadajnikiem do wskazania osiągniętego aktualnie progu wystarczy przecież dwuwartościowe określenie kierunku, w którym został on przekroczony (w górę lub w dół).

Szczególną odmianą techniki LCS jest rejestrowanie wyłącznie momentów przecięcia poziomu zerowego przez obserwowany przebieg (*zero-crossing sampling*). W tym przypadku opis próbki ogranicza się do podania tylko chwili t_k (interwału T_k) wystąpienia takiego zdarzenia. Rozwiązaniem bardziej wyrafinowanym jest natomiast próbkowanie lokalnych ekstremów (*extrema sampling*). Ta wersja LCS (rys. 5.c) polega w istocie na wykrywaniu momentów zerowania się pierwszej pochodnej sygnału i pobierania wówczas jego aktualnej wartości. Opis próbki musi zatem zawierać aż dwa wielobitowe słowa, z których pierwsze podaje chwilę próbkowania t_k (lub interwał T_k), a drugie – wielkość sygnału $x(t_k)$. Rozwiązanie takie okazuje się jednak bardzo efektywne, ponieważ powyższe dane są ekwiwalentem dwóch podawanych jednocześnie próbek (sygnału i jego pochodnej o zawsze zerowej wartości). Zgodnie z uogólnioną teorią próbkowania Papoulisa, do rekonstruowania przebiegu można użyć zarówno próbek tego sygnału, jak i jego dowolnej liniowej transformacji (np. całki lub pochodnej wybranego rzędu) albo jakiejś ich kombinacji, zapewniającej łącznie spełnienie kryterium Nyquista. Rejestrowanie lokalnych ekstremów pozwala zatem dwukrotnie ograniczyć średnią częstotliwość próbkowania, niezbędną dla zrekonstruowania sygnału.

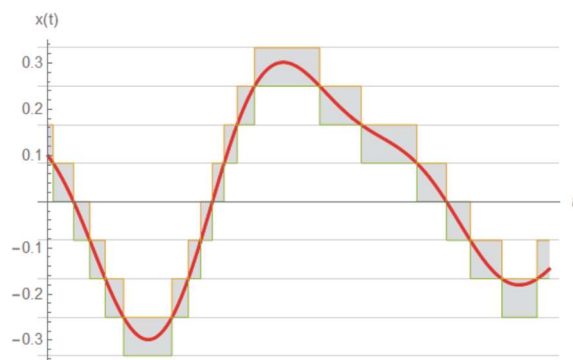
Przedmiotem badań wnioskodawcy była wyłącznie wieloprokowa, pozbawiona histerezy wersja techniki LCS, wykorzystująca kwantyzację liniową. Odmiana ta jest powszechnie uważana za najbardziej efektywny sposób kodowania sygnału w dziedzinie czasu, oferujący możliwość rekonstruowania największego spektrum przebiegów.

Zaletą każdej wersji techniki LCS jest automatyczne dopasowywanie się intensywności próbkowania do lokalnej aktywności sygnału. Szybkie zmiany jego wartości zwiększają ilość opisującej go informacji, potencjalnie umożliwiając dokładniejszą rekonstrukcję interesujących fragmentów. Brak aktywności przebiegu rozrzedza lub wręcz tymczasowo zatrzymuje próbkowanie, redukując redundancję tego procesu (np. w systemach automatyki), jego energochłonność oraz ogólną liczbę przesyłanych lub przechowywanych danych. Powyższa cecha ujawnia się szczególnie silnie w przypadku przetwarzania sygnałów o lokalnie dużej i krótkotrwałej aktywności, rozdzielonej długimi przerwami (*bursty signals*). Do grupy tej należy przede wszystkim wiele przebiegów biomedycznych (np. EKG), sygnały radarowe i sonarowe, ale także ludzka mowa i muzyka.

Długość przedziały niewielkiej aktywności sygnału mogą powodować, iż średnia częstotliwość próbkowania kodera LCS przestaje spełniać kryterium Nyquista. Ilość zebranych danych okazuje się wówczas zbyt mała dla przeprowadzenia poprawnej rekonstrukcji metodami klasycznymi. Metody te okazują się wówczas zbyt ogólne, są bowiem przeznaczone dla próbkowania nierównomiernego, w którym moment pobierania informacji o sygnale można wybierać bardzo swobodnie. Opis próbki podaje w takim przypadku dwie wielkości: t_k oraz $x(t_k)$, które oprócz swej krytykowanej już rozciągłości reprezentują wyłącznie tzw. informację jawną (*explicit information*). Wadą informacji jawnej jest jej punktowość, która niczego nie mówi o zachowaniu się sygnału pomiędzy chwilami t_k .

Próbkowanie wyzwalane zdarzeniami (*event-triggered sampling*), wykorzystywana we wszystkich systemach kodujących sygnał w dziedzinie czasu, jednoznacznie określa sposób wyznaczania momentów pobierania informacji o sygnale. Z otrzymywanego strumienia danych

można natychmiast wywnioskować, iż pomiędzy dwoma kolejnymi chwilami t_k i t_{k+1} nie wystąpił warunek inicjujący próbkowanie. Tę dodatkową informację o obserwowanym przebiegu nazywa się domyślną (*implicit information*). W modulatorach ASDM dotyczy ona wielkości całki z sygnału. Dla wieloprogowego systemu LCS wyznacza ona domyślne ograniczenie wielkości kodowanego sygnału do przedziału znajdującego się pomiędzy sąsiednimi poziomami kwantyzacji, zaznaczonego na rys. 6 szarymi polami. Technika *zero-crossing sampling* dostarcza informacji domyślnej na temat polaryzacji sygnału w kolejnych interwałach T_k , a próbkowanie ekstremów lokalnych wskazuje monotoniczność przebiegu oraz znak jego pierwszej pochodnej.



Rys. 6. Informacja domyślna – zakresy dopuszczalnych wartości obserwowanego sygnału

Informacja jawna dotyczy wyłącznie dyskretnych chwil czasowych t_k i opisuje spróbkowany przebieg za pomocą równań. Informacja domyślna odnosi się do interwałów T_k i jest podawana nierównościami. Informacja domyślna może znacząco uzupełnić informację jawną i umożliwić rekonstruowanie sygnału spróbkowanego poniżej częstotliwości Nyquista. Trudności przeprowadzenia takiej rekonstrukcji wynikają jednak stąd, iż większość znanych metod jej przeprowadzania bazuje wyłącznie na układach równań (rachunku macierzowym).

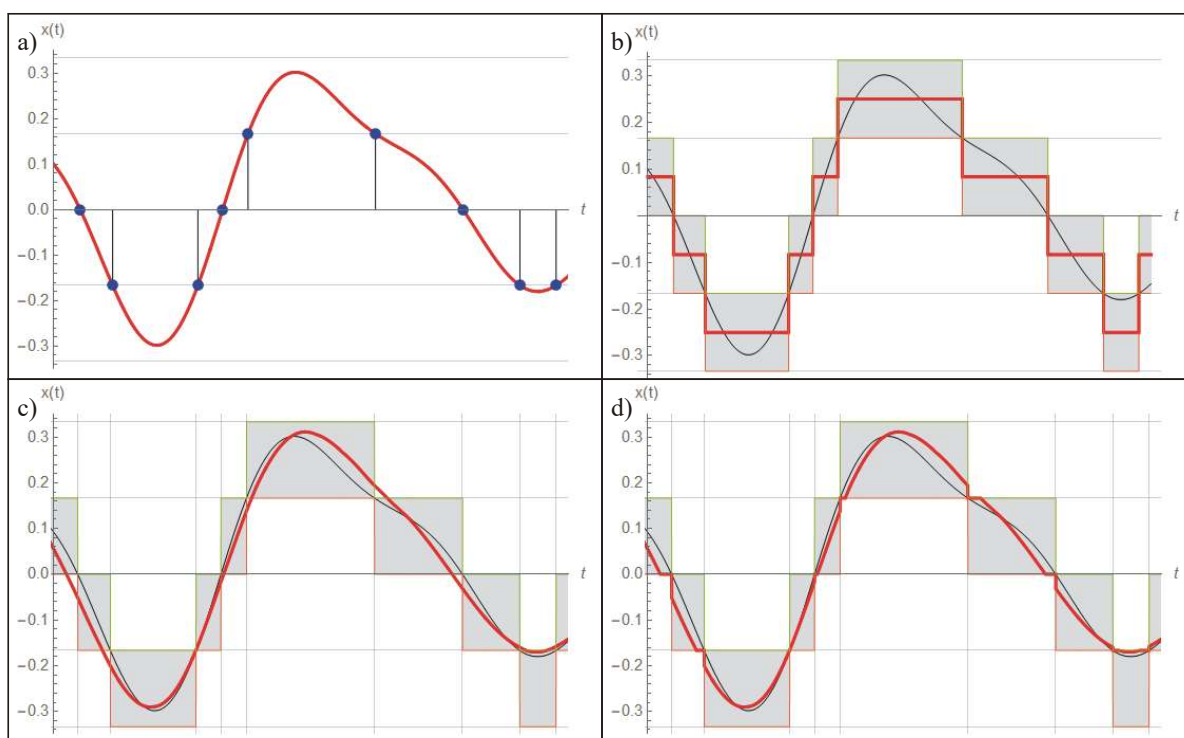
Badania dotyczące wykorzystania informacji domyślnej w procesie rekonstruowania sygnałów, szczególnie na podstawie zestawów próbek nie spełniających kryterium Nyquista, podjęto wspólnie z City College of New York w USA. Jako potencjalną metodę rekonstrukcji wybrano projekcję na zbiory wypukłe POCS (*Projections onto Convex Sets*). Technikę tę zaproponował Bregman i wcześniej była ona już wykorzystywana m.in. do rekonstruowania sygnału spróbkowanego nierównomiernie, lecz wyłącznie na podstawie informacji jawnej. Zastosowano ją także w algorytmie Papoulisa-Gerchberga. Powiązanie techniki POCS z informacją domyślną wnioskodawca wraz ze współautorami zaproponowali jako pierwsi w publikacji [CP3].

Głównym założeniem techniki POCS jest iteracyjne poszukiwanie części wspólnej (w praktyce punktu przecięcia) wielu zbiorów koniecznych wypukłych [CP3], z których każdy reprezentuje inną cechę poszukiwanego rozwiązania. W przypadku przeprowadzania rekonstrukcji sygnału na bazie informacji jawnej pierwszy zbiór zawiera sygnały o paśmie ograniczonym do danej pulsacji Ω . Zbiór drugi tworzą wszystkie przebiegi, które po odpowiednim spozycjonowaniu przyjmują wartości $x(t_k)$ w dyskretnych chwilach czasu t_k . Jeżeli zestaw wykorzystywanych próbek jest nieskończenie wielki, to istnieje tylko jeden punkt wspólny obu zbiorów, reprezentujący poszukiwany sygnał $x(t)$. Aby go odnaleźć, należy przeprowadzić liczbę iteracji równą liczbie zgromadzonych próbek, która w praktyce jest ograniczona i tym samym uzyskiwane rozwiązanie cechuje skończona precyzja.

Zaletą metody POCS jest możliwość wykorzystywania zbiorów zawierających warunki definiowane nierównościami. W publikacji [CP3] zaproponowano zatem, aby do powyższego zestawu dołączyć zbiór opisujący ograniczenia narzucane na wartość sygnału w interwałach T_k (rys. 6). Zbiór taki okazuje się ponadto podzbiorem drugiego z wymienionych wcześniej,

ponieważ punkty wspólne kolejnych przedziałów dozwolonych są w istocie wielkościami pobranych próbek (rys. 6). Stąd wniosek, iż w procesie rekonstrukcji można bazować wyłącznie na bardziej szczegółowej informacji domyślnej oraz założeniu o pulsacji granicznej Ω przetwarzanego sygnału [CP3]. Liczba iteracji wykonywanych w takim przypadku jest związana jedynie z żadaną dokładnością przeprowadzanej rekonstrukcji, a wykorzystywanie informacji domyślnej dodatkowo poprawia zbieżność tego procesu.

W pracy [CP3] przedstawiono formalny zapis informacji domyślnej, uzyskiwanej z wieloprogowego kodera LCS, podstawy teoretyczne techniki POCS oraz wykazano możliwość połączenia obu w celu dokonania rekonstrukcji sygnału. Pierwszym ze współtworzonych przez wnioskodawcę algorytmów jest właśnie metoda iteracyjnego rekonstruowania sygnału na bazie informacji domyślnej I-POCS (*Iteration POCS*). Schemat jego działania przedstawia rys. 7 dla bardzo krótkiego fragmentu przebiegu (ze względu na przejrzystość ilustracji).



Rys. 7. Przebieg procesów kodowania i rekonstruowania sygnału zgodnie z algorytmem I-POCS

Rys. 7.a pokazuje operację próbkowania sygnału wejściowego $x(t)$ (niebieskie punkty). Warto zwrócić uwagę, iż w przykładzie użyto kodera zaledwie 3-progowego. Linie zewnętrzne wyznaczają jedynie założony zakres zmienności przebiegu i nigdy nie biorą udziału w próbkowaniu. Uzyskane dane, reprezentujące sygnał $x(t)$ zakodowany w dziedzinie czasu, są przekazywane do odbiornika, gdzie na ich podstawie jest przygotowywana aproksymacja wstępna pierwowzoru (rys. 7.b). W prezentowanym przykładzie jest nią przebieg schodkowy, o odcinkach ulokowany w połowach wysokości przedziałów dozwolonych, zaznaczonych na rys. 7 szarymi prostokątami. Pierwszym krokiem iteracji, odpowiadającym projekcji na zbiór sygnałów o paśmie ograniczonym pulsacją Ω , jest poddanie przetwarzanego sygnału filtracji dolnoprzepustowej (rys. 7.c). Jej efektem będzie m.in. wykroczenie przebiegu poza przedziały dozwolone. W kroku drugim, realizującym projekcję na zbiór informacji domyślnej, sygnał jest „przycinany” do granic przedziałów dozwolonych (rys. 7.d). Operacja ta zbliża go ponownie do oryginału (całkowicie w punktach próbkowania oraz częściowo pomiędzy nimi). Efektem ograniczania wartości przebiegu są jednak także pozapasmowe produkty tej nieliniowej operacji, których usunięcie wymaga przeprowadzenia następnej filtracji dolnoprzepustowej. Kolejne kroki iteracji powtarzają procedury z rys. 7.c i 7.d, realizując naprzemienne projekcje

na oba z wymienionych zbiorów i zbliżając stopniowo przetwarzany sygnał do pierwowzoru. Uzyskanie zadawalającej dokładności rekonstrukcji wymaga zwykle przeprowadzenia kilkudziesięciu iteracji.

Drugi z opracowanych algorytmów jest metoda rekonstrukcji natychmiastowej, nieiteracyjnej O-POCS (*One-step POCS*). Algorytm ten stosuje pojedynczą projekcję aproksymacji wstępnej sygnału na zbiory opisujące pulsację graniczną Ω oraz pobrane próbki przebiegu $x(t)$. Wykorzystując metodę najmniejszych kwadratów uzyskano ostatecznie rezultaty znane z teorii ramek [CP3]. Opracowane rozwiązanie bazuje głównie na informacji jawnej i wymaga przeprowadzenia rachunku macierzowego, w tym typowego odwrócenia macierzy współczynników. Informację domyślną wykorzystuje się natomiast na pierwszym etapie algorytmu O-POCS do skonstruowania aproksymacji wstępnej sygnału [CP3]. Prawidłowe przeprowadzenie tej operacji okazuje się kluczowe dla zbieżności (I-POCS) i dokładności (O-POCS) procesu rekonstrukcji.

W publikacji [CP3] przedstawiono wyniki badań symulacyjnych obu technik (I-POCS i O-POCS), otrzymanych przy użyciu modeli behawioralnych i numerycznych opracowanych przez wnioskodawcę. Do przeprowadzenia testów wykorzystano wygenerowany losowo sygnał zawierający krótkie odcinki dużej aktywności, rozdzielone stosunkowo długimi przerwami. Symulację przeprowadzono dla różnej liczby progów kodera LCS i odległości pomiędzy nimi, zmieniając także liczbę wykonywanych iteracji. Zastosowano dwa przykładowe sposoby aproksymacji wstępnej sygnału: przebiegiem schodkowym (rys. 7.b) oraz odcinkami prostymi, łączącymi wartości pobranych próbek. Skuteczność poszczególnych rozwiązań porównano zestawiając błędy średniokwadratowe rekonstrukcji, wyznaczone dla wszystkich rozpatrzonych przypadków [CP3].

Wieloaspektową analizę wpływu informacji domyślnej na przebieg i efekty procesu rekonstrukcji przeprowadzono w pracy [A4]. Badaniom przeprowadzonym w behawioralnym modelu symulacyjnym opracowanym przez wnioskodawcę poddano 100 wygenerowanych losowo przebiegów o ograniczonym paśmie. Każdy z nich zakodowano w pierwszej kolejności w dziedzinie czasu, używając techniki LCS. Następnie dokonano jego rekonstrukcji przy użyciu zarówno opracowanej metody I-POCS, a zatem z wykorzystaniem informacji domyślnej, jak i zaproponowanego przez Yena algorytmu MMSE, także bazującego na metodzie POCS, lecz wykorzystującego wyłącznie informację jawną. Ostatecznie porównano dokładność rekonstrukcji oraz zbieżność obu procesów. Wyniki przytoczone w publikacji [A4] wyraźnie wskazują poprawę obu wymienionych wskaźników, wynikającą z wykorzystywania informacji domyślnej. Przewaga algorytmu I-POCS ujawnia się szczególnie silnie w obszarach małej aktywności sygnału wejściowego. W panującej wówczas sytuacji niedostatku informacji jawnej, informacja domyślna pozwala nadal utrzymywać kontrolę nad rekonstruowanym przebiegiem [A4].

Opracowany algorytm I-POCS [CP3] posiada duży potencjał i jednocześnie niestety pewne wady implementacyjne. Jak zdecydowana większość znanych sposobów rekonstruowania sygnału spróbkowanego nierównomiernie jest metodą komputerową, wymagającą stosunkowo dużej mocy obliczeniowej i operującą na niewielkich z konieczności fragmentach przebiegu. Posługiwanie się takimi fragmentami uniemożliwia prowadzenie rekonstrukcji na bieżąco, w trybie ciągłym oraz wyraźnie obniża jej dokładność w miarę zbliżania się do ich końców. Wnioskodawcy udało się jednak opracować całkowicie sprzętową metodę implementowania algorytmu I-POCS. Rozwiązanie to, przedstawione w opisach patentowych [P19] i [P20], umożliwia prowadzenie rekonstrukcji z dostarczanego na bieżąco strumienia danych (*on-line*) w potokowym trybie ciągłym. Układ składa się z generatora przebiegu aproksymacji wstępnej oraz szeregu połączonych kaskadowo ogniw kształtujących. Każde z nich jest wyposażone w limiter i filtr cyfrowy, realizujące łącznie kolejne dwa kroki iteracji [P20]. Dane ogniwo nie może niestety zajmować się przetwarzaniem konkretnego

odcinku sygnału, np. o długości T_k , ponieważ kolejne z nich cechują się dużą zmiennością czasu trwania (rys. 6). Aby rozwiązać ten problem, przebieg aproksymacji wstępnej nie jest generowany w postaci sygnału ciągłego, lecz dyskretnego, charakteryzującego się wysokim stopniem nadpróbkowania [P19]. Równolegle z gęstym szeregiem przetwarzanych próbek wzdłuż osi czasu przesuwały się sygnały sterujące, generowane na podstawie informacji jawnej, dostarczanej z kodera i przekształcanej na informację domyślną. Ich zadaniem jest dynamiczne korygowanie nastaw limiterów, nieregularnie rekonfigurowanych w odstępach interwałów T_k .

Drugim kierunkiem badań prowadzonych nad możliwościami rekonstruowania sygnału spróbkowanego poniżej częstotliwości Nyquista i zakodowanego w dziedzinie czasu techniką LCS było wykorzystanie odpowiednio zmodyfikowanych metod klasycznych. Te dobrze znane rozwiązania bazują wyłącznie na bezpośrednio dostępnej informacji jawnej, zwykle nie wymagają iteracji i oferują zarówno idealne, jak i przybliżone odtworzenie sygnału źródłowego $x(t)$. Ich istotnym ograniczeniem jest jednak wymagana średnia częstotliwość próbkowania rejestrowanego przebiegu, niestety zwykle nie osiągnięta w systemach LCS dla sygnałów o długich okresach niewielkiej aktywności. Jednak z drugiej strony, przebieg o lokalnie małej aktywności cechuje się w tym przedziale czasu znacznie węższym pasmem od wskazywanego przez jego globalną pulsację graniczną Ω . Naturalnym rozwiązaniem wydaje się zatem dbałość o spełnianie kryterium Nyquista w odniesieniu do wyłącznie lokalnych, a nie globalnych parametrów sygnału. Traktowany w powyższy sposób zapis z kodera LCS powinien zatem okazać się rekonstruowalny. Podejście takie zaprezentowano w pracy [CP4]. Jego realizacja wymagała jednak rozwiązania dwóch istotnych problemów: jak rekonstruować sygnał z próbek o intensywności istotnie zmieniającej się przedziałami oraz skąd brać w odbiorniku dane na temat lokalnego pasma odtwarzanego sygnału, niezbędne w procesie rekonstrukcji.

Do idealnego rekonstruowania sygnału spróbkowanego równomiernie powszechnie wykorzystuje się interpolację Shannona-Wittakera. Każda z użytych w niej funkcji tworzących $\text{sinc}(\cdot)$ osiąga maksimum w chwili pobrania przypisanej jej próbki i zeruje się we wszystkich pozostałych momentach próbkowania. Sytuację taką uzyskuje się wprowadzając do argumentu funkcji $\text{sinc}(\cdot)$ wykorzystaną stałą częstotliwość próbkowania. Rekonstruowanie przebiegu spróbkowanego równomiernie jedynie lokalnie (odcinkami) jest nadal możliwe dzięki zastosowaniu techniki zakrzywiania osi czasu (*time-warping*). Polega ona na takim skalowaniu funkcji tworzących $\text{sinc}(\cdot)$, aby zerowały się w punktach pobrania wszystkich pozostałych próbek, mimo iż punkty te lokalnie zmieniają częstotliwość swego występowania [RM1].

Idealnego rekonstruowania sygnału spróbkowanego nierównomiernie można dokonać korzystając z teorii ramek. Argumenty funkcji tworzących $\text{sinc}(\cdot)$ są wówczas wyposażane w pulsację graniczną Ω przetwarzanego sygnału. Odtworzenie przebiegu spróbkowanego nierównomiernie i jednocześnie charakteryzującego się lokalnie różną szerokością pasma wymaga zastosowania teorii ramek wzbogaconej o technikę zakrzywiania osi czasu [RM1]. Do prawidłowego przeprowadzenia tej operacji, przy przedziałach niewielkiej intensywności próbkowania, niezbędna okazuje się przynajmniej szacunkowa znajomość pulsacji granicznej przetwarzanego przebiegu w danym oknie czasowym $\Omega(T_w)$.

Prace nad dynamicznym szacowaniem lokalnego pasma sygnału zakodowanego w dziedzinie czasu za pomocą techniki LCS prowadzono wspólnie z University of Manitoba w Kanadzie. Ich punktem wyjściowym była teoria opracowana przez Ricea, twórcę techniki LCS. Rice udowodnił w swych publikacjach, iż średnia liczba N_j przekroczeń danego progu L_j w jednostce czasu przez stochastyczny, stacjonarny sygnał gaussowski o ograniczonym paśmie GBPR (*Gaussian bandlimited random process*) jest funkcją jego autokorelacji. Przekształcając odpowiednio formułę Ricea można wykazać, że liczba ta jest także liniowo proporcjonalna do globalnej pulsacji granicznej Ω kodowanego przebiegu. W pracy [CP4] udowodniono istnienie zależności odwrotnej, pozwalającej oszacować globalną szerokość pasma sygnału GBPR na podstawie średniej intensywności generowania próbek przez koder LCS. Przekształcając w tym

celu formułę Ricea wykazano wpierw istnienie analogii między jej odpowiednią postacią i funkcji gęstości prawdopodobieństwa pdf (*probability density function*) próbek systemu LCS dla sygnału o rozkładzie normalnym, jednolitej gęstości widmowej i nieskończonym czasie obserwacji [CP4]. Zaproponowano także wykorzystanie techniki przesuwanego okna czasowego (*sliding time window*) do szacowania wartości lokalnej pulsacji granicznej $\Omega(T_w)$ sygnału $x(t)$ na podstawie intensywności generowania próbek przez koder LCS w przedziale czasu T_w . Poszerzanie okna T_w naturalnie poprawia jakość estymacji parametru $\Omega(T_w)$, niestety ograniczając jednocześnie rozdzielczość czasową tego procesu.

W publikacji [CP4] zaproponowano, aby zakodowany przebieg o zmieniającej się w czasie szerokości pasma traktować jako sygnał lokalnie stacjonarny. Powyższe założenie pozwoliło udowodnić, iż na podstawie intensywności próbek można szacować zarówno całkowite pasmo sygnału, jak i jego uśrednienie w pewnym przedziale [CP4]. Najlepsze efekty uzyskano posługując się nowym zdefiniowanym wskaźnikiem, nazwany pasmem mocy. Wskaźnik ten określa wartość pulsacji w widmie sygnału, poniżej której gromadzi się określona część jego mocy [CP4].

Najważniejszym wynikiem badań prezentowanych w pracy [CP4] są trzy nowe algorytmy dynamicznego szacowania pasma stochastycznego sygnału ciągłego w czasie na podstawie intensywności skończonej liczby próbek kodera LCS. Wnioskodawca jest współtwórcą każdego z tych rozwiązań. Pierwszy z algorytmów bazuje na metodzie najmniejszych kwadratów (*least squares method*) i wymaga posługiwania się próbkami generowanymi przez wiele progów. Drugie ze zdefiniowanych rozwiązań wykorzystuje metodę całkowitej długości ścieżki (*total excursion length method*). Algorytm ten może pracować w oparciu o dane pochodzące nawet z jednego tylko niezerowego poziomu kwantyzacji. Trzecia metoda estymacji pasma wymaga dostarczenia próbek generowanych przez co najmniej dwa progi i ustala wzajemny stosunek intensywności ich przekraczania przez sygnał (*ratio method*).

Wszystkie opracowane algorytmy poddano badaniom symulacyjnym w modelu behawioralnym przygotowanym przez wnioskodawcę. Testy przeprowadzono na losowych sygnałach o trzech kształtach charakterystyk częstotliwościowych: widmie płaskim, skupionym przy dolnej granicy pasma i skupionym przy górnej granicy pasma. W symulacjach uwzględniono różne liczby wykorzystywanych progów oraz ich wzajemne odległości. Analizie poddano także stacjonarne przebiegi niegaussowskie, uzyskane przez nieliniową transformację sygnału gaussowskiego. W publikacji [CP4] można znaleźć porównanie dokładności szacowania parametrów zakodowanego sygnału przez każdy z zaproponowanych algorytmów.

W rozdziale [RM1] przedstawiono syntetycznie wyniki badań prowadzonych nad możliwością estymowania lokalnego pasma sygnału zakodowanego w dziedzinie czasu oraz sposobami wykorzystania tej informacji podczas rekonstruowania przebiegu źródłowego. Podano tam zarówno podstawy teoretyczne prowadzonych analiz, jak i ich praktyczne wnioski, poparte licznymi przykładami. Wyjaśniono podstawy idealnego rekonstruowania sygnałów spróbkowanych nierównomiernie z wykorzystaniem techniki zakrzywania osi czasu. Wykazano konieczność posłużenia się wiedzą o lokalnym paśmie rekonstruowanego przebiegu w celu właściwego wykonania tej operacji. Przedstawiono także algorytm rekonstrukcji przybliżonej, wykorzystującej metodę minimalizowania błędu średniokwadratowego (*minimum mean squared error reconstruction*).

W ostatniej części rozdziału [RM1] zaprezentowano wyniki przykładowego eksperymentu symulacyjnego. Wygenerowany losowo przebieg o lokalnie zmieniającej się szerokości pasma poddano kodowaniu w 7-progowym systemie LCS o kwantyzacji liniowej. Na podstawie uzyskanych w ten sposób próbek przeprowadzono szacowanie lokalnego pasma sygnału, oceniając przydatność każdego z progów indywidualnie, jak i bazując na informacji sumarycznej. W końcu dokonano rekonstrukcji przebiegu, posługując się jego oszacowanym wcześniej widmem, powiększonym o dodatkowy margines (zamierzone przeszacowanie).

Wnioskodawca jest także współautorem uproszczonej wersji algorytmu dynamicznego szachowania lokalnej szerokości pasma sygnału, bazującego na intensywności próbek zliczanych oddzielnie dla każdego progu kwantyzacji. W pracy [A2] zweryfikowano jego przydatność do rekonstruowania przebiegów próbkowanych w sensie średnim poniżej kryterium Nyquista, posługując się otrzymaną estymacją pasma oraz korzystając z techniki zakrzywiania osi czasu. W publikacji [A9] wnioskodawca wraz ze współautorami zaproponował ciekawe połączenie technik szacowania lokalnego pasma sygnału z projekcją na zbiory wypukłe POCS, wykorzystywaną do przeprowadzania korekcji rezultatów estymacji.

Metody rekonstruowania sygnałów próbkowanych techniką LCS poniżej częstotliwości Nyquista były przedmiotem rozprawy doktorskiej Dominika Rzepki, zatytułowanej *Reconstruction of signals sampled at sub-Nyquist rate using event-based sampling*. Obrona tego doktoratu miała miejsce 21.06.2018. Praca otrzymała wyróżnienie, zaś wnioskodawca pełnił funkcję jej promotora pomocniczego.

4.6. Bezzegarowe, pośrednie, samotaktujące przetworniki analogowo-cyfrowe

Przetworniki ASD-ADC omówione w pkt. 4.4 należą do grupy rozwiązań hybrydowych, a zatem asynchronicznych jedynie lokalnie. Wykorzystywane w nich klasyczne licznikowe układy TDC są przecież konstrukcjami synchronicznymi i wręcz podwójnie zegarowymi. Sygnał zegara pełni w nich funkcję referencyjnego źródła częstotliwości i jednocześnie ten sam lub inny przebieg taktuje wykonywanie wszelkich operacji pomocniczych, związanych z: blokowaniem zliczania, przepisywaniem stanu licznika do zewnętrznego bufora, wpisywaniem do licznika wartości początkowej, rekonfigurowaniem wewnętrznych połączeń itp. [CP1].

Licznikowe przetworniki TDC mają dwie istotne zalety. Charakteryzują się bardzo prostą konstrukcją oraz brakiem nadmiarowości czasu przetwarzania (*non-redundant conversion time*). Druga z cech oznacza, iż pomiar interwału czasu trwa tylko tak długo, jak mierzony interwał. Nie oznacza to bynajmniej, iż natychmiast po zakończeniu jednego pomiaru układ licznikowy jest gotów do rozpoczęcia kolejnego. Wynik przetwarzania należy przecież zapisać w zewnętrznym buforze, a następnie przygotować stan licznika do kolejnego cyklu pracy. Z powyższych powodów układy TDC przetwarzające impulsy o obu polaryzacjach muszą być wyposażone w dwa kanały pracujące naprzemiennie [CP1]. Mimo to, brak redundancji czasu przetwarzania należy uznać za cenną i w ogólności bardzo rzadką zaletę przetwornika ADC.

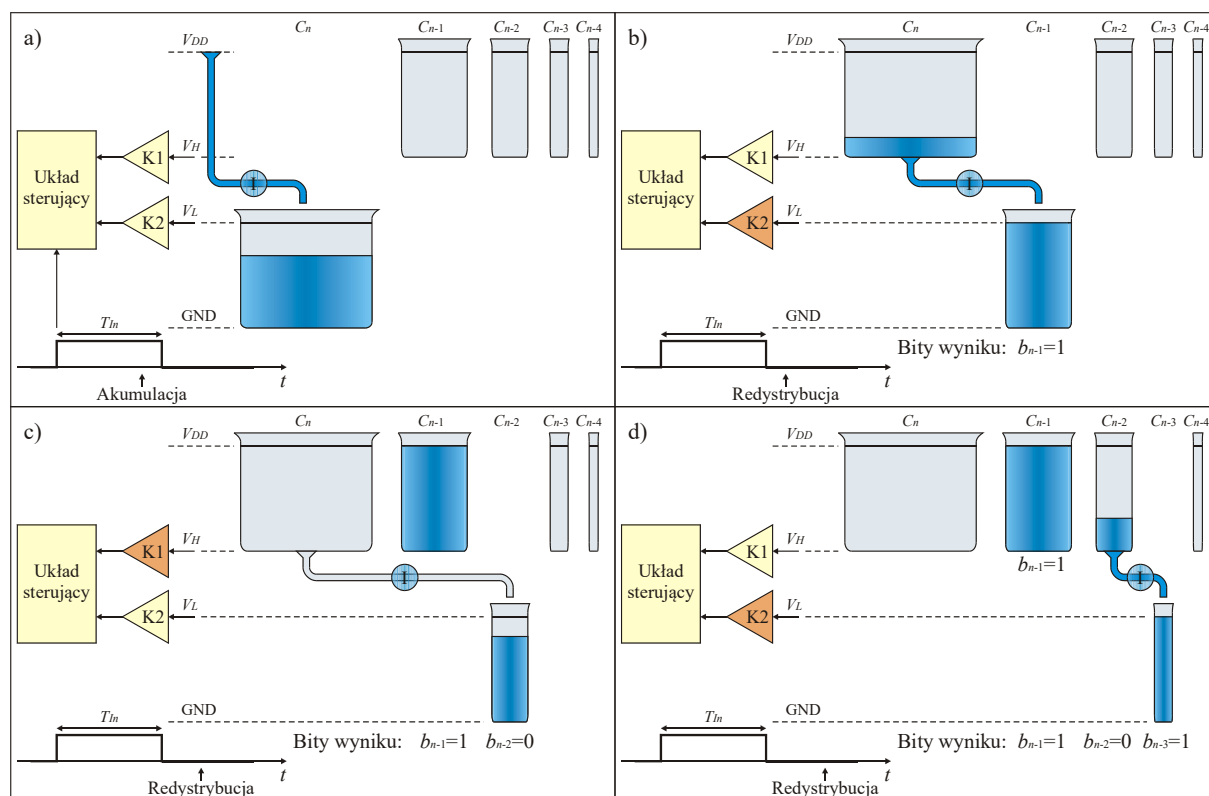
Licznikowe przetworniki TDC mają także kilka istotnych wad [CP5]. Sygnał zegara referencyjnego nie jest zsynchronizowany ze zboczami przebiegu $z(t)$ (rys. 1), w związku z czym błąd kwantyzacji dotyczy określenia zarówno początku, jak i końca mierzonego impulsu [CP1]. Błąd ten osiąga zatem sumaryczną wartość ± 1 LSB (*Least Significant Bit*), zamiast $\pm 0,5$ LSB, typowej dla zdecydowanej większości łańcuchów przetwarzania ADC/DAC (*Digital-to-Analog Conversion*). Następstwem powyższego jest powiększony o 3 dB szum kwantyzacji tych układów [CP5]. Kolejnym niepożądanym efektem wskazanego braku synchroniczności jest niejednoznaczność otrzymywanych wyników przetwarzania. Ta sama długość impulsu może być podawana przez ten sam przetwornik w postaci jednej z dwóch liczb, różniących się o 1 LSB (zaokrąglona w górę lub w dół). Dla omawianej klasy zastosowań najważniejszą wadą licznikowych układów TDC jest jednak ich bardzo mała sprawność energetyczna. Wynika ona nie tylko z samego faktu niezbędności zegara oraz jego podwójnej funkcji, ale także ogromnej liczby przełączeń stanu układu dokonywanych w trakcie cyklu pracy i związanym z tym dużym poborem mocy dynamicznej. Licznikowy n -bitowy przetwornik TDC wykonuje średnio 2^{n-1} przełączeń na pomiar, gdy tymczasem najpopularniejsza wśród przetworników klasa układów sukcesywnej aproksymacji SA (*Successive Approximation*) wymaga ich zaledwie $n+1$ lub $n+2$.

Uzyskanie w pełni asynchronicznego przetwornika ASD-ADC wymaga zastąpienia licznikowego układu TDC bezzegarową konstrukcją samotaktującą. Wnioskodawca zaproponował całkowicie oryginalną strukturę tego typu, rozwiniętą w wiele udoskonalonych

i wyspecjalizowanych wersji. Opracowany przetwornik wykorzystuje metodę sukcesywnej aproksymacji (kompensacji wagowej), wymagającą dokonania niewielu przełączeń stanu układu na pomiar. Jego funkcjonowanie jest w całości sterowana zdarzeniami, a pomiędzy kolejnymi cyklami pracy układ może dowolnie długo przebywać w statycznym, energooszczędnym stanie relaksacji. Stworzoną strukturę asynchronicznego konwertera ADC (A-ADC) cechuje zatem potencjalnie bardzo wysoka sprawność energetyczna.

Opracowane rozwiązanie jest pośrednim przetwornikiem TDC, w którym długość mierzonego impulsu zamienia się na proporcjonalną do niej ilość ładunku elektrycznego. Przetwarzanie TDC składa się zatem z dwóch faz: konwersji czasowo-ładunkowej TQC (*Time-to-Quantum Conversion*), po której następuje konwersja ładunkowo-cyfrowa QDC (*Quantum-to-Digital Conversion*). Faza trzecia, relaksacji, służy przygotowaniu układu do nowego cyklu pracy i oczekiwaniu w energooszczędnym stanie statycznym na kolejne uruchomienie.

Algorytm pracy układu przedstawiono na rys. 8, posługując się modelem hydraulicznym, w którym ładunek jest reprezentowany przez ciecz, a magazynujące go kondensatory zastąpiono zbiornikami. Rozpoczęcie fazy konwersji TQC, nazywanej również akumulacją lub po prostu próbkowaniem, następuje w chwili wykrycia przedniego zbocza mierzonego impulsu przez układ sterujący pracą przetwornika (rys. 8.a). Podczas całego czasu T_{In} trwania tego impulsu ciecz (ładunek) jest dostarczana za pomocą pompy I (źródła prądowego) o stałej wydajności i gromadzona w największym zbiorniku (kondensatorze próbkującym). Jego pojemność wynosi co najmniej $2^n C_0$, przy czym n jest liczbą bitów przetwornika, a C_0 pojemnością najmniejszego zbiornika (kondensatora jednostkowego). Aby ułatwić przepływ cieczy zbiornik próbkujący umieszcza się na najniższym poziomie GND (potencjałe masy).



Rys. 8. Ilustracja zasady pracy bezzegarowego, samotaktującego, pośredniego przetwornika TDC

Wykrycie tylnego zbocza impulsu kończy fazę akumulacji (konwersję TQC), a ilość zgromadzonej cieczy jest wprost proporcjonalna do długości T_{In} tego impulsu. Układ sterujący rozpoczyna jednocześnie fazę redystrybucji (konwersję QDC). Jej celem jest podzielenie zgromadzonej cieczy na skwantowane porcje (objętości) o stosunku binarnym ($C_{n-1}=2^{n-1}C_0$, $C_{n-2}=2^{n-2}C_0$, ..., C_0), i tym samym określenie jej ilości z dokładnością do błędu kwantyzacji.

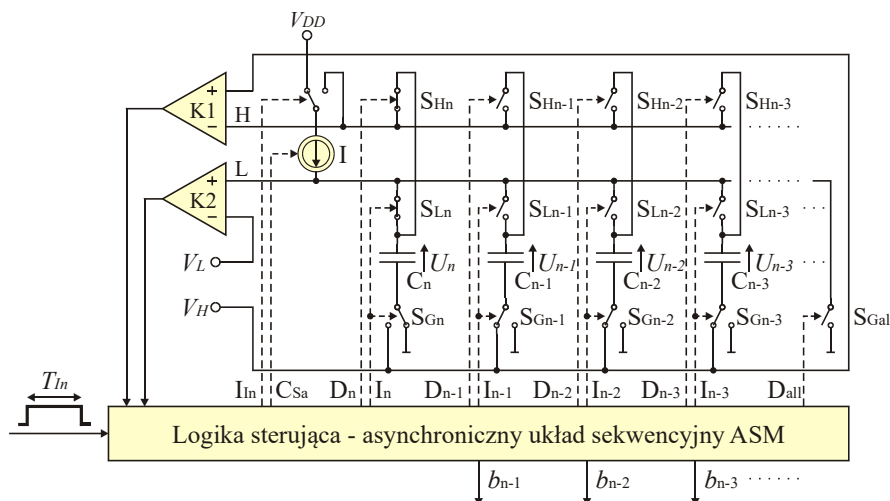
Zbiornik próbkujący jest podnoszony na poziom pomocniczy V_H , a największy ze zbiorników referencyjnych, o pojemności $C_{n-1}=2^{n-1}C_0$, umieszcza się na najniższym poziomie GND, tworząc korzystne warunki do przetaczania cieczy (rys. 8.b). Prędkość przepływu cieczy pomiędzy zbiornikiem źródłowym i docelowym jest limitowana wydajnością pompy I, a przebieg tego procesu kontrolują dwa czujniki (komparatory). Pierwszy z nich (K1) wykrywa całkowite opróżnienie zbiornika źródłowego, natomiast drugi (K2) – napełnienie zbiornika docelowego do poziomu (potencjału względem masy) V_L . Jeżeli ze zgromadzonej cieczy można wydzielić objętość równą pojemności zbiornika docelowego (całkowicie go napełnić), to czujnik K2 zasygnalizuje tę sytuację układowi sterującemu, a ten z kolei ustawi bit wyniku przypisany temu zbiornikowi w stan wysoki (rys. 8.b). Następnie, podział cieczy pozostałej w zbiorniku źródłowym będzie kontynuowany z wykorzystaniem kolejnych, mniejszych zbiorników referencyjnych (rys. 8.c). Opróżnienie zbiornika źródłowego przed napełnieniem docelowego, sygnalizowane przez czujnik K2, oznacza, że z pozostałej ilości cieczy nie można wydzielić tej objętości i skutkuje wyzerowaniem bitu wyniku skojarzonego z danym zbiornikiem docelowym (rys. 8.c). W takiej sytuacji przeniesioną do tego zbiornika nieskwantowaną ilość cieczy należy poddać dalszej redystrybucji. Niewypełniony całkowicie zbiornik docelowym zaczyna wówczas pełnić funkcję źródłowego (rys. 8.d), a zgromadzona w nim ciecz jest stopniowo dzielona na jeszcze mniejsze, skwantowane porcje, wydzielane w kolejnych, coraz mniejszych zbiornikach referencyjnych. Proces redystrybucji kończy się w chwili wykorzystania najmniejszego zbiornika referencyjnego, o pojemności C_0 .

Po zakończeniu redystrybucji i tym samym wyznaczeniu wartości wszystkich bitów wyniku przetwornik przechodzi automatycznie do statycznej fazy relaksacji (nie uwzględniono na rys. 8). Wszystkie zbiorniki są opróżniane, a układ sterujący oczekuje na pojawienie się przedniego zbocza kolejnego impulsu.

Wnioskodawca opatentował zarówno omówiony sposób przeprowadzania konwersji TDC, jak i realizujący go układ elektroniczny (patenty: [P3] i [P29]), którego schemat przedstawiono na rys. 9 [CP5]. Poza oczywistymi analogiami z przedstawionym modelem hydraulicznym warto zwrócić uwagę na dodany zestaw kluczy. Elementy te, przypisane poszczególnym kondensatorom, umożliwiają łączenie ich dolnych okładek z potencjałem pomocniczym V_H lub masą GND oraz usuwanie z nich ładunku w fazie relaksacji [CP5]. Pracą przetwornika steruje bezzegarowy, asynchroniczny układ sekwencyjny ASM (*Asynchronous State Machine*), pobudzany wyłącznie zdarzeniami (*event driven system*), którymi są zbocza przetwarzanego interwału czasu oraz sygnały obu komparatorów. Automat ten, uruchamiany przednim zboczem impulsu wejściowego, pracuje we własnym, zmiennym rytmie. Jego zadanie polega na sterowaniu wykonywaniem kolejnych kroków procesu przetwarzania i sprowadza się do rekonfigurowania stanu kluczy oraz włączenia i wyłączenia w odpowiednim momencie źródła prądowego I. Każdy pełny cykl pracy, łącznie z ostatecznym wprowadzeniem układu w stan relaksacji, składa się zawsze z $n+2$ kroków i takiej samej liczby przełączeń stanu przetwornika. Czas trwania każdego kroku oraz towarzysząca mu konfiguracja kluczy mogą być jednak zupełnie inne w poszczególnych cyklach pracy, ponieważ istotnie zależą od długości T_{in} mierzonego impulsu [CP5]. Mimo to, algorytm sterujący okazuje się dość prosty. Następnym kondensatorem docelowym jest zawsze kolejny, dwukrotnie mniejszy kondensator referencyjny. Kondensatorem źródłowym staje się tylko ten kondensator aktualnie docelowym, którego nie udało się całkowicie naładować (osiągnąć na nim napięcia V_L).

Zaproponowane przez wnioskodawcę rozwiązanie, ze względu na sposób dokonywania konwersji ładunkowo-cyfrowej, nazwano układem z sukcesywną redystrybucją ładunku SCR (*Successive Charge Redistribution*). Jego podstawowa wersja, służąca do pomiaru interwału czasu (SCR-TDC), została omówiona szczegółowo w pracy [CP5]. Przedstawiono tam zarówno zapis algorytmiczny czynności wykonywanych przez układ sterujący, sposób indeksowania kondensatora źródłowego i docelowego oraz sterowania ich kluczami, jak i pełną

sekwencję działań dla przykładowej długości mierzonego impulsu oraz przebiegi czasowe sygnałów w charakterystycznych punktach układu. Podano także warunki optymalizacji potencjału pomocniczego V_H i referencyjnego V_L w odniesieniu do napięcia zasilającego U_{DD} . Omówiono wpływ nieidealności elementów składowych (m.in.: opóźnień i niezrównoważeń komparatorów, upływności kondensatorów, niezerowej rezystancji zwartych kluczy) na możliwą do osiągnięcia dokładność przetwarzania. Wyznaczono także wartość błędu nieliniowości całkowitej INL (*integral nonlinearities*) i różniczkowej DNL (*differential nonlinearities*) w funkcji uchybu technologicznego procesu wytwarzania kondensatorów.



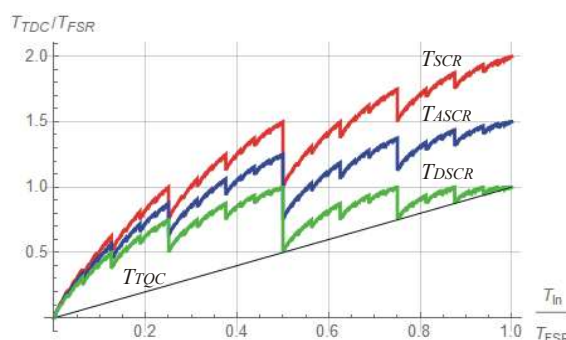
Rys. 9. Struktura elektroniczna przetwornika SCR-TDC

Uruchomienie procesu przetwarzania TDC przednim zboczem impulsu wejściowego i realizowana po nim całkowicie automatycznie seria zdarzeń przypomina efekt domina, dobrze modelujący działanie asynchronicznych, bezzegarowych układów samotaktujących. Porównanie to często występuje w literaturze jako symbol omawianej techniki. Ostatnia faza, faza relaksacji, służy oczywiście ponownemu uporządkowaniu klocków, a zatem przygotowaniu układu do następnego uruchomienia.

Łączny czas przetwarzania pośredniego TDC jest sumą długości konwersji czasowo-ładunkowej T_{TQC} oraz konwersji ładunkowo-cyfrowej T_{QDC} : $T_{TDC} = T_{TQC} + T_{QDC}$. Pierwszy ze składników odpowiada mierzonemu interwałowi: $T_{TQC} = T_{In}$, natomiast drugi charakteryzuje się wspomnianą już dużą zmiennością. Wnioskodawca wyznaczył analitycznie zależność wielkości parametru T_{QDC} od długości impulsu wejściowego T_{In} i dodatkowo potwierdził jej poprawność badaniami symulacyjnymi. Odpowiednie wyprowadzenie przedstawiono w pracy [RM2]. Na rys. 10 pokazano sumaryczny czas przetwarzania T_{TDC} układu SCR-TDC (T_{SCR} – krzywa czerwona) i wchodzący w jego skład czas konwersji TQC (T_{TQC} – linia czarna). Charakterystyki wykreślono w funkcji długości mierzonego impulsu T_{In} , odniesionej do pełnego zakresu przetwarzania T_{FSR} (*Full Scale Range*). Porównanie obu zależności pozwala ocenić nadmiarowość czasu przetwarzania ($T_{SCR} - T_{TQC}$), wynikającą zarówno z zastosowania metody pośredniej, jak i z natury redundantnego algorytmu sukcesywnej aproksymacji.

Dążąc do skrócenia czasu przetwarzania T_{TDC} wnioskodawca opracował dwie modyfikacje podstawowej wersji przetwornika SCR-TDC. Ich celem było możliwie równoczesne realizowanie faz akumulacji i redystrybucji, tak aby czas konwersji TQC pokrywał się w jak największym stopniu z czasem konwersji QDC. Pierwsze z rozwiązań, oznaczone akronimem ASCR (*Accelerated Successive Charge Redistribution*), polega na zastosowaniu kondensatora próbkującego C_n o dwukrotnie mniejszej pojemności ($C_n = C_{n-1} = 2^{n-1} C_0$). Aby móc zgromadzić odpowiednią ilość ładunku w fazie akumulacji kondensator próbkujący C_n jest łączony równolegle z największym kondensatorem referencyjnym C_{n-1} (patenty: [P3] i [P29]). Tym samym, po zakończeniu fazy akumulacji

połowa zgromadzonego ładunku, niezależnie od jego ilości, znajduje się już w pierwszym kondensatorze referencyjnym. Faza redystrybucji, rozpoczynająca się od przenoszenia ładunku z kondensatora próbkującego do matrycy kondensatorów referencyjnych, została więc już częściowo wykonana. Jej pozostała część będzie teraz krótsza o $T_{In}/2$. Czas przetwarzania układu ASCR-TDC można zatem zapisać w postaci: $T_{ASCR}=T_{SCR}-T_{In}/2$ [CP5] (krzywa niebieska na rys. 10). Zaproponowane rozwiązanie ma także dwie inne cenne zalety. Moc statyczna pobierana przez układ ze źródła zasilania podczas realizowania fazy redystrybucji jest wprost proporcjonalna do czasu pracy źródła prądowego I. Skrócenie fazy redystrybucji o średnio 33% [RM2] w takim samym stopnie ogranicza statyczną energochłonność tego procesu (dynamiczny podpór mocy pozostaje bez zmian). Ponadto, dwukrotne zmniejszenie kondensatora próbkującego redukuje powierzchnię zajmowaną przez wszystkie pojemności o 25%. Ponieważ w praktyce kondensatory okupują lwią część ogólnej powierzchni przetwornika, jego struktura monolityczna staje się o 25% mniejsza, tańsza i łatwiejsza do zintegrowania z pozostałymi modułami systemu. Algorytm sterowania układem ASCR-TDC praktycznie nie zmienia się. Jedyna modyfikacja dotyczy sposobu konfigurowania stanu kluczy w pierwszym kroku pracy – fazie akumulacji [RM2], umożliwiającego równoległe połączenie kondensatora próbkującego C_n i największego kondensatora referencyjnego C_{n-1} .



Rys. 10. Czas przetwarzania układów: SCR-TDC, ASCR-TDC i DSCR-TDC

Drugie z zaproponowanych przez wnioskodawcę rozwiązań, nazwane DSCR (*Direct Successive Charge Redistribution*) umożliwia całkowite wyeliminowanie kondensatora próbkującego i jednocześnie wymaga zmiany sposobu sterowania pracą przetwornika (patenty: [P3] i [P29]). Ładunek gromadzony podczas fazy akumulacji jest w tym przypadku kierowany bezpośrednio do największego kondensatora referencyjnego C_{n-1} [CP5], [RM2]. Jeżeli kondensator ten zostanie całkowicie naładowany (do napięcia V_L), a impuls wejściowy trwa nadal, dalsza część ładunku jest kierowana do kolejnego, dwukrotnie mniejszego kondensatora referencyjnego C_{n-2} itd. Po wykryciu końca mierzonego interwału ładunek zgromadzony w ostatnim kondensatorze wykorzystywanym podczas fazy akumulacji i niecałkowicie naładowany poddaje się redystrybucji zgodnie z wykorzystywanym wcześniej schematem. W przetworniku DSCR-TDC cały ładunek reprezentujący długość impulsu wejściowego trafia od razu do matrycy kondensatorów referencyjnych. Pozostały czas przetwarzania QDC jest zatem krótszy o tę część, która w układzie SCR-TDC służyła rozładowywaniu kondensatora próbkującego i była równa mierzonemu interwałowi T_{In} . Tym samym łączny czas konwersji TDC przetwornika DSCR-TDC można zapisać w postaci: $T_{DSCR}=T_{SCR}-T_{In}$ (krzywa zielona na rys. 10) [RM2]. W rozpatrywanym przypadku średni czas trwania fazy redystrybucji, a więc i wymagana do jej realizacji moc statyczna jest zredukowana o ponad 66% w stosunku do rozwiązania podstawowego (SCR-TDC) [CP5]. Liczba niezbędnych przełączeń stanu układu również zmniejsza się o jedno i wynosi $n+1$, obniżając tym samym pobór mocy dynamicznej. Wyeliminowanie kondensatora próbkującego ogranicza powierzchnię zajmowaną przez pojemności w strukturze monolitycznej układu o 50%. Jedyną niedogodnością przetwornika DSCR-TDC jest nieco większa złożoność algorytmu sterującego jego pracą. Musi on bowiem

uwzględniać i odpowiednio reagować na sygnały komparatora K2 (rys. 9) również podczas trwania fazy akumulacji [RM2].

Opracowane metody konwersji xSCR (SCR, ASCR i DSCR) można w naturalny sposób wykorzystać do bezpośredniego przetwarzania analogowo-cyfrowego ilości ładunku elektrycznego. Wybraną wersję układu należy jedynie wyposażyć w odpowiednie wejście sygnałowe. Wnioskodawca zaproponował takie rozwiązania (SCR-QDC, ASCR-QDC oraz DSCR-QDC) w patentach: [P4] i [P30]. Układy te omówiono w pracy [RM2].

Znacznie większe znaczenia praktyczne ma jednak przetwarzanie sygnałów napięciowych. Dokonywanie konwersji VDC (*Voltage-to-Digital Conversion*) przy użyciu algorytmu SCR (w poziomie) jest możliwe wyłącznie w sposób pośredni, poprzez wcześniejszą zamianę wielkości napięcia wejściowego V_{in} na proporcjonalną do niej ilość ładunku elektrycznego – VQC (*Voltage-to-Quantum Conversion*). Przetwarzanie pośrednie VDC, choć realizowane w inny sposób, jest powszechnie stosowane w synchronicznych (zegarowych) przetwornikach analogowo-cyfrowych sukcesywnej aproksymacją. Użycie opracowanej metody redystrybucji ładunku (SCR) wymaga stosowania kondensatora próbkującego. W grę wchodzi zatem rozwiązanie: SCR-VDC i ASCR-VDC, do uzyskania których niezbędne jest zaprojektowanie odpowiedniego układu wejściowego.

Wnioskodawca zaproponował dwa interfejsy tego typu [RM2]. Pierwszy z nich wykorzystuje klasyczny sposób próbkowania (patenty: [P5], [P22] i [P28]) i związany z nim napięciowy tryb prekonwersji VQC. Drugi natomiast [P6] jest wyposażony w wejście wysokoimpedancyjne (nie obciąża źródła sygnału) i prądowy tryb konwersji VQC [RM2].

W pracy [RM2] przedstawiono szczegółowe porównanie opracowanych układów (SCR-VDC i ASCR-VDC) ze znanym od lat 70-tych ubiegłego wieku, jednym z najczęściej wykorzystywanych zegarowych (*clock driven*), pośrednich przetworników SA-VDC McCreary'ea i Graya. Oba te rozwiązania przekształcają próbkę mierzonego napięcia w proporcjonalną do niej ilość ładunku elektrycznego. Oba wykorzystują bardzo podobną matrycę kondensatorów referencyjnych, choć z zupełnie innym zestawem kluczy. I wreszcie, co najważniejsze, oba dokonują redystrybucji ładunku, dzieląc go na skwantowane porcje, jednak metody przeprowadzania tej operacji są całkowicie odmienne. W pracy [RM2] porównano m.in.: wpływ nieidealności poszczególnych elementów konstrukcyjnych na dokładność uzyskiwanych wyników, stopień obciążania źródła sygnału wejściowego, odporność na zakłócenia elektromagnetyczne oraz poziom ich generowania, a także sprawność energetyczną obu rozwiązań. Warto nadmienić, iż opracowana przez wnioskodawcę metoda redystrybucji ładunku okazała się o 25% do 67,5 % (w zależności od wersji algorytmu) mniej energochłonna od rozwiązania McCreary'ea i Graya. Powyższe liczby odnoszą się wyłącznie do poboru mocy statycznej. Jej tak wyraźna redukcja wynika z dwóch przyczyn. Po pierwsze, dany etap procesu redystrybucji dotyczy zawsze tylko dwóch kondensatorów: źródłowego i docelowego. Po drugie, każda skwantowana porcja ładunku, już zgromadzona w odpowiednim z kondensatorów referencyjnych nie bierze udziału w dalszym przebiegu procesu redystrybucji. Tymczasem w układzie McCreary'ea i Graya wszystkie kondensatory referencyjne są z sobą stale połączone. Zmiana potencjału okładki jednego z nich wywołuje przemieszczanie się ładunku w całej matrycy, co wymaga dostarczania z zewnątrz większych ilości energii [RM2].

Podobna redukcja dotyczy także mocy dynamicznej. Niezbędny w przetworniku McCreary'ea i Graya energochłonny układ zegara został przecież zamieniony na dodatkowy komparator, który ponadto podczas trwania faz relaksacji i akumulacji powinien pozostawać wyłączony. Kosztem uzyskania powyższych zalet jest niestety mniejsza prędkość pracy układów xSCR i osiągnięta w związku z tym maksymalna częstotliwość próbkowania [RM2].

Przyspieszenie wykonywania fazy redystrybucji można jednak uzyskać zwiększając wydajność źródła prądowego I (rys. 9). Jej górną granicę wyznacza oczywiście wymagana

dokładność tego procesu, która stopniowo pogarsza się, głównie ze względu na opóźnienia wprowadzane przez komparatory [CP5], [RM2]. Istotniejszym problemem jest jednak zmniejszanie się zakresu przetwarzania T_{FSR} w takim stopniu, w jakim rośnie wydajność I źródła prądowego. Parametr ten podlega bowiem prostej zależności: $T_{FSR}=2^n C_0 V_L / I$ [RM2]. Wnioskodawca opracował zatem kolejną wersję przetwornika xSCR-TDC, wyposażoną w dwa źródła prądowe (patenty: [P8] i [P29]). Pierwsze z nich – I_A jest wykorzystywane wyłącznie w fazie akumulacji, a jego wydajność I_A dobiera się ze względu na żądany zakres pomiarowy T_{FSR} [CP5], [RM2]. Źródło drugie – I_R służy do przeprowadzania redystrybucji ładunku. Wartość jego powiększonej wydajności I_R stanowi kompromis pomiędzy osiąganym przyspieszeniem realizowania fazy redystrybucji i zachowaniem jej wymaganej dokładności. Ostatecznie więc wielkość współczynnika przyspieszenia m jest definiowana stosunkiem wydajności obu źródeł: $m=I_R/I_A$. W pracy [CP5] omówiono szczegółowo aspekty dobierania tego parametru.

Wprowadzając drugie źródło prądowe I_R lub stosując pojedyncze źródło I_{AR} o przełączanej wydajności [CP5] można przyspieszyć pracę wszystkich zaproponowanych przetworników czasu (SCR-TDC, ASCR-TDC i DSCR-TDC). W podobny sposób można wpłynąć na wydajność przetworników napięcia (SCR-VDC i ASCR-VDC), wykorzystujących prądowy tryb konwersji VQC [RM2], co wnioskodawca proponował w patentach: [P7], [P22] i [P28]. Omawiana modyfikacja nie dotyczy jednak układów, które nie używają źródła prądowego podczas fazy akumulacji, a zatem przetworników ładunku xSCR-QDC oraz napięcia xSCR-VDC z napięciowym trybem konwersji VQC. Wydajność ich jedyne źródła należy dobierać wyłącznie ze względu na szybkość i dokładność procesu redystrybucji.

Wyposażenie przetwornika xSCR w dwa źródła prądowe pozwala nie tylko przyspieszyć fazę redystrybucji, lecz także uniezależnić jej wykonywanie od przebiegu fazy akumulacji. Spostrzeżenie to okazało się kluczowym dla opracowania wystarczająco wydajnej wersji układu SCR-TDC, aby mógł on naprzemiennie przetwarzać impulsy sygnału $z(t)$ o obu polaryzacjach (rys. 1). W przedstawionych wcześniej strukturach ASD-ADC (pkt 4.4) konieczne było stosowanie w tym celu dwóch niezależnych kanałów, z których każdy wyposażano we własny licznikowy przetwornik TDC. Wykorzystanie takiego rozwiązania z użyciem układów pojemnościowych prowadzi do istotnego zwiększenia powierzchni, ceny, a także energochłonności całego systemu. Wnioskodawca opracował zatem dwukanałową strukturę z pojedynczym przetwornikiem SCR-TDC pracującym w trybie ciągłym, oznaczoną akronimem CSCR-TDC (*Continuous Operation Successive Charge Redistribution* TDC). Rozwiązanie to zostało opatentowane [P13], [P14], [P23] i [P34] i opisane szczegółowo w pracy [A1]. Układ CSCR-TDC jest rozbudowany w stosunku do pierwowzoru (SCR-TDC) jedynie o drugi kondensator próbkujący. Dzięki temu, gdy jeden z tych kondensatorów wykorzystuje się do przeprowadzania konwersji TQC, drugi współpracuje z matrycą pojemności referencyjnych, umożliwiając równoczesne przetwarzanie QDC wielkości poprzedniej próbki. W chwili zakończenia się danego impulsu (i równoczesnego rozpoczęcia następnego o przeciwnej polaryzacji), kondensatory zamieniają się rolami [A1]. Wykorzystanie dwóch źródeł prądowych, niezbędnych i tak ze względu na konieczność przyspieszenia procesu redystrybucji, pozwala przeprowadzać jednocześnie fazę akumulacji w jednym kanale oraz redystrybucji i relaksacji w drugim. Źródło I_A o mniejszej wydajności pracuje przy tym w sposób ciągły.

W patentach: [P11], [P12], [P24] i [P33] wnioskodawca przedstawił sposoby i struktury układów umożliwiające przetwarzanie ciągłe ładunku: CSCR-QDC i CASCAR-QDC. Przetworniki ciągłe napięcia: CSCR-VDC i CASCAR-VDC wyposażone w podwójny układ próbkujący i napięciowy tryb konwersji VQC wnioskodawca proponował w patentach: [P10] i [P32]. Podobne rozwiązania, lecz wykorzystujące konwersję VQC w trybie prądowym opisał natomiast w patentach: [P9] i [P31].

Optymalizacja i implementowanie struktury samotaktującego przetwornika TDC w postaci monolitycznego układu scalonego jest tematem rozprawy doktorskiej Konrada Jurasza, zatytułowanej *Bezzegarowy przetwornik TDC (Time-to-Digital Converter) z sukcesywnym równoważeniem upływu czasu*. Zaprojektowany przez niego układ elektroniczny, bazujący na opatentowanej przez wnioskodawcę metodzie konwersji, poddany seriom badań symulacyjnych, został ostatecznie przesłany do produkcji, którą ukończono dnia 28.06.2022. Testy otrzymanych mikrostruktur wykazały pełną sprawność funkcjonalną 23 działających spośród 25 wytworzonych sztuk przetwornika oraz powtarzalność ich parametrów. Złożenie kompletnej dysertacji planuje się na połowę 2023 roku. Wnioskodawca pełni funkcję promotora pomocniczego tego doktoratu.

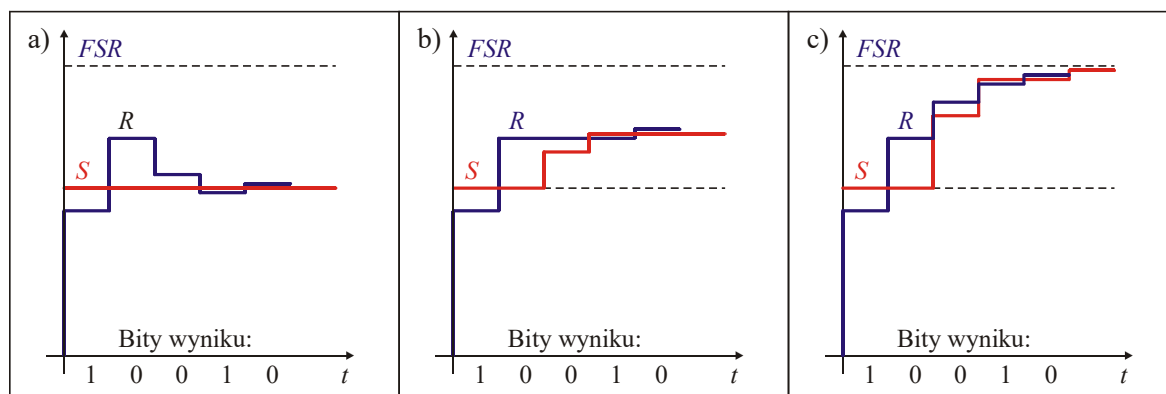
4.7. Asynchroniczne, bezpośrednie przetworniki TDC

Prekonwersja mierzonej wielkości fizycznej na inną, stanowiąca część przetwarzania pośredniego, jest potencjalnym źródłem niedokładności, rozbudowy układu oraz energo- i czasochłonności. Stworzenia algorytmu bezzegarowego i jednocześnie bezpośredniego przetwarzania interwału czasu metodą kompensacji wagowej okazuje się jednak zadaniem dość skomplikowanym. Wnioskodawca podjął próbę wyjaśnienia przyczyn tych trudności. Okazała się nimi koincydencja dwóch prostych faktów. Czas jest niedekrementowalną wielkością fizyczną. Raz wykorzystany nie może być cofnięty lub użyty ponownie. Tymczasem najpopularniejszy i często niesłusznie uważany za jedyny algorytm sukcesywnej aproksymacji wymaga odwoływania niektórych, podjętych wcześniej decyzji, jeśli ich skutkiem okaże się przeszacowanie mierzonej próbki. Dlatego opracowywanie omówionej w pkt. 4.6 bezzegarowej metody przetwarzania czasu od początku ciążyło w kierunku zastąpienia go proporcjonalną ilością ładunku elektrycznego, zatem wielkością dekrementowalną. Nieudana próba napełnienia zbyt dużego kondensatora docelowego może być wówczas łatwo naprawiona przez przeniesienie ładunku do mniejszego kondensatora, a zatem cofnięcie błędnej decyzji.

Wnioskodawca przeprowadził analizę znanych wersji algorytmu kompensacji wagowej. Wyniki tych badań przedstawił wraz ze współautorami w pracy [CP6]. Zawiera ona usystematyzowanie istniejących wariantów, precyzyjny opis ich działania, szczegółowe, wieloaspektowe porównanie oraz propozycję jednolitego systemu nazewnictwa. Artykuł [CP6] odpowiada jednak przede wszystkim na pytania: które z istniejących odmian sukcesywnej aproksymacji umożliwiają bezpośrednie przetwarzania niedekrementowanych wielkości fizycznych, jakie są złożoności układowe poszczególnych wersji oraz względne wielkości ich inherentnych zapotrzebowań energetycznych.

Zdecydowanie najczęściej wykorzystywana wersja algorytmu kompensacji wagowej aproksymuje mierzoną wartość za pomocą pojedynczego zestawu skwantowanych elementów referencyjnych, zwykle o binarnym stosunku ich wielkości. W popularnym modelu sukcesywnej aproksymacji, wykorzystującym wagę szalkową, ważony ciężar trafia na pierwszą szalkę – S, a aproksymujące go odważniki są stopniowo dodawane na szalkę drugą – R [CP6]. We wszystkich wersjach kompensacji wagowej odważniki są używane kolejno, od największego do najmniejszego. W pierwszym wariancie, pojawienie się na szalce R zbyt dużego łącznego ciężaru skutkuje w kolejnym kroku przetwarzania zdjęciem ostatniego z położonych tam odważników (rys. 11.a). Błędna decyzja przeszacowująca pomiar jest zatem cofana. W przypadku odważników wykonanie niezbędnej w tym celu czynności nie stwarza żadnego problemu. Jeżeli jednak wielkością mierzoną i elementami referencyjnymi są interwały czasu, to raz odmierzonego odcina nie można już usunąć. Dlatego ten wariant sukcesywnej aproksymacji nie nadaje się do bezpośredniego przetwarzania wielkości niedekrementowalnych. Z powodu kształtu zmian ciężaru aproksymującego R, który wskutek cofanie już wykonanych operacji, uznanych następnie za błędne, oscyluje wokół niezmiennego

ciężaru szalki S (rys. 11.a), wersję tę nazwano w pracy [CP6] oscylacyjną sukcesywną aproksymacją OSA (*Oscillating Successive Approximation*).



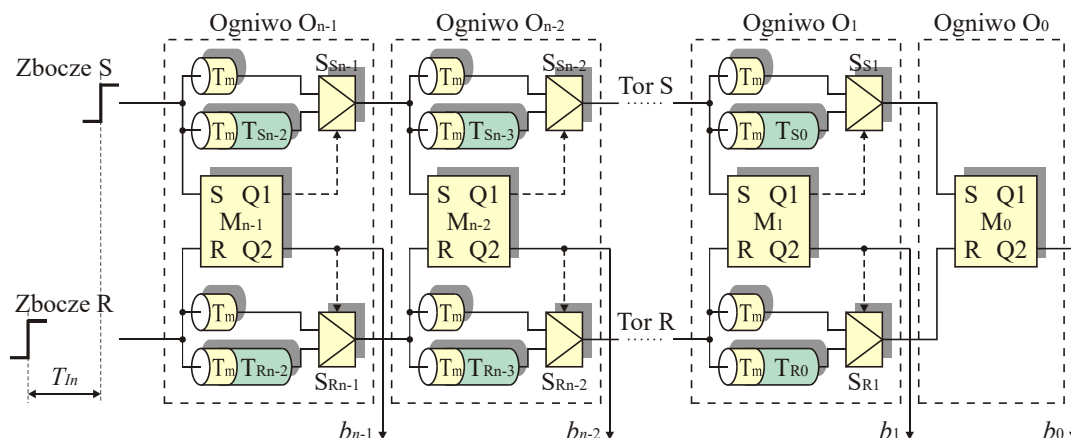
Rys. 11. Trzy wersje algorytmu kompensacji wagowej

Żaden z dwóch pozostałych wariantów kompensacji wagowej nie wymaga odwoływania błędnych decyzji, lecz jedynie koryguje ich niepożądane skutki. Pierwszy z nich nakazuje, aby każdy następny odważnik referencyjny był kładziony na szalce aktualnie lżejszej. Odważniki mogą zatem powiększać ciężar obu szalek. W przypadku pojawienia się przeszacowania następny (lub kilka następnych), lżejszy odważnik posłuży skompensowaniu powstałej nieprawidłowości (rys. 11.b). Ważony ciężar jest aproksymowany różnicą ciężarów odważników zgromadzonych ostatecznie na szalce R i S. Kierując się podobnymi względami jak poprzednio, tę wersję algorytmu nazwano w pracy [CP6] monotoniczną sukcesywną aproksymacją MSA (*Monotonic Successive Approximation*). Wersja ta nadaje się doskonale do przetwarzania wielkości niedekrementowanych. Ponadto, określenie wartości bitów generowanego wyniku nie wymaga wykonywania żadnych operacji matematycznych, podobnie zresztą jak w poprzednim i następnym przypadku [CP6].

Ostatni wariant sukcesywnej aproksymacji cechuje wręcz skrajnie uproszczone działanie. Wersja ta wymaga niestety używania podwójnego zestawu elementów referencyjnych oraz pochłania nawet dwukrotnie więcej energii od poprzednich [CP6]. Odważniki pierwszego zestawu są kolejno kładzione na szalce R. Jeżeli po użyciu któregoś z nich nastąpi przeszacowanie, to skutki błędnej decyzji są kompensowane przez umieszczenie na szalce S identycznego odważnika, pochodzącego z drugiego zestawu (rys. 11.c). Po zakończeniu przetwarzania na szalce R znajdują się wszystkie odważniki pierwszego zestawu, natomiast łączny ciężar szalki S jest nawet jeszcze bliższy wartości pełnego zakresu przetwarzania FSR (rys. 11.c). Dla wariantu tego zaproponowano w pracy [CP6] nazwę pełnozakresowej, monotonicznej sukcesywnej aproksymacji FSMSA (*Full Scale Monotonic Successive Approximation*). Jak poprzednio, wyznaczany ciężar jest aproksymowany różnicą ciężarów odważników zgromadzonych na szalce R i S. Jednak tym razem zawartość szalki R jest zawsze taka sama, niezależnie od wyniku pomiaru. Omawiana wersja kompensacji wagowej oczywiście nadaje się do przetwarzania wielkości niedekrementowalnych, jednak koszty jej implementowania oraz niska sprawność energetyczna czynią ją mało użyteczną [CP6].

Jednymi z nielicznych asynchronicznych, bezpośrednich przetworników TDC, stosujących monotoniczną wersję algorytmu sukcesywnej aproksymacji MSA są układy wykorzystujące linie opóźniające w charakterze elementów referencyjnych. Konwertery te oznacza się w literaturze bardzo ogólnym akronimem SA-TDC lub precyzyjniejszym DLSA-TDC (*Delay Lines Successive Approximation TDC*). Przetworniki DLSA-TDC oferują obecnie rozdzielczości piko- i subpikosekundowe, lecz ich pobór mocy jest znacząco większy od układów przedstawionych w pkt. 4.6. Podstawową, kaskadową strukturę konwertera DLSA-TDC pokazano na rys. 12 (*feedforward architecture*). Układ wymaga niestety

przedstawienia mierzonego interwału czasu w postaci wskazujących jego początek i koniec zbocza referencyjnego R oraz zbocza sygnałowego S, podawanych na oddzielne wejścia. Praca przetwornika polega na sprawdzaniu w kolejnych krokach konwersji, które ze zboczy jest aktualnie wiodącym oraz opóźnianiu tego zbocza za pomocą odpowiedniego dla danego etapu elementu referencyjnego T_{Rx} lub T_{Sx} . Po zakończeniu przetwarzania TDC położenie obu zboczy zostanie zrównane w czasie z dokładnością do stosowanego kroku kwantyzacji T_0 ($T_{R0}=T_{S0}=T_0$), a konfiguracja użytych w tym celu opóźnień umożliwi określenie dystansu różniącego początkowo te zbocza (mierzonego interwału czasu).



Rys. 12. Struktura kaskadowego przetwornika DLST-TDC

Każde kolejne opóźnienie wtrącane w tor wiodącego sygnału jest dwukrotnie mniejsze od wykorzystywanego w poprzednim ogniwie (rys. 12). Wyjątek stanowi ostatnie ogniwo O_0 , pozbawione linii opóźniających i służące do określenia ostatecznej chronologii obu zboczy oraz wyznaczenia na tej podstawie wartości najmniej znaczącego bitu b_0 wyniku przetwarzania.

Porównania aktualnego wzajemnego położenia zboczy dokonuje w każdym z ogniw komparator czasu M_x , nazywany także układem MUTEX (*mutual exclusion*). Podzespół ten zawiera przerzutnik typu RS oraz filtr stanów metastabilnych [CP7]. Wyjścia układu MUTEX, za pomocą połączonych z nimi multiplexerów, konfigurują oba tory ogniwa O_x . Odpowiednia linia opóźniająca (T_{Rx} lub T_{Sx}) jest włączana w tor sygnału wiodącego, natomiast drugi z torów jest prowadzony bezpośrednio do wyjścia ogniwa O_x (rys. 12). Jedno z wyjść każdego komparatora czasu (Q2) podaje także wartość bitu b_x wyniku przetwarzania, wyznaczanego na danym etapie procesu sukcesywnej aproksymacji.

W praktycznej realizacji przetwornika należy bezwzględnie zapewnić, aby oba zbocza docierały do multiplexerów własnych torów dopiero po odpowiednim przełączeniu tych elementów. Przygotowanie multiplexerów wymaga wcześniejszego „podjęcia decyzji” przez komparator czasu [CP7]. Opóźnienia propagacyjne wymienionych podzespołów są równoważone przez dodatkowe elementy korygujące T_m , włączone na stałe w każdy z możliwych wariantów obu torów (rys. 12).

Układ przedstawiony na rys. 12 jest przetwornikiem bipolarnym, na którego wejściach zbocza R i S mogą pojawiać się w dowolnej kolejności. Jego zakres pomiarowy wynosi: $-2^{n-1}T_0 \div 2^{n-1}T_0$, natomiast komparator czasu pierwszego z ogniw (O_{n-1}) odpowiada za wskazanie znaku wyniku. W publikacji: [CP7] przedstawiono także strukturę przetwornika unipolarnego, o zakresie pomiarowym: $0 \div 2^n T_0$. Układ taki wymaga zastosowania większej rozpiętości linii opóźniających, których czasy propagacji mają wartości od T_0 do $2^{n-1}T_0$.

Porównując wyposażenie klasycznej struktury przetwornika DLSA-TDC z modelem konwertera typu MSA [CP6] wnioskodawca zauważył, iż charakteryzuje się ono dużą nadmiarowością sprzętową. Wszystkie implementacje układu znalezione w literaturze zakładają konieczność wykorzystywania podwójnego zestawu linii opóźniających, tak jak to

przedstawiono na rys. 12. Jednak układ ten stosuje przecież monotoniczną wersję sukcesywnej aproksymacji (MSA), wymagającą używania tylko jednego zbioru elementów referencyjnych [CP6]. Analiza pracy przetwornika także potwierdza, iż każde ogniwo O_x , mimo wyposażenia go w dwie linie opóźniające: T_{Rx} i T_{Sx} , korzysta z tylko jednej z nich. Od wielkości mierzonego interwału czasu zależy natomiast, która z linii zostanie włączona w przynależny jej tor.

Wnioskodawca opracował strukturę przetwornika DLSA-TDC wyposażonego w jeden zestaw linii opóźniających o parametrach identycznych, jak w rozwiązaniu klasycznym [CP7]. Każde ogniwo zaproponowanego układu zawiera tylko jeden element referencyjny T_x , włączony na stałe w jeden z torów. Po rozpoznaniu przez MUTEX kolejności sygnałów, zbocze wiodące jest przenoszone do toru zawierającego linię opóźniającą, natomiast drugie zbocze – do ścieżki pozbawionej opóźnienia. Zbocza nie są zatem na stałe związane z przypisanymi im torami, lecz przenoszone między nimi zgodnie z aktualną potrzebą. Dwie wersje takiego układu przedstawiono w pracy [CP7]. Pierwsza z nich zakłada ponowne przestrzenne porządkowanie zboczy na wyjściu każdego ogniwa, tak aby dane zbocze trafiło z powrotem do własnego toru. Dzięki temu, komparator czasu następnego ogniwa może mieć pewność, które ze zboczy (R czy S) wskazał jako wiodące i określić na tej podstawie poprawną wartość kontrolowanego bitu wyniku przetwarzania. Wadą takiej struktury jest konieczność uzupełnienia wyjść ogniw o dodatkowe multipleksery. Elementy te mogą wprowadzać drobną asymetrię opóźnień propagacyjnych obu torów i tym samym obniżać osiąganą precyzję przetwarzania.

Drugie z opracowanych przez wnioskodawcę rozwiązań jest pozbawione tej wady. Zrezygnowano w nim bowiem z przestrzennego porządkowania zboczy. Jeżeli zbocza zamieniają się torami, to pozostaną w nowej konfiguracji tak długo, aż na którymś z kolejnych etapów przetwarzania nastąpi zmiana ich kolejności, co spowoduje konieczność ponownej zamiany torów [CP7]. Komparator czasu następnego ogniwa jest zawsze w stanie poprawnie rozpoznać, które zbocze należy aktualnie skierować do linii opóźniającej. Jeżeli jednak zbocza zamieniły się wcześniej torami, to wartość bitu wypracowana przez dany MUTEX będzie przeciwna do właściwej. Wynik pomiaru wymaga zatem wprowadzenia korekty poprzez zanegowanie jego odpowiednich bitów. Wnioskodawca opracował strukturę transkodera realizującego to zadanie, przedstawionego w [CP7]. Jego zasada pracy jest bardzo prosta. Negować należy wszystkie te bity, przed wyznaczeniem których nastąpiła nieparzysta liczba zamian torów. Transkoder wymaga dodania tylko jednej bramki typu XOR do każdego z ogniw przetwornika (z wyjątkiem pierwszego). Co jednak ważniejsze, bramki te nie są włączane w żaden z torów, nie mają zatem negatywnego wpływu na precyzję procesu przetwarzania [CP7].

Typowym sposobem tworzenia linii opóźniających dla przetworników TDC jest zestawianie ich z odpowiedniej liczby par inwerterów połączonych kaskadowo, przy czym pojedyncza para wytwarza opóźnienie jednostkowe układu – T_0 . Para standardowych inwerterów technologii UMC180 wprowadza opóźnienie propagacyjne o wartości ok. 100 ps. W literaturze można znaleźć opisy zoptymalizowanych inwerterów o dwukrotnie krótszym czasie propagacji. W takim przypadku uzyskiwany krok kwantyzacji wynosi już tylko $T_0=50$ ps (technologia 180 nm). Rozwiązania te są efektem dążenia do przyspieszenia reakcji inwertera na każdy rodzaj zbocza (narastające i opadające). Jednak konstrukcja przetwornika DLSA-TDC jest z natury rzeczy przystosowana do współpracy z tylko jednym rodzajem zboczy. Jego zmiana (np. z narastających na opadające) wymaga wymiany wszystkich komparatorów czasu, w których bramki NAND należy zastąpić bramkami NOR oraz zastosować odwrócone filtry stanów metastabilnych. Dlatego wnioskodawca opracował inwertery asymetryczne, zoptymalizowane dla tylko jednego rodzaju zbocza [CP7]. W inwerterach takich tranzystor włączany aktywnym zboczem wyposażono w bardzo szeroki kanał, zaś przyspieszenie wyłączania drugiego z tranzystorów (obciążenia) uzyskano minimalizując szerokość jego kanału. Przeprowadzone symulacje wykazały, iż para inwerterów asymetrycznych może wprowadzać minimalne opóźnienie aktywnego zbocza wynoszące

zaledwie 24,4 ps (technologia 180 nm). Oczywiście, reakcja takiej pary na zbocze przeciwne ulega wielokrotnemu wydłużeniu, co jednak nie ma praktycznego znaczenia dla funkcjonowania przetwornika DLSA-TDC.

Uzyskana redukcja kroku przetwarzania T_0 ujawniła negatywny wpływ asymetrii dynamicznie rekonfigurowanych torów układu (rys. 12) na możliwą do osiągnięcia precyzję procesu przetwarzania. Przeprowadzone badania symulacyjne wykazały, iż jej przyczyną jest inna wydajność prądowa sygnałów polaryzujących prawy i lewy kanał standardowego multipleksera, wyposażonego w wewnątrz inwerter [CP7]. Dlatego wnioskodawca opracował multiplekser o całkowicie symetrycznej strukturze, w którym ewentualna różnica opóźnień propagacyjnych obu kanałów może wynikać już tylko z uchybów technologicznych.

Przetwornik DLSA-TDC o rozdzielczości 8-bitowej i kroku kwantyzacji $T_0=25$ ps, wykorzystujący wszystkie przedstawione powyżej optymalizacje zaprojektowano w technologii UMC180. Jego strukturę, szczegółowe wyniki badań oraz porównanie z układem pozbawionym optymalizacji przedstawiono w pracy [CP7]. Analizie poddano zarówno wpływ zmian napięcia zasilającego, temperatury pracy układu, dopuszczalnego minimalnego czasu propagacji elementów korygujących T_m , jak i przede wszystkim uchybu technologicznego i szumów własnych, związanych ze zjawiskiem drżenia fazy (*time jitter*) elementów konstrukcyjnych. Wyznaczono także charakterystyki różniczkowej (DNL) i całkowitej (INL) nieliniowości przetwornika, osiąganą redukcję powierzchni zajmowanej przez zoptymalizowany układ w strukturze monolitycznej oraz wykazano brak w charakterystyce przejściowej jakichkolwiek błędów gubienia kodów, które ujawniały się w strukturze nieoptymalizowanej. Badaniami objęto zarówno analizę najgorszego przypadku (*corner analysis*) jak i stochastyczny rozkład parametrów z założonymi odchyleniami standardowymi.

W pracy [A5] wnioskodawca zaproponował połączenie techniki sukcesywnej aproksymacji z metodą noniuszową (*Vernier delay line*), uzyskując w tej samej technologii (UMC 180) dwukrotnie mniejszy krok kwantyzacji układu ($T_0=12,5$ ps) oraz rozdzielczość powiększoną o kolejny bit. Wnioskodawca opracował także dwie istotne modyfikacje przetworników DLSA-TDC pracujących w układzie z pętlami sprzężeń zwrotnych (*feedback architecture*). Pierwszą z nich jest metoda dynamicznego wyrównywania opóźnień wprowadzanych przez elementy obu pętli – DED (*Dynamic Equalization of Delays*) [A7]. Drugą są binarnie skalowane linie opóźniające BSTDL (*Binary Scaled Taped Delay Lines*), które umożliwiają wielokrotne wykorzystywanie tych samych par inwerterów w kolejnych cyklach pętli [A7]. Dzięki powyższemu liczba tranzystorów niezbędnych do zbudowania elementów referencyjnych staje się dwukrotnie mniejsza. Prace nad zaimplementowaniem powyższych rozwiązań w monolitycznej strukturze przetwornika DEDSA-TDC (*Dynamic Equalization of Delays Successive Approximation TDC*) prowadzono wspólnie z *University College Dublin* w Irlandii. Stworzone w tym celu modele oraz przeprowadzone badania symulacyjne przedstawiono szczegółowo we wspólnej publikacji [A10]. Zaprojektowany ostatecznie konwerter wyprodukowano w technologii LP CMOS 28 nm. Wyniki ukończonych już badań tego układu zostaną przedstawione w pracy *Successive Approximation Feedback-Based TDC with Built-In Automatic Mismatch and Linearity Calibration*, która obecnie znajduje się w końcowej fazie edycji.

Bardzo istotnym i nierozwiązanym wcześniej problemem przetworników TDC wykorzystujących komparatory czasu jest metastabilność tych elementów. Może ona pojawić się na dowolnym etapie przetwarzania, gdy aktywne zbocza dotrą quasi-równocześnie do obu wejść układu MUTEX. Rezultatem quasi-równoczesności zboczy jest ogromnie wydłużający się czas „podejmowania decyzji” przez MUTEX [A5], [A10], która ostatecznie i tak ma charakter stochastyczny. Brak decyzji komparatora czasu oznacza brak odpowiedniego skonfigurowania dalszego przebiegu torów: R i S. Oba zbocza poruszają się zatem ciągle jeszcze nieprzygotowanymi torami, co ostatecznie skutkuje błędnym wynikiem przetwarzania.

Wnioskodawca opracował sposób wyeliminowania skutków metastabilności. Podstawą zaproponowanego rozwiązania jest proste spostrzeżenie, iż omawiane zjawisko pojawia się z natury rzeczy tylko w sytuacji, gdy położenie obu zboczy zostało już precyzyjnie zrównane w dziedzinie czasu (z dokładnością znacznie przekraczającą krok kwantyzacji układu). Dalsze przetwarzanie staje się zatem zbędne, ponieważ wartości wszystkich kolejnych, mniej znaczących bitów można z góry przewidzieć. Zadaniem odpowiedniego podzespołu-arbitra jest więc wykrywanie metastabilności komparatora czasu, a jeśli ona nastąpi, przerywanie procesu przetwarzania i generowanie wartości niewyznaczonych jeszcze bitów wyniku. Rozwiązanie takie wnioskodawca przedstawił w zgłoszeniach patentowych: [Z1] i [Z2].

Wnioskodawca opracował i opatentował całkowicie nową, oryginalną strukturę bezpośredniego, samotaktującego przetwornika TDC [P17], [P18], [P26], [P36]. Ze względu na procedurę zgłaszania tego rozwiązania najpierw w polskim, a następnie także europejskim i amerykańskim urzędzie patentowym rozwiązanie to zostało dotychczas opublikowane wyłącznie w przytoczonych powyżej dokumentach.

Optymalizowanie i praktyczna realizacja przetworników TDC wykorzystujących linie opóźniające w charakterze elementów referencyjnych były przedmiotem rozprawy doktorskiej Jakuba Szyduczyńskiego, zatytułowanej *Design and optimization of architectures for successive approximation time-to-digital converters*. Jej tematyka obejmowała zarówno układy kaskadowe, jak i wykorzystujące pętle sprzężeń zwrotnych. Doktorant zoptymalizował i wykorzystał w swych konstrukcjach wiele z omówionych powyżej rozwiązań zaproponowanych przez wnioskodawcę. Praca została obroniona z wyróżnieniem dnia 14.11.2022, zaś wnioskodawca pełnił funkcję promotora pomocniczego tego doktoratu.

4.8. Podsumowanie osiągnięcia naukowego wnioskodawcy

Przedmiotem badań wnioskodawcy, których opublikowane efekty tworzą cykl powiązanych tematycznie artykułów naukowych oraz wdrożonych patentów, były metody asynchronicznego przetwarzania analogowo-cyfrowego, wykorzystujące kodowanie sygnału w dziedzinie czasu. Rezultatem jego prac są autorskie wersje koderów TEM oraz oryginalna konstrukcja modulatora ASDM, pozbawiona wady zawężania zakresu dynamicznego. Opatentowane struktury konwerterów TDC i układów transmisyjnych tworzą z koderami TEM kompletne asynchroniczne przetworniki ASD-ADC.

Wnioskodawca jest współautorem kilku algorytmów rekonstruowania sygnałów zakodowanych w dziedzinie czasu techniką LCS, w tym również przebiegów próbkowanych poniżej kryterium Nyquista. Pierwsza grupa tych metod wykorzystuje ignorowaną wcześniej informację domyślną o ograniczeniach wartości sygnału. Grupa druga bazuje natomiast na szacowaniu szerokości lokalnego pasma rekonstruowanego przebiegu.

Wnioskodawca opracował i opatentował zupełnie nową rodzinę asynchronicznych, samotaktujących przetworników analogowo-cyfrowych, w tym przede wszystkim konwerterów interwałów czasu. Układy xSCR charakteryzują się wysoką sprawnością energetyczną i dalece zminimalizowanym czasem przetwarzania. Przetworniki wykorzystujące redystrybucję ładunku elektrycznego wyposażono w opatentowane metody przeprowadzania bezzegarowej konwersji także innych wielkości fizycznych.

Dla znanych już wcześniej przetworników TDC, wyposażonych w linie opóźniające, wnioskodawca proponował: redukcję zestawu elementów referencyjnych, optymalizację struktur inwerterów, w pełni symetryczną strukturę multiplekserów oraz konfigurację hybrydową o podwyższonej rozdzielczości. Opracował także sposób dynamicznego kompensowania opóźnień konwerterów ze sprzężeniami zwrotnymi, metodę redukcji ich energochłonności, a także binarnie skalowane linie opóźniających z wielokrotnie wykorzystywanymi fragmentami.

4.9. Dane naukometryczne ocenianego osiągnięcia naukowego

Baza danych	Sumaryczny Impact Factor
Bibliografia Publikacji Pracowników AGH	18,804

Baza danych	Liczba punktów MEiN osiągnięcia naukowego
Bibliografia Publikacji Pracowników AGH	400

Baza danych	Liczba publikacji cyklu w bazie	Liczba cytowań	Indeks Hirscha
Web of Science	7	60	4
Scopus	7	71	5
Google Scholar	7	92	7

4.10. Wkład merytoryczny wnioskodawcy w prace tworzące cykl publikacji oraz uzupełniające go rozdziały w monografiach wydanych w wydawnictwach o uznanej renomie międzynarodowej

[CP1]

- Opracowanie dwóch oryginalnych struktur modulatora ASDM z przełączanymi źródłami prądowymi.
- Przeprowadzenie symulacji układowej obu zaproponowanych struktur.
- Opracowanie pełnej struktury przetwornika A-ADC z licznikowym konwerterem TDC.
- Zaproponowanie sposobu eliminowania niepożądanego offsetu z wartości generowanych słów cyfrowych.
- Opracowanie dwukanałowego układu obróbki i buforowania słów przeznaczonych do transmisji.
- Opracowanie dwóch wersji modułu transmisji asynchronicznej.
- Wyznaczenie przepustowości kanału transmisyjnego niezbędnej dla obu przypadków.

[CP2]

- Wyjaśnienie przyczyn i przeprowadzenie analizy zjawiska zawężania zakresu dynamicznego długości impulsów generowanych przez klasyczny układ ASDM.
- Wyprowadzenie równań uwikłanych i ich numeryczne rozwiązanie, wyznaczające granice zawężania zakresu dynamicznego zmienności generowanych impulsów.
- Wyznaczenie charakterystyki zawężania zakresu dynamicznego koder ASDM w funkcji częstotliwości sygnału wejściowego.
- Opracowanie układu SH-ASDM pozbawionego wady zawężania zakresu dynamicznego długości generowanych impulsów.
- Opracowanie algorytmu rekonstruowania idealnego sygnału zakodowanego za pomocą układu SH-ASDM.
- Opracowanie symulacyjnych modeli behawioralnych modulatorów ASDM i SH-ASDM.
- Wyznaczenie i porównanie charakterystyk szumowych modulatorów ASDM i SH-ASDM.

[CP3]

- Współautorstwo algorytmu iteracyjnego rekonstruowania sygnału poprzez projekcję na zbory wypukłe POCS z wykorzystaniem informacji domyślnej.

- Opracowanie behawioralnego modelu symulacyjnego iteracyjnego algorytmu rekonstrukcji z wykorzystaniem informacji domyślnej I-POCS.
- Współautorstwo behawioralnego modelu symulacyjnego metody rekonstrukcji natychmiastowej O-PCS.
- Przeprowadzenie badań symulacyjnych obu technik rekonstruowania sygnałów spróbkowanych poniżej kryterium Nyquista.
- Opracowanie opatentowanej metody całkowicie sprzętowego rekonstruowania sygnału na podstawie strumienia próbek generowanych techniką LCS.
- Opracowanie opatentowanego układu do potokowego rekonstruowania sygnału ze strumienia próbek generowanych techniką LCS w trybie on-line.

[CP4]

- Współautorstwo trzech algorytmów szacowania lokalnej szerokości pasma sygnału na podstawie intensywności próbek generowanych techniką LCS.
- Opracowanie modelu symulacyjnego dla algorytmu szacowania lokalnego pasma sygnału bazującego na metodzie najmniejszych kwadratów.
- Opracowanie modelu symulacyjnego sposobu estymowania lokalnego pasma na podstawie danych dostarczanych z 1-progowego kodera LCS.
- Opracowanie modelu symulacyjnego metody estymowania lokalnego pasma na podstawie stosunku liczb przekroczeń sąsiednich progów kodera LCS.
- Przeprowadzenie badań symulacyjnych z wykorzystaniem stworzonych modeli.

[CP5]

- Opracowanie całkowicie nowej struktury bezzegarowego, samotaktującego, pośredniego przetwornika SCR-TDC.
- Opracowanie algorytmu sterującego procesem przetwarzania z redystrybucją ładunku SCR-TDC.
- Opracowanie układu przetwornika ASCR-TDC o skróconym czasie przetwarzania.
- Opracowanie układu przetwornika DSCR-TDC z bezpośrednią redystrybucją ładunku.
- Zbudowanie behawioralnych modeli symulacyjnych przetworników: SCR-TDC, ASCR-TDC i DSCR-TDC.
- Symulacyjne wyznaczenie charakterystyki czasu przetwarzania układów: SCR-TDC, ASCR-TDC i DSCR-TDC w funkcji długości mierzonego impulsu.
- Określenie wpływu nieidealności poszczególnych elementów składowych przetworników: SCR-TDC, ASCR-TDC i DSCR-TDC na możliwą do osiągnięcia dokładność konwersji.

[CP6]

- Wyróżnienie i przeprowadzenie badań porównawczych istniejących wersji algorytmu kompensacji wagowej (sukcesywnej aproksymacji).
- Systematyzacja dostępnych wersji oraz zaproponowanie dla nich jednolitego systemu nazewnictwa.
- Określenie zdolności poszczególnych wersji do przetwarzania niedekrementowalnych wielkości fizycznych.
- Analiza porównawcza inherentnej energochłonności poszczególnych wersji algorytmu sukcesywnej aproksymacji.

[CP7]

- Opracowanie struktury przetwornika DLSA-TDC z pojedynczym zestawem referencyjnych linii opóźniających.
- Opracowanie struktur przetwornika DLSA-TDC porządkującego sposób przypisania zboczy do należnych im torów.

- Opracowanie struktur przetwornika DLSA-TDC niewymagającego porządkowania przestrzennego sygnałów.
- Opracowanie transkodera korygującego błędne wartości bitów słowa wyjściowego, powstałe wskutek zamiany torów.
- Opracowanie inwerterów asymetrycznych o skróconym czasie propagacji dla wybranego rodzaju zbocza.
- Opracowanie układu multipleksera o całkowicie symetrycznej strukturze wewnętrznej.
- Opracowanie hybrydowej struktury przetwornika DLSA-TDC, pozwalającej na dwukrotne zmniejszenie kroku kwantyzacji.

[RM1]

- Opracowanie modelu symulacyjnego wielopoziomowego kodera LCS bez histerezy, z kwantyzacją równomierną.
- Współautorstwo algorytmów szacowania lokalnej szerokości pasma sygnału na podstawie intensywności próbek generowanych techniką LCS.
- Współautorstwo modelu symulacyjnego algorytmu rekonstrukcji przybliżonej z wykorzystaniem metody minimalizowania błędu średniokwadratowego.
- Przeprowadzenie badań symulacyjnych kodowania sygnału o lokalnie zmiennej szerokości pasma za pomocą 7-progowego systemu LCS, szacowania tego pasma w odbiorniku na podstawie intensywności próbek oraz rekonstruowania sygnału z wykorzystaniem powyższych informacji.

[RM2]

- Opracowanie struktury bezzegarowego, samotaktującego, pośredniego przetwornika czasu SCR-TDC.
- Opracowanie algorytmu sterującego procesem przetwarzania z redystrybucją ładunku SCR-TDC.
- Opracowanie układu przetwornika ASCR-TDC o skróconym czasie przetwarzania.
- Opracowanie układu przetwornika DSCR-TDC z bezpośrednią redystrybucją ładunku.
- Analityczne wyznaczenie czasu przetwarzania układów: SCR-TDC, ASCR-TDC i DSCR-TDC w funkcji długości mierzonego impulsu.
- Oszacowanie redukcji energochłonności oraz powierzchni zajmowanej przez zmodyfikowane układy: ASCR-TDC i DSCR-TDC.
- Opracowanie struktur bezzegarowych, samotaktujących, pośrednich przetworników SCR-VDC i ASCR-VDC z napięciowym trybem prekonwersji VQC.
- Opracowanie struktur bezzegarowych, samotaktujących, pośrednich przetworników SCR-VDC i ASCR-VDC z prądowym trybem prekonwersji VQC.
- Opracowanie struktur przetwornika SCR-VDC i ASCR-VDC z podwójnym źródłem prądowym i przyspieszoną redystrybucją ładunku.
- Opracowanie struktury bezzegarowych, samotaktujących, przetworników ładunku elektrycznego: SCR-QDC, ASCR-QDC i DSCR-QDC.

4.11. Publikacje wnioskodawcy przywoływane w dokumencie, lecz niezaliczane do ocenianego osiągnięcia naukowego

- [A1] Dariusz Kościelnik, Jakub Szyduczyński, Marek Miśkowicz, *Event-driven charge redistribution analog-to-digital converter with simultaneous sampling and conversion*, IEEE 2014, Convention of Electrical and Electronics Engineers in Israel, 3–5 grudnia 2014, Eilat, Izrael.
- [A2] Dominika Rzepka, Dariusz Kościelnik, Marek Miśkowicz, *Recovery of varying-bandwidth signal for level-crossing sampling*, ETFA 2014, Emerging Technology and Factory Automation, 16–19 września 2014, Barcelona, Hiszpania.

- [A3] Dominik Rzepka, Dariusz Kościelnik, Marek Miśkiewicz, *Compressive sampling of stochastic multiband signal using time encoding machine*, SampTA 2015, Sampling Theory and Applications, 25–29 maja 2015, Waszyngton, USA.
- [A4] Dominika Rzepka, Dariusz Kościelnik, Marek Miśkiewicz, Nguyen T. Thao, *Signal recovery from level-crossing samples using projections onto convex sets*, EBCCSP 2016 International Conference on Event-Based Control, Communication and Signal Processing, 13–15 czerwca 2016, Krakow, Polska.
- [A5] Dariusz Kościelnik, Jakub Szyduczyński, Dominik Rzepka, Wojciech Andrysiewicz, Marek Miśkiewicz, *Optimized design of successive approximation time-to-digital converter with single set of delay lines*, EBCCSP 2016, International Conference on Event-Based Control, Communication and Signal Processing, 13–15 czerwca 2016, Krakow, Polska.
- [A6] Dominik Rzepka, Dariusz Kościelnik, Marek Miśkiewicz, *Clockless signal-dependent compressive sensing of multitone signals using time encoding machine*, EBCCSP 2017, International Conference on Event-Based Control, Communication and Signal Processing, 24–26 maja 2017, Funchal, Madera, Portugalia.
- [A7] Jakub Szyduczyński, Dariusz Kościelnik, Marek Miśkiewicz, *Dynamic equalization of logic delays in feedback-based successive approximation TDCs*, EBCCSP 2017, International Conference on Event-Based Control, Communication and Signal Processing, 24–26 maja 2017, Funchal, Madera, Portugalia.
- [A8] Dominik Rzepka, Dariusz Kościelnik, Jakub Szyduczyński, Mirosław Pawlak, Marek Miśkiewicz, *Recovery of signals encoded by Sample-and-Hold Asynchronous Sigma-Delta Modulation*, ICSEE 2018, International Conference on the Science of Electrical Engineering, 12-14 grudnia 2018, Eilat, Izrael.
- [A9] Dominik Rzepka, Mirosław Pawlak, Marek Miśkiewicz, Dariusz Kościelnik, *Estimation of varying bandwidth from multiple level crossings of stochastic signals*, SampTA 2017, International Conference on Sampling Theory and Applications, 3–7 Lipca 2017, Tallin, Estonia.
- [A10] Jakub Szyduczyński, V. Nguyen, F. Schembari, R.B. Staszewski, Dariusz Kościelnik, Marek Miśkiewicz, *Behavioral modelling and optimization of a cyclic feedback-based successive approximation TDC with dynamic delay equalization*, EBCCSP 2019, International Conference on Event-Based Control, Communication and Signal Processing, 27–29 maja 2019, Wiedeń, Austria.

4.12. Krajowe i międzynarodowe patenty wnioskodawcy przywoływane w dokumencie, lecz niezaliczane do ocenianego osiągnięcia naukowego

- [P1] *Sposób i układ do przetwarzania sygnałów analogowych na sygnały cyfrowe z asynchroniczną modulacją Sigma-Delta*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 214439 B1, udziel. 2012-11-06, opubl. 2013-08-30, zgłosz. nr P.382152 z dn. 2007-04-05.
- [P2] *Sposób i układ do przetwarzania sygnałów analogowych na sygnały cyfrowe z asynchroniczną modulacją Sigma-Delta*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz. Opis patentowy PL 214440 B1, udziel. 2012-11-06, opubl. 2013-08-30, zgłosz. nr P.384548 z dn. 2008-02-26.

- [P3] *Sposób i układ do przetwarzania interwału czasu na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220575 B1, udziel. 2014-12-16, opubl. 2015-11-30, zgłosz. nr P.391418 z dn. 2010-06-05.
- [P4] *Sposób i układ do przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220486 B1, udziel. 2014-12-16, opubl. 2015-10-30, zgłosz. nr P.391419 z dn. 2010-06-05.
- [P5] *Sposób i układ do przetwarzania chwilowej wielkości napięcia elektrycznego na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220542 B1, udziel. 2014-12-17, opubl. 2015-11-30, zgłosz. nr P.391420 z dn. 2010-06-05.
- [P6] *Sposób i układ do przetwarzania wielkości napięcia elektrycznego na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220563 B1, udziel. 2014-12-16, opubl. 2015-11-30, zgłosz. nr P.391421 z dn. 2010-06-05.
- [P7] *Sposób i układ do asynchronicznego przetwarzania wielkości napięcia elektrycznego na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220226 B1, udziel. 2014-12-16, opubl. 2015-09-30, zgłosz. nr P.392924 z dn. 2010-11-10.
- [P8] *Sposób i układ do asynchronicznego przetwarzania interwału czasu na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz. Opis patentowy PL 220241 B1, udziel. 2014-12-17, opubl. 2015-09-30, zgłosz. nr P.392925 z dn. 2010-11-10.
- [P9] *Sposób i układ do bezzegarowego przetwarzania wielkości napięcia elektrycznego na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220358 B1, udziel. 2014-12-17, opubl. 2015-10-30, zgłosz. nr P.397950 z dn. 2012-01-31.
- [P10] *Sposób i układ do bezzegarowego przetwarzania chwilowej wielkości napięcia elektrycznego na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220448 B1, udziel. 2014-12-17, opubl. 2015-10-30, zgłosz. nr P.397952 z dn. 2012-01-31.
- [P11] *Układ do bezzegarowego przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220485 B1, udziel. 2014-12-16, opubl. 2015-10-30, zgłosz. nr P.397953 z dn. 2012-01-31.
- [P12] *Sposób bezzegarowego przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220484 B1, udziel. 2014-12-17, opubl. 2015-10-30, zgłosz. nr P.397954 z dn. 2012-01-31.
- [P13] *Układ do bezzegarowego przetwarzania interwału czasu na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 220475 B1, udziel. 2014-12-16, opubl. 2015-10-30, zgłosz. nr P.397957 z dn. 2012-01-31.
- [P14] *Sposób bezzegarowego przetwarzania interwału czasu na słowo cyfrowe*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz. Opis patentowy PL 220565 B1, udziel. 2014-12-16, opubl. 2015-11-30, zgłosz. nr P.397959 z dn. 2012-01-31.
- [P15] *Układ do kodowania sygnału analogowego w postaci interwałów czasu*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 229068 B1, udziel. 2017-11-21, opubl. 2018-06-29, zgłosz. nr P.412434 z dn. 2015-05-21.
- [P16] *Sposób kodowania sygnału analogowego w postaci interwałów czasu*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 229069 B1, udziel. 2017-11-21, opubl. 2018-06-29, zgłosz. nr P.412435 z dn. 2015-05-21.

- [P17] *Sposób przetwarzania interwału czasu na słowo cyfrowe metodą kompensacji wagowej*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 227451 B1, udzielił. 2017-06-06, opubl. 2017-12-29, zgłosz. nr P.413960 z dn. 2015-09-14.
- [P18] *Układ do przetwarzania interwału czasu na słowo cyfrowe metodą kompensacji wagowej*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, opis patentowy PL 227455 B1, udzielił. 2017-06-06, opubl. 2017-12-29, zgłosz. nr P.413964 z dn. 2015-09-14.
- [P19] *Sposób rekonstruowania sygnału zakodowanego metodą level-crossing* wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Dominik Rzepka, opis patentowy PL 229373 B1, udzielił. 2018-02-22, opubl. 2018-07-31, zgłosz. nr P.417535 z dn. 2016-06-10.
- [P20] *Układ do rekonstruowania sygnału zakodowanego metodą level-crossing*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Dominik Rzepka, opis patentowy PL 229374 B1, udzielił. 2018-02-21, opubl. 2018-07-31, zgłosz. nr P.417536 z dn. 2016-06-10.
- [P21] *Method and apparatus for analog-to-digital conversion using asynchronous sigma-delta modulation — Verfahren und Vorrichtung zur analog-digital-umsetzung unter verwendung einer asynchronen sigma-delta-modulation*, wynalazca: Kościelnik Dariusz, Miśkiewicz Marek, European Patent Office, opis patentowy EP 2140552 B1, udzielił. 2012-10-10, opubl. 2012-10-10, zgłosz. nr EP20080741773 z dn. 2008-04-03.
- [P22] *Method and apparatus for conversion of voltage value to digital word — Verfahren und Vorrichtung zur Umwandlung eines Spannungswertes in ein digitales Wort*, wynalazca: Kościelnik Dariusz, Miśkiewicz Marek, European Patent Office, opis patentowy EP 2577407 B1, udzielił. 2017-08-09, opubl. 2017-08-09, zgłosz. nr EP20110779239 z dn. 2011-06-05.
- [P23] *Method and apparatus for clockless conversion of time interval to digital word — Verfahren und Vorrichtung für taktgeberfreie Umwandlung eines Zeitintervalls in ein digitales Wort*, wynalazca: Kościelnik Dariusz, Miśkiewicz Marek, European Patent Office, opis patentowy EP 2624077 B1, udzielił. 2020-03-11, opubl. 2020-03-11, zgłosz. nr EP13153484 z dn. 2013-01-31.
- [P24] *Method and apparatus for clockless conversion of portion of electric charge to digital word — Verfahren und Vorrichtung für taktgeberfreie Umwandlung eines Teils einer elektrischen Ladung in ein digitales Wort*, wynalazca: Kościelnik Dariusz, Miśkiewicz Marek, European Patent Office, opis patentowy EP 2624078 B1, udzielił. 2020-03-11, opubl. 2020-03-11, zgłosz. nr EP13153534 z dn. 2013-01-31.
- [P25] *Method and apparatus for encoding analog signal into time intervals — Verfahren und Vorrichtung zur Codierung eines Analogsignals in Zeitintervallen*, wynalazca: Kościelnik Dariusz, Miśkiewicz Marek, European Patent Office, opis patentowy EP 3096461 B1, udzielił. 2020-08-05, opubl. 2020-08-05, zgłosz. nr EP15200621 z dn. 2015-12-16.
- [P26] *Method and apparatus for conversion of time interval to digital word using successive approximation scheme — Verfahren und Vorrichtung zur Umwandlung eines Zeitintervalls in digitales Wort durch Schema der schrittweisen Annäherung*, wynalazca: Kościelnik Dariusz, Miśkiewicz Marek, European Patent Office, opis patentowy EP 3141968 B1, udzielił. 2021-03-31, opubl. 2021-03-31, zgłosz. nr EP15200980 z dn. 2015-12-17.
- [P27] *Method and apparatus for analog-to-digital conversion using asynchronous Sigma-Delta modulation*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany

- Zjednoczone, opis patentowy US 7948413 B2, udziel. 2011-05-24, opubl. 2011-05-24, zgłosz. nr US20080532884 z dn. 2008-04-03.
- [P28] *Method and apparatus for conversion of voltage value to digital word*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 8928516 B2, udziel. 2015-01-06, opubl. 2015-01-06, zgłosz. nr US201113702127 z dn. 2011-06-05.
- [P29] *Method and apparatus for conversion of time interval to digital word*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 9063518 B2, udziel. 2015-06-23, opubl. 2015-06-23, zgłosz. nr US201113702159 z dn. 2011-06-05.
- [P30] *Method and apparatus for conversion of portion of electric charge to digital word*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 8922417 B2, udziel. 2014-12-30, opubl. 2014-12-30, zgłosz. nr US201113702181 z dn. 2011-06-05.
- [P31] *Method and apparatus for clockless conversion of voltage value to digital word*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 8878714 B2, udziel. 2014-11-04, opubl. 2014-11-04, zgłosz. nr US201313755002 z dn. 2013-01-31.
- [P32] *Method and apparatus for clockless conversion of instantaneous voltage value to digital word*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 9065466 B2, udziel. 2015-06-23, opubl. 2015-06-23, zgłosz. nr US201313755088 z dn. 2013-01-31.
- [P33] *Method and apparatus for clockless conversion of portion of electric charge to digital word*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 8836568 B2, udziel. 2014-09-16, opubl. 2014-09-16, zgłosz. nr US201313755312 z dn. 2013-01-31.
- [P34] *Method and apparatus for clockless conversion of time interval to digital word*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 8830111 B2, udziel. 2014-09-09, opubl. 2014-09-09, zgłosz. nr US201313755390 z dn. 2013-01-31.
- [P35] *Method and apparatus for encoding analog signal into time intervals*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 9634684 B2, udziel. 2017-04-25, opubl. 2017-04-25, zgłosz. nr US201514972468 z dn. 2015-12-17.
- [P36] *Method and apparatus for conversion of time interval to digital word using successive approximation scheme*, wynalazca: Dariusz Kościelnik, Marek Miśkiewicz, Stany Zjednoczone, opis patentowy US 9612581 B1, udziel. 2017-04-04, opubl. 2017-04-04, zgłosz. nr US201514974190 z dn. 2015-12-18.
- [Z1] *Sposób rozpoznawania kolejności sygnałów*, wynalazca: Dariusz Kościelnik, Jakub Szyduczyński, Marek Miśkiewicz, Konrad Jurasz, zgłosz. nr P.440944 z dn. 2022-04-14.
- [Z2] *Układ do rozpoznawania kolejności sygnałów*, wynalazca: Dariusz Kościelnik, Jakub Szyduczyński, Marek Miśkiewicz, Konrad Jurasz, zgłosz. nr P.440945 z dn. 2022-04-14.

5. Informacja o wykazywaniu się istotną aktywnością naukową albo artystyczną realizowaną w więcej niż jednej uczelni, instytucji naukowej lub instytucji kultury, w szczególności zagranicznej.

1. Ecole de Superieur des Telecommunication, Paryż, Francja, 1995 r.

W 1995 r. wnioskodawca odbył 4-tygodniowy staż naukowy w laboratorium sieci RNIS prof. Chevalier, gdzie został włączony do grupy testującej poddawane wówczas standaryzacji konfiguracje wyposażenia podsieci abonenckiej systemu RNIS. System ten jest francuskim odpowiednikiem międzynarodowego standardu cyfrowych sieci zintegrowanych usługowo ISDN (*Integrated Services Digital Network*). Wnioskodawca zajmował się przede wszystkim procedurami subadresowania terminali podsieci abonenckiej oraz mechanizmami sprawiedliwego współdzielenia kanału sygnalizacyjnego, w tym rotacją poziomu priorytetu przynależnego poszczególnym urządzeniom. Doświadczenia zdobyte w Ecole de Superieur des Telecommunication wnioskodawca wykorzystał podczas przygotowania monografii *ISDN – cyfrowe sieci zintegrowane usługowo*, wydanej rok później przez Wydawnictwa Komunikacji i Łączności. Monografia ta była kilkakrotnie wznawiana, a ostatnie, 4 wydanie jest obecnie ciągle dostępne na rynku księgarskim.

2. Institut Nationale des Telecommunication, Evry, Francja, 1997 r.

W ramach stażu naukowego wnioskodawca pracował przez 8 tygodni w zespole badań protokołów sygnalizacyjnych prof. Faye, zajmując się procedurami zestawiania, utrzymywania i likwidowania kanału logicznego protokołu warstwy drugiej LAP D (*Link Access Protocol on D channel*). Jego zadaniem było przygotowywanie skryptów dla testera protokołów emulujących sytuacje szczególne kanału sygnalizacyjnego pętli abonenckiej. Skrypty te były następnie wykorzystywane do weryfikowania prawidłowości reagowania badanych urządzeń na poszczególne sploty zdarzeń. Wiedza i umiejętności zdobyte w Institut Nationale des Telecommunication okazały się bardzo cenne w czasie późniejszej współpracy wnioskodawcy z Instytutem Łączności w Warszawie, gdzie brał on udział w pracach nad standaryzacją i wdrażaniem systemu ISDN do krajowej sieci telekomunikacyjnej.

3. Ecole de Superieur des Telecommunication, Francja, 1998 r. i 2001 r.

Wnioskodawca uczestniczył jako wykonawca w projekcie *ModimNet* programu ramowego *Socrates Lingua D* nr 72087-C9-1-1999-1-FR-Lingua D. Celem przedsięwzięcia było opracowanie multimedialnego, interaktywnego systemu sieciowego dla frankofonów, wspierającego naukę języka polskiego i skierowanego do osób dorosłych. W projekcie brały także udział: Uniwersytet Jagielloński oraz Uniwersytet Śląski, których zadaniem było przygotowanie materiałów dydaktycznych. Ecole de Superieur des Telecommunication pełnił natomiast funkcję koordynatora, organizatora spotkań roboczych oraz administratora produktu finalnego. Wnioskodawca spędził w Ecole de Superieur des Telecommunication łącznie 6 tygodni. Najpierw przez 2 tygodnie (1998 r.) brał udział w pracach przygotowujących założenia techniczne systemu oraz zawierający je wniosek akcesyjny programu *Socrates Lingua D*. Następnie, przez 4 tygodnie (2001 r.) pracował w zespole integrującym moduły systemu *ModimNet* i wprowadzającym końcowe poprawki.

Wdrożony system sieciowy *ModimNet* został nagrodzony Europejskim Znakiem Jakości w roku 2002.

4. University of Insubria, Włochy, 2007 r.

Wnioskodawca był konsultantem i wykonawcą w międzynarodowym projekcie *RAPSODI – Radiation Protection with Silicon Optoelectronic Devices and Instruments*, będącym częścią europejskiego szóstego programu ramowego *Sixth Framework Programme Horizontal Research Activities Involving SMES Co-Operative Research*. Jedną z grup stworzonych w ramach tego przedsięwzięcia był zespół *Mammodose*, którego zadanie polegało na opracowaniu urządzenia rejestrującego dawkę promieniowania absorbowanego przez

pacjentkę w trakcie diagnostyki raka piersi. Wchodząc w skład tej grupy wnioskodawca współpracował ściśle m.in. z *Dialog Semiconductor Ireland Limited* z Cork w Irlandii, gdzie spędził ponad 2 tygodnie na spotkaniu roboczym z pozostałymi członkami zespołu, konsultując zagadnienia techniczne projektu. Program RAPSODI skupiał łącznie osiem podmiotów z całej Europy, zaś jego koordynatorem i organizatorem spotkań roboczych był University of Insubria z Como we Włoszech.

5. Instytut Łączności, 1998 r.

Ze względu na doświadczenie zdobyte wcześniej we francuskich laboratoriach sieci RNIS (Institut Nationale des Telecommunication i Ecole de Superieur des Telecommunication) wnioskodawca został zaproszony do zespołu koordynującego i opiniującego sposób implementowania standardów sieci ISDN, w tym przede wszystkim jej francuskiej odmiany RNIS, do krajowego systemu telekomunikacyjnego. Jego grupa zajmowała się protokołami transmisyjnymi i komunikacyjnymi warstwy drugiej kanału D podsieci abonenckiej: HDLC i LAP D oraz teleusługami z grupy teleakcji: telealarmem, telealertem, telekomendą i telemetrią. Prace zespołu trwały przez półtora roku z czego ponad 2 miesiące wnioskodawca spędził w Instytucie Łączności (Warszawa-Miedzeszyn), realizując zadania projektu.

Przez wiele lat wnioskodawca współpracował także bardzo ściśle z Ośrodkiem Szkolenia Instytutu Łączności, opracowując i prowadząc specjalistyczne kursy z zakresu systemów teletransmisyjnych, sieci komputerowych i cyfrowych sieci z integracją usług. Szkolenia te miały na celu podniesienie kwalifikacji kadry inżynierskiej branży telekomunikacyjnej, niezbędnego w sytuacji odbywającej się wówczas radykalnej przebudowy krajowego systemu telekomunikacyjnego.

6. Informacja o osiągnięciach dydaktycznych, organizacyjnych oraz popularyzujących naukę lub sztukę.

Wnioskodawca współpracował zarówno z młodzieżą szkolną, jak i prowadził specjalistyczne kursy dla inżynierów z branży telekomunikacyjnej. Za swą działalność dydaktyczną otrzymał łącznie 10 odznaczeń, nagród i wyróżnień, wymienionych w pkt. 6.9.

6.1. Współpraca z młodzieżą szkolną

1. Uniwersytet Młodych Wynalazców, 2014 – 2015 r.

Wnioskodawca był współrealizatorem projektu badawczego Ministerstwa Nauki i Szkolnictwa Wyższego o nazwie *Uniwersytet Młodych Wynalazców*. Program miał na celu zainteresowanie młodzieży szkolnej sposobem prowadzenia badań naukowych, a także pewną formą uczestniczenia w nich. Wnioskodawca opracował i prowadził cykl wykładów prezentujących w przystępny sposób funkcjonowanie sieci komputerowych, ich protokoły dostępowe oraz komunikacyjne. Prace badawcze realizowane przy współudziale młodzieży zaowocowały m.in. zdefiniowaniem nowego algorytmu wielodostępu rywalizacyjnego do sieci magistralowej. Stworzonemu rozwiązaniu *Sposób i układ do wyznaczania wartości opóźnienia przejmowania przez stację kontroli nad kanałem transmisyjnym* Urząd Patentowy RP udzielił patentu pod numerem PL228899B1. Jego współtwórcami są zarówno pracownicy AGH (w tym i wnioskodawca), jak i pięcioro 16-letnich wówczas uczniów zaproszonych do współpracy.

Realizacja projektu *Uniwersytet Młodych Wynalazców* uzyskała wyróżnienie Ministerstwa Nauki i Szkolnictwa Wyższego (2016 r.).

2. Ogólnopolska Olimpiada Wiedzy Elektrycznej i Elektronicznej

Wnioskodawca uczestniczył w przygotowaniu dwóch ogólnopolskich olimpiad, układając pytania, a następnie oceniając odpowiedzi uczestników:

– Ogólnopolska Olimpiada Wiedzy Elektrycznej i Elektronicznej, Tarnów, 2009 r.

– Ogólnopolska Olimpiada Wiedzy Elektrycznej i Elektronicznej, Kraków, 2012 r.

6.2. Zajęcia dydaktyczne prowadzone na uczelniach wyższych

Jako pracownik naukowo-dydaktyczny Akademii Górniczo-Hutniczej w Krakowie wnioskodawca prowadził zajęcia laboratoryjne, tablicowe i projektowe z ponad dwudziestu różnych przedmiotów. Przez rok prowadził także podobne formy zajęć w Państwowej Wyższej Szkole Zawodowej w Tarnowie.

Wnioskodawca opracował zawartość merytoryczną i prowadzi obecnie wykłady z 10 następujących przedmiotów, pełniąc jednocześnie funkcję ich koordynatora:

1. *Podstawy elektroniki*, kierunek Teleinformatyka, Wydział IEiT, studia stacjonarne pierwszego stopnia, semestr 3.
2. *Podstawy telekomunikacji*, kierunek Elektronika i Telekomunikacja, Wydział IEiT, studia niestacjonarne pierwszego stopnia, semestr 4.
3. *Standardy komunikacji międzyukładowej*, kierunek Mikroelektronika, Wydział EAIiB, studia stacjonarne pierwszego stopnia, semestr 5.
4. *Systemy i sieci telekomunikacyjne*, kierunek Elektronika i Telekomunikacja, Wydział IEiT, studia niestacjonarne pierwszego stopnia, semestr 5.
5. *Sieci komputerowe*, kierunek Elektronika i Telekomunikacja, Wydział IEiT, studia niestacjonarne pierwszego stopnia, semestr 5.
6. *Interfejsy transmisyjne urządzeń cyfrowych*, kierunek Elektronika i Telekomunikacja, Wydział IEiT, studia stacjonarne pierwszego stopnia, semestr 6.
7. *Standardy komunikacji międzyukładowej w modułowych systemach typu embeded*, kierunek Elektronika i Telekomunikacja, Wydział IEiT, studia niestacjonarne pierwszego stopnia, semestr 6.
8. *Analogowe układy elektroniczne*, kierunek Inżynieria Akustyczna, Wydział IMiR, studia stacjonarne pierwszego stopnia, semestr 7.
9. *Techniki i systemu bezprzewodowe*, kierunek Elektronika i Telekomunikacja, Wydział IEiT, studia niestacjonarne pierwszego stopnia, semestr 7.
10. *Technologie telekomunikacyjne w pojazdach samochodowych*, kierunek Elektronika Samochodowa, Wydział EAIiB, studia stacjonarne drugiego stopnia, semestr 1.

Wnioskodawca opracował i prowadził także wykłady w Państwowej Wyższej Szkole Zawodowej w Tarnowie oraz wykłady na Akademii Górniczo-Hutniczej w Krakowie z przedmiotów lub na kierunkach obecnie już nieistniejących:

11. *Teoria układów logicznych*, kierunek Elektronika, PWSZ, studia stacjonarne pierwszego stopnia, semestr 2.
12. *Podstawy elektroniki*, kierunek Informatyka, Wydział IEiT, studia stacjonarne pierwszego stopnia, semestr 2.
13. *Technologie elektroniczne*, kierunek Zarządzanie Przemysłem, Wydział Zarządzania, studia stacjonarne pierwszego stopnia, semestr 3.
14. *Systemy komunikacji przewodowej*, kierunek Elektronika, PWSZ, studia stacjonarne pierwszego stopnia, semestr 5.
15. *Techniki mikroprocesorowe*, kierunek Elektronika i Telekomunikacja, Wydział IEiT, studia niestacjonarne pierwszego stopnia, semestr 5.
16. *Systemy aparatury cyfrowej*, kierunek Aparatura Elektroniczna, Wydział EAIiE, studia niestacjonarne inżynierskie, semestr 6.

17. *Podstawy sieci telekomunikacyjnych*, kierunek Inżynieria Akustyczna, Wydział IMiR, studia stacjonarne pierwszego stopnia, semestr 6.
18. *Lokalne i miejskie sieci komputerowe*, kierunek Aparatura Elektroniczna, Wydział EAIiE, studia stacjonarne magisterskie, semestr 7.
19. *Cyfrowe sieci zintegrowane usługowo*, kierunek Aparatura Elektroniczna, Wydział EAIiE, studia stacjonarne magisterskie, semestr 7.
20. *Bezprzewodowe sieci komputerowe*, kierunek Aparatura Elektroniczna, Wydział EAIiE, studia stacjonarne magisterskie, semestr 8.
21. *Urządzenia sieciowe*, kierunek Elektronika i Telekomunikacja, Wydział IEiT, studia stacjonarne magisterskie, semestr 8.
22. *Protokół sygnalizacyjny łącza abonenckiego*, kierunek Aparatura Elektroniczna, Wydział EAIiE, studia stacjonarne magisterskie, semestr 9.

6.3. Wykłady prowadzone na studiach podyplomowych

Wnioskodawca prowadził wykłady dla słuchaczy studiów podyplomowych o nazwie *Systemy i sieci telekomunikacyjne*, organizowanych przez Katedrę Elektroniki Wydziału Informatyki, Elektroniki i Telekomunikacji AGH o następującej tematyce:

1. *Sieci komutacji połączeń i komutacji pakietów.*
2. *Systemy telefonii komórkowej.*
3. *Sieci dostępne.*

Wnioskodawca prowadził także wykłady dla uczestników studiów podyplomowych o nazwie *Teleinformatyka*, organizowanych przez Katedrę Telekomunikacji Wydziału Informatyki, Elektroniki i Telekomunikacji AGH:

4. *Cyfrowe sieci z integracją usług.*

6.4. Promotorstwo prac inżynierskich, magisterskich i doktorskich

Wnioskodawca był promotorem ponad pięćdziesięciu prac inżynierskich i magisterskich. Za prowadzenie niektórych z nich otrzymał nagrody wymienione w pkt. 6.9.

Wnioskodawca jest także promotorem pomocniczym trzech doktoratów, wzmiankowanych już wcześniej w odpowiednich podrozdziałach punktu 4. Pierwsze dwa z nich zostały już obronione:

1. Dominik Rzepka, *Reconstruction of signals sampled at sub-Nyquist rate using event-based sampling*. Promotor: dr hab. inż. Marek Miśkiewicz. Praca obroniona z wyróżnieniem dnia 21.06.2018 na Wydziale Informatyki, Elektroniki i Telekomunikacji Akademii Górniczo-Hutniczej w Krakowie.
2. Jakub Szyduczyński, *Design and optimization of architectures for successive approximation time-to-digital converters*. Promotor: dr hab. inż. Marek Miśkiewicz. Praca obroniona z wyróżnieniem dnia 14.11.2022 na Wydziale Informatyki, Elektroniki i Telekomunikacji Akademii Górniczo-Hutniczej w Krakowie.
3. Konrad Jurasz, *Bezzegarowy przetwornik TDC (Time-to-Digital Converter) z sukcesywnym równoważeniem upływu czasu*. Promotor: dr hab. inż. Witold Machowski. Przewód doktorski został otwarty w 2021 r. na Wydziale Informatyki, Elektroniki i Telekomunikacji Akademii Górniczo-Hutniczej w Krakowie. Zaprojektowany przez doktoranta przetwornik TDC został wykonany w postaci struktury monolitycznej, a przeprowadzone testy wyprodukowanego układu potwierdziły jego pełną sprawność funkcjonalną. Obecnie trwa przygotowywanie dysertacji. Jej złożenie jest przewidywane na połowę 2023 r.

6.5. Opracowanie i prowadzenie szkoleń specjalistycznych

Przez sześć lat wnioskodawca ściśle współpracował z Ośrodkiem Szkolenia Instytutu Łączności w Warszawie, dla którego opracowywał programy i prowadził specjalistyczne szkolenia kierowane do kadry inżynierskiej branży telekomunikacyjnej. Wnioskodawca przeprowadził ponad trzydzieści dwu- i trzydniowych seminariów tego typu o następującej tematyce:

1. *Wprowadzenie do sieci ISDN.*
2. *ISDN – cyfrowe sieci zintegrowane usługowo.*
3. *Szerokopasmowe sieci transmisyjne ATM.*
4. *Systemy i sieci SDH.*
5. *Protokół sygnalizacyjny łącza abonenckiego DSS1.*
6. *Styki i przekroje dostępu abonenckiego sieci ISDN.*
7. *System sygnalizacji międzycentralowej SS7.*
8. *Protokoły transmisji danych komputerowych sieci ISDN.*
9. *Usługi bazowe, teleusługi i udogodnienia sieci ISDN.*
10. *Protokół transmisyjny HDLC i komunikacyjny LAP D kanału D sieci ISDN.*

Wnioskodawca współpracował także przez wiele lat z Centrum Szkolenia Telekomunikacji i Informatyki Edu-Tel w Warszawie, wspólnie z którym przygotowywał i prowadził podobne w formie szkolenia, głównie z zakresu struktur i protokołów sieci komputerowych. Tematyka tych seminariów była następująca:

11. *Sieci komputerowe LAN, MAN, WAN – warstwa fizyczna i protokoły transmisyjne.*
12. *Nowoczesne sieci szerokopasmowe i miejskie.*
13. *Bezprzewodowe sieci komputerowe WLAN – topologie i protokoły transmisyjne.*
14. *Przegląd struktur lokalnych sieci komputerowych.*
15. *HIPPI – sieć o topologii wieloboku zupełnego dla centrów superkomputerowych.*
16. *Multimedialne sieci komputerowe: FDDI, FDDI 2 i DQDB.*
17. *HIPERLAN 2 – szerokopasmowa sieć bezprzewodowa klasy WATM.*

Wnioskodawca współpracował także z Fundacją Postępu Telekomunikacji, założoną przez Katedrę Telekomunikacji Wydziału Elektrotechniki, Automatyki, Informatyki i Elektroniki Akademii Górniczo-Hutniczej w Krakowie, dla której przeprowadził około dziesięciu jednodniowych seminariów o następującej tematyce:

18. *Cyfrowe sieci zintegrowane usługowo – struktura logiczna i sprzętowa.*
19. *System sygnalizacji abonenckiej.*
20. *Protokół subadresowania w podsieci abonenckiej.*

6.6. Monografie, poradnik, podręcznik akademicki i artykuły popularno-naukowe

Wnioskodawca jest autorem następujących trzech monografii, niewchodzących w skład cyklu publikacyjnego stanowiącego zgłaszane osiągnięcie naukowe:

1. Dariusz Kościelnik, *Struktura logiczna i sprzętowa sieci ISDN*, Wydawnictwo Fundacji Postępu Telekomunikacji, Kraków 1994.
2. Dariusz Kościelnik, *ISDN – cyfrowe sieci zintegrowane usługowo*, wydanie 1, Wydawnictwa Komunikacji i Łączności, Warszawa 1996,

wydanie 2, Wydawnictwa Komunikacji i Łączności, Warszawa 1997,
wydanie 3, Wydawnictwa Komunikacji i Łączności, Warszawa 2001,
wydanie 4, Wydawnictwa Komunikacji i Łączności, Warszawa 2007.

3. Dariusz Kościelnik, *Mikrokontrolery Nitron – Motorola M68HC08*, Wydawnictwa Komunikacji i Łączności, Warszawa 2005.

Na uwagę zasługuje książka *ISDN – cyfrowe sieci zintegrowane usługowo*, która była pierwszym w języku polskim całościowym opracowaniem tego tematu, opublikowanym przez wydawnictwo ogólnokrajowe. Monografia wprowadziła polskie nazewnictwo w nowej dziedzinie techniki. Jednak przede wszystkim przez wiele lat stanowiła źródło wiedzy dla inżynierów branży telekomunikacyjnej oraz studentów. O jej popularności mogą świadczyć aż cztery kolejne wydania, które pojawiły się w latach 1996 ÷ 2007. Monografia ta ciągle znajduje się w sprzedaży.

Wnioskodawca jest także współautorem podręcznika akademickiego i poradnika dla inżynierów elektryków:

4. *Wybrane systemy i układy scalone w telekomunikacji cyfrowej*, Wydawnictwa AGH, Kraków 1995, praca zbiorowa pod red. Ryszarda Golańskiego.
5. *Poradnik inżyniera elektryka, Elektronika, Tom. 1*, Wydawnictwa Naukowo-Techniczne, Warszawa 2009, wydanie 3 zmienione i rozszerzone, praca zbiorowa, koordynator Władysław Wasiluk.

Wnioskodawca opublikował w czasopismach branżowych 27 artykułów o charakterze popularno-naukowym, których tematyka często była związana z prowadzonymi przez niego specjalistycznymi szkoleniami. Część z tych prac ma formę cykli składających się z kilku odcinków:

1. Dariusz Kościelnik, *ST-BUS - standard komunikacji międzyukładowej*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 11, Warszawa 1994.
2. Dariusz Kościelnik, Ryszard Golański, *Charakterystyka sieci ISDN - podstawowe koncepcje realizacji sprzętowej i programowej*, Biuletyn Informacyjny nr 1-3, Instytut Łączności, Warszawa 1994.
3. Dariusz Kościelnik, *Transkodowanie strumieni informacji z terminali ze stykiem V do kanału B sieci ISDN – transkodowanie metodą bitstuffing*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 1, Warszawa 1995.
4. Dariusz Kościelnik, *Transkodowanie strumieni informacji z terminali ze stykiem V do kanału B sieci ISDN – transmisja przez kanał B w trybie pakietowym*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 3, Warszawa 1995.
5. Dariusz Kościelnik, *Transkodowanie strumieni informacji z terminali ze stykiem V do kanału B sieci ISDN – modulacja TEM*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 4, Warszawa 1995.
6. Dariusz Kościelnik, Piotr Wójcik, *DQDB – dwumagistralowa sieć miejska z rozproszoną kolejką*, NetForum nr 4, Warszawa 1995.
7. Dariusz Kościelnik, *Sieć lokalna FDDI – struktura fizyczna i protokół transmisyjny*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 12, Warszawa 1995.
8. Dariusz Kościelnik, *Sieć lokalna FDDI – model warstwowy i format ramki*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 3, Warszawa 1996.
9. Dariusz Kościelnik, *Multimedialna sieć lokalna FDDI II*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 4, Warszawa, 1996.

10. Dariusz Kościelnik, *DQDB – sieci miejskie do zastosowań multimedialnych – struktura fizyczna i format transmisji*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 9, Warszawa 1996.
11. Dariusz Kościelnik, *DQDB - sieci miejskie do zastosowań multimedialnych – transmisja w trybie asynchronicznym i model warstwowy stacji DQDB*, Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne nr 10, Warszawa 1996.
12. Dariusz Kościelnik, *System sygnalizacji SS7 – część I*, Telecom nr 5, Warszawa 1996.
13. Dariusz Kościelnik, *System sygnalizacji SS7 – część II*, Telecom nr 6, Warszawa 1996.
14. Dariusz Kościelnik, *System sygnalizacji SS7 – część III*, Telecom nr 7/8, Warszawa 1996.
15. Dariusz Kościelnik, *ISDN – typy dostępów i usługi oferowane*, Telecom nr 6, Warszawa 1996.
16. Dariusz Kościelnik, *Struktura wyposażenia użytkowników sieci ISDN – część I*, Telecom nr 9, Warszawa 1996.
17. Dariusz Kościelnik, *Struktura wyposażenia użytkowników sieci ISDN – część II*, Telecom nr 10, Warszawa 1996.
18. Dariusz Kościelnik, *Transmisja informacji na styku U sieci ISDN – część I*, Telecom nr 12, Warszawa 1996.
19. Dariusz Kościelnik, *Transmisja informacji na styku U sieci ISDN – część II*, Telecom nr 1, Warszawa 1997.
20. Dariusz Kościelnik, *Transmisja informacji na styku U sieci ISDN – część III*, Telecom nr 2, Warszawa 1997.
21. Dariusz Kościelnik, *Transmisja informacji na styku U sieci ISDN – część IV*, Telecom nr 3, Warszawa 1997.
22. Dariusz Kościelnik, *System sygnalizacyjny DSS1 – mechanizmy wielodostępu do kanału D*, Telecom nr 4, Warszawa 2000.
23. Dariusz Kościelnik, *System sygnalizacyjny DSS1 – warstwa łącza danych*, Telecom nr 5, Warszawa 2000.
24. Dariusz Kościelnik, *System sygnalizacyjny DSS1 – protokół warstwy trzeciej*, Telecom nr 6, Warszawa 2000.
25. Dariusz Kościelnik, Jacek Stępień, *Wpływ stacji ukrytej i stacji eksponowanej na pracę sieci LR-WPAN standardu IEEE 802.15.4*, Przegląd Telekomunikacyjny, Wiadomości Telekomunikacyjne nr 11, Warszawa 2009.
26. Dariusz Kościelnik, *Adaptacyjna korekcja mapy paliwa i mapy zapłonu silnika wyczynowego*, Pomiar, Automatyka, Kontrola, vol. 56 nr 6, Warszawa 2010.
27. Dariusz Kościelnik, Jacek Stępień, *Przegląd metod rozgłaszania informacji w bezprzewodowych sieciach improwizowanych*, Przegląd Telekomunikacyjny, Wiadomości Telekomunikacyjne, nr 5, Warszawa 2010.

6.7. Dydaktyczny analizator i emulator protokołu

Wnioskodawca opracował i zbudował prototyp, a także przygotował oprogramowanie dydaktycznego analizatora i jednocześnie emulatora protokołu sygnalizacyjnego DSS1 (*Digital Subscriber Signaling System No. 1*) łącza abonenckiego sieci ISDN. Urządzenie umożliwia przechwytywanie pakietów z wiadomościami sygnalizacyjnymi transmitowanymi w obu kierunkach. Ich treść jest wyświetlana na ekranie komputera z wybraną szczegółowością i podziałem na elementy przynależne poszczególnym warstwom modelu OSI/ISO. Praca w

trybie emulatora pozwala na generowanie własnych pakietów, zarówno w sposób automatyczny, półautomatyczny, jaki i ręczny, umożliwiając prowadzenie dialogu z wyposażeniem sieci publicznej. Tym samym, urządzenie jest w stanie emulować praktycznie dowolny rodzaj terminala podsieci abonenckiej, a nawet „udawać” kilka terminali jednocześnie.

Seria wytworzonych analizatorów/emulatorów była wykorzystywana nie tylko w laboratoriach Katedry Elektroniki i Katedry Telekomunikacji Wydziału EAIiE Akademii Górniczo-Hutniczej. Partię urządzeń wraz z oprogramowaniem, instrukcjami i programem ćwiczeń zakupił także Wydział Elektroniki i Telekomunikacji Politechniki Poznańskiej.

6.8. Działalność organizacyjna

Funkcje organizacyjne i społeczne pełnione przez wnioskodawcę:

1. Przedstawiciel nauczycieli akademickich w Radzie Wydziału Elektroniki, Automatyki, Informatyki i Elektroniki Akademii Górniczo-Hutniczej w Krakowie, 2002 – 2005 r.
2. Członek zespołu reprezentującego Wydział IEiT AGH w ogólnopolskim konkursie firmy CISCO dla uczelni wyższych oraz współorganizator wydziałowego laboratorium sieci komputerowych, wyposażonego w sprzętu otrzymany jako główna nagroda w wygranym konkursie, 2005 r.
3. Członek Komisji Rekrutacyjnej Wydziału Elektrotechniki, Automatyki, Informatyki i Elektroniki AGH, 2008 r.
4. Członek zespołu przeprowadzającego hospitację zajęć dydaktycznych realizowanych przez pracowników Katedry Elektroniki Wydziału IEiT AGH, 2010 r.
5. Członek komitetu organizacyjnego konferencji International Conference on Signals and Electronic Systems ICSES 2008, Kraków 2008,
6. Członek komitetu organizacyjnego konferencji International Conference on Emerging Technologies and Factory Automation ETFA 2012, Kraków 2012,
7. Członek komitetu organizacyjnego konferencji IEEE Nordic Mediterranean Workshop on Time to Digital Converters NoMe-TDC 2013, Perugia 2013,
8. Członek komitetu organizacyjnego konferencji International Conference on Event-Based Control, Communication and Signal Processing EBCCSP 2016, Kraków 2016,
9. Przewodniczący sesji na konferencji International Conference on Signals and Electronic Systems ICSES 2008, Kraków 2008,
10. Przewodniczący sesji na konferencji IEEE International Symposium of Industrial Electronics ISIE 2005, Dubrovnik, Chorwacja 2005,
11. Przewodniczący sesji na konferencji IEEE International Symposium on Industrial Electronics ISIE 2008, Cambridge, Wielka Brytania 2008,
12. Przewodniczący sesji na konferencji International Workshop on ADC Modelling, Testing and Data Converter Analysis and Design IWADC 2011, Orwieto 2011,
13. Współprzewodniczący sesji specjalnej na konferencji International Conference on Emerging Technologies and Factory Automation ETFA 2012, Kraków 2012,
14. Przewodniczący sesji na konferencji International Workshop on ADC and DAC Modelling and Testing IMEKO TC-4, Benevento 2014.

Wnioskodawca brał udział w opracowaniu lub przygotowaniu następujących przedsięwzięć i wydarzeń:

1. Przygotowanie zaplecza technicznego i opracowanie programu kursów podyplomowych pod nazwą *Multimedialne narzędzia dydaktyczne*, 2005 r.
2. Przygotowanie zaplecza technicznego i opracowanie programu kursów podyplomowych pod nazwą *Mikrokontrolery jednocukładowe rodziny M68HC908*, 2006 r.
3. Przygotowanie stanowiska wystawowego na Festiwalu Nauki w Krakowie, zatytułowanego *Analiza przebiegu sygnalizacji w cyfrowym łączy abonenskim*, 2006 r.
4. Przygotowanie stanowiska wystawowego na Festiwalu Nauki w Krakowie, zatytułowanego *Rejestrowanie i dekodowanie transmisji na magistralach szeregowych: I²C, CAN oraz SPI*, 2008 r.
5. Zorganizowanie seminarium katedralnych dla zaproszonych gości z firmy Tespol pod tytułem *Generowanie przebiegów arbitralnych wysokiej częstotliwości i wierności odwzorowania*, 2014 r.
6. Zorganizowanie seminarium katedralnych dla zaproszonych gości z firmy Tespol pod tytułem *Oprządkowanie do wizualizacji sygnałów analogowych w przestrzeni 3D*, 2016 r.
7. Przygotowanie dokumentacji do przeprowadzenia kontroli trwałości projektu UDA-POIG.01.03.02-12-001/12-00 *Krajowa i międzynarodowa ochrona patentowa dla wynalazku bezzegarowego przetwornika analogowo-cyfrowego z redystrybucją ładunku o zredukowanym stosunku pojemności*, którego kierownikiem był wnioskodawca, 2020 r.
8. Przygotowanie dokumentacji do przeprowadzenia kontroli trwałości projektu UDA-POIG.01.03.02-12-004/12-00 *Krajowa i międzynarodowa ochrona patentowa dla wynalazku bezzegarowego przetwornika analogowo-cyfrowego z redystrybucją ładunku oraz wbudowaną kompresją*, którego kierownikiem był wnioskodawca, 2020 r.

6.9. Odznaczenia, nagrody i wyróżnienia otrzymane przez wnioskodawcę za osiągnięcia dydaktyczne

1. **Medal Komisji Edukacji Narodowej** za szczególne zasługi dla oświaty i wychowania, 2009 r.
2. **Wyróżnienie Ministerstwa Nauki i Szkolnictwa Wyższego** za realizację projektu Uniwersytet Młodych Wynalazców, 2016 r.
3. Nagroda w konkursie **Diamenty AGH** za promotorstwo najlepszej pracy dyplomowej na Wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki AGH, 2010 r.
4. Nagroda w **Konkursie Prac Dyplomowych im. Prof. K. Bisztygi** Stowarzyszenia Elektryków Polskich za promotorstwo pracy magisterskiej w dziedzinie elektroniki, 2010 r.
5. **Nagroda Rektora AGH** za osiągnięcia dydaktyczne w roku: 1996 (I stopnia), 1999 (II stopnia), 2004 (II stopnia), 2005 (II stopnia), 2008 (II stopnia), 2022 (II stopnia),

7. Inne informacje o osiągnięciach wnioskodawcy, związanych z działalnością naukowo-badawczą wnioskodawcy oraz efektami jej popularyzacji i wdrażania

Za swą działalność naukowo-badawczą oraz wynalazczą wnioskodawca otrzymał następujące odznaczenia, nagrody i wyróżnienia:

1. **Odznaczenie Prezesa Rady Ministrów** przyznane na wniosek Prezesa Urzędu Patentowego Rzeczypospolitej Polskiej za zasługi dla wynalazczości, 2021 r.
2. **Złoty medal z wyróżnieniem jury** (*Gold Medal with Mention*) na Światowej Wystawie Wynalazków, Badań Naukowych i Innowacji (*The World Exhibition of Invention, Research*

and Industrial Innovation) INNOVA 2008 w Brukseli za wynalazek o nazwie *Asynchronous Sigma-Delta analog-to-digital converter*, 2008 r.

3. **Nagroda Ministra Nauki i Szkolnictwa Wyższego** za międzynarodowe osiągnięcia wynalazcze, 2009 r.
4. Pierwsze miejsce w konkursie **Krajowi Liderzy Innowacji** w kategorii Innowacyjny projekt, 2008 r.
5. **Europejski Znak Jakości** za opracowanie multimedialnego, interaktywnego systemu sieciowego *ModimNet*, zrealizowanego w ramach projektu wchodzącego w skład europejskiego programu *Socrates Lingua D* nr 72087-C9-1-1999-1-FR-Lingua D, 2002 r.
6. **Nagroda Rektora AGH** za osiągnięcia naukowe w roku: 1994 (II stopnia), 1997 (II stopnia), 2001 (II stopnia), 2006 (I stopnia), 2007 (II stopnia), 2009 (III stopnia), 2010 (III stopnia), 2011 (I stopnia), 2012 (I stopnia), 2013 (I stopnia), 2014 (II stopnia), 2015 (I stopnia), 2016 (I stopnia), 2021 (I stopnia),
7. **Outstanding paper**, wyróżnienie dla referatu *Asynchronous Sigma-Delta Modulator Based on the Charge Pump Integrator*, prezentowanego na międzynarodowej konferencji Mixed Design of Integrated Circuits and Systems MIXDES 2006 r,
8. **Best Poster Award**, nagroda za referat *Hardware Efficiency Enhancement of Successive Approximation Time-to-Digital Converters* na konferencji *Microelectronic Circuits Centre Ireland* (MCCI) Forum w Cork (Irlandia) objętej patronatem The United Kingdom and Ireland Chapter of the IEEE Solid-State Circuits Society, 2017 r.



.....
(podpis wnioskodawcy)