

Autoreferat

1. Imię i nazwisko: Rafał Kłeczek
2. Posiadane dyplomy, stopnie naukowe lub artystyczne – z podaniem podmiotu nadającego stopień, roku ich uzyskania oraz tytułu rozprawy doktorskiej.
 - Doktor nauk technicznych w dyscyplinie elektronika (z wyróżnieniem) – Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie; Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, 26.06.2014 r. Tytuł rozprawy: *„Filtracja i szybkie kształtowanie sygnału w układach elektroniki front-end w technologiach submikronowych CMOS”*. Promotor: Dr hab. inż. Robert Szczygieł, Recenzenci: Prof. dr hab. inż. Janusz Mroczka, Dr hab. inż. Grzegorz Deptuch.
 - Magister inżynier, kierunek: Elektronika i Telekomunikacja, specjalność: Mikroelektronika i Aparatura Biomedyczna – Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie; Wydział Elektrotechniki, Automatyki, Informatyki i Elektroniki, 23.06.2009 r. Tytuł pracy: *„Projekt scalonego nadajnika standardu LVDS w technologii submikronowej”*. Promotor: Dr inż. Robert Szczygieł.
3. Informacja o dotychczasowym zatrudnieniu w jednostkach naukowych lub artystycznych.
 - Stażysta: Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie; Wydział Elektrotechniki, Automatyki, Informatyki i Elektroniki, Katedra Metrologii, od 10.2008 do 06.2009.
 - Asystent naukowo-dydaktyczny: Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie; Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Katedra Metrologii, od 19.12.2011 do 31.10.2014.
 - Adiunkt naukowo-dydaktyczny, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie; Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Katedra Metrologii i Elektroniki, od 01.11.2014 do teraz.
4. Omówienie osiągnięć, o których mowa w art. 219 ust. 1 pkt. 2 ustawy z dnia 20 lipca 2018 r. Prawo o szkolnictwie wyższym i nauce (Dz. U. z 2021 r. poz. 478 z późn. zm.):

cykl powiązanych tematycznie artykułów naukowych opublikowanych w czasopismach naukowych lub w recenzowanych materiałach z konferencji międzynarodowych zatytułowany: ***„Rozwój scalonych wielokanałowych układów elektroniki front-end do detekcji promieniowania jonizującego o dużej intensywności”***.

Autor wniosku do oceny swojego dorobku załącza dziewięć publikacji naukowych, z których siedem to artykuły z listy JCR, a dwie to publikacje z międzynarodowych konferencji

indeksowanych w bazie WoS. Dwie publikacje są pracami samodzielnymi, zaś w pięciu z siedmiu współautorskich Habilitant jest pierwszym autorem (wkład Autora w czterech z nich wynosi 60-80%, a w trzech co najmniej 40%). Oświadczenia współautorów dotyczące indywidualnego wkładu w powstanie poszczególnych publikacji znajdują się w odrębnym załączniku.

Publikacje z listy JCR

l.p.	Autorzy, tytuł publikacji, rok wydania, nazwa wydawnictwa, indywidualny wkład autora
H1	K. Kasiński, R. Kleczek, R. Szczygieł, <i>“Front-end readout electronics considerations for Silicon Tracking System and Muon Chamber”</i>, Journal of Instrumentation, vol. 11, Feb. 2016, C02024. DOI 10.1088/1748-0221/11/02/C02024 <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji i przeprowadzenie analiz dotyczących wyboru optymalnej architektury, wymiarowania i punktów pracy tranzystorów wzmacniacza ładunkowego CSA i układu kształtującego dla zadanych wymagań projektowych z uwzględnieniem fizycznych ograniczeń w docelowej aplikacji – rozdział 2.2. <u>Procentowy wkład Autora:</u> 45% Wskaźniki bibliometryczne: IF (za 2016) = 1.22, 20 pkt (lista czasopism MNiSW, 2016)
H2	R. Kleczek, <i>“Analog front-end design of the STS/MUCH-XYTER2 – full size prototype ASIC for the CBM experiment”</i>, Journal of Instrumentation, vol. 12, Jan. 2017, C01053. DOI 10.1088/1748-0221/12/01/C01053 <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji, schematu elektrycznego elektroniki front-end poprzedzone przeprowadzeniem szeregu analiz dotyczących wyboru odpowiednich topologii układowych, wymiarowania i punktów pracy tranzystorów występujących w stopniach analogowych układu dla wielu przeciwstawnych wymagań w jednym projekcie (finalnie spełniły wymagania docelowego eksperymentu CBM w ośrodku FAIR w Niemczech), opracowanie planu masek topologicznych układu w technologii UMC 180 nm CMOS wraz z jego weryfikacją za pomocą analiz post-ekstrakcyjnych. <u>Procentowy wkład Autora:</u> 100% Wskaźniki bibliometryczne: IF (za rok 2017) = 1.258, 35 pkt (lista czasopism MNiSW, 2017)
H3	R. Kleczek, P. Kmon, P. Maj, R. Szczygieł, M. Żołądź, P. Gryboś, <i>„Single Photon Counting Readout IC With 44 e⁻ rms ENC and 5.5 e⁻ rms Offset Spread With Charge Sensitive Amplifier Active Feedback Discharge”</i>, IEEE Transactions on Circuits and Systems I: Regular Papers, May 2023, vol. 70, no. 5, s. 1882–1892. DOI: 10.1109/TCSI.2023.3241738 <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji, schematu elektrycznego i planu masek topologicznych analogowej części elektroniki front-end dla układu o architekturze

	pikselowej charakteryzującego się bardzo niskim poziomem szumów <i>ENC</i> (wyróżniającym się na poziomie światowym i nienotowanym dotąd w literaturze podejmowanego zagadnienia), niewielkim rozrzutem napięć niezrównoważenia i pracującym w trybie zliczania pojedynczych fotonów <i>SPC</i> – rozdział II.A i II.C. Analiza teoretyczna prezentowanego podejścia projektowego z naciskiem na minimalizację szumów oraz szybkość zliczania impulsów wejściowych z uwzględnieniem ostrych ograniczeń na moc i powierzchnię pojedynczego piksela – rozdziały II.B i II.B. Przeprowadzenie pomiarów parametrów układu dla pracy w różnych trybach wpływających na poziom szumów i szybkość zliczania impulsów – rozdział III.C i III.D. <u>Procentowy wkład Autora: 60%</u> Wskaźniki bibliometryczne: IF (za 2022) = 5.1, 140 pkt (lista czasopism MNiSW 2023)
H4	R. Kleczek, “<i>Design of fast signal processing readout front-end electronics implemented in CMOS 40 nm technology</i>”, Journal of Instrumentation, vol. 11, Dec. 2016, C12001. DOI 10.1088/1748-0221/11/12/C12001 <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji, schematu elektrycznego układu elektroniki front-end pracującego w trybie zliczania pojedynczych fotonów <i>SPC</i>, poprzedzone przeprowadzeniem szeregu analiz dotyczących wyboru odpowiednich topologii układowych, wymiarowania i punktów pracy tranzystorów w zastosowanych stopniach przetwarzania sygnału dla zadanych wymagań projektowych (nakreślenie granicy szybkości zliczania impulsów przy jednoczesnej minimalizacji mocy i zajmowanej powierzchni krzemu), opracowanie planu masek topologicznych układu w zaawansowanej technologii TSMC 40 nm CMOS wraz z jego weryfikacją za pomocą analiz post-ekstrakcyjnych. <u>Procentowy wkład Autora: 100%</u> Wskaźniki bibliometryczne: IF (za 2016) = 1.22, 20 pkt (lista czasopism MNiSW, 2016)
H5	R. Kleczek, P. Gryboś, R. Szczygieł, P. Maj, „<i>Single photon-counting pixel readout chip operating up to 1.2 Gcps/mm² for digital X-ray imaging systems</i>”, IEEE Journal of Solid-State Circuits, 2018 vol. 53 no. 9, s. 2651–2662. DOI: 10.1109/JSSC.2018.2851234 <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji, schematu elektrycznego i planu masek topologicznych ultraszybkiej analogowej części elektroniki front-end pracującej w trybie zliczania pojedynczych fotonów <i>SPC</i> zaimplementowanej w technologii TSMC 40 nm CMOS osiągającej wyróżniające w skali światowej wyniki związane z intensywnością promieniowania X – rozdział II.A. Analiza teoretyczna prezentowanego podejścia projektowego z naciskiem na szybkość zliczania impulsów wejściowych – rozdział III. Przeprowadzenie pomiarów parametrów układu oraz ich analiza – rozdział IV. <u>Procentowy wkład Autora: 70%</u> Wskaźniki bibliometryczne: IF (za 2018) = 5.173, 40 pkt (lista czasopism MNiSW 2017)

H6	R. Kleczek, P. Kmon, “<i>Comparative analysis of the readout front-end electronics implemented in deep submicron technologies</i>”, Journal of Instrumentation, vol. 13, Nov. 2018, C11002. DOI 10.1088/1748-0221/13/11/C11002 <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji i przeprowadzenie analiz dotyczących wpływu wybranych zaawansowanych technologii nanometrycznych (TSMC 40 nm i 28 nm CMOS) na parametry szybkościowe układu elektroniki front-end pracującej w trybie zliczania pojedynczych fotonów SPC dla zadanych wymagań, z uwzględnieniem fizycznych ograniczeń występujących w rzeczywistych aplikacjach pomiarowych, opracowanie schematów elektrycznych układu elektroniki front-end w zastosowanych technologiach CMOS wraz z ich weryfikacją przeprowadzoną za pomocą szeregu analiz symulacyjnych – rozdziały 2 - 5. <u>Procentowy wkład Autora:</u> 80% Wskaźniki bibliometryczne: IF (za 2018) = 1.366, 35 pkt (lista czasopism MNiSW, 2017)
H7	P. Gryboś, R. Kleczek, P. Kmon, P. Otfinowski, P. Fajardo, D. Magalhaes, M. Raut „<i>SPHIRD - Single Photon Counting Pixel Readout ASIC with Pulse Pile-up Compensation Methods</i>”, IEEE Transactions on Circuits and Systems II: Express Briefs vol. 70, no. 9, pp. 3248-3252, Sept. 2023. DOI: 10.1109/TCSII.2023.3267859. <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji, schematu elektrycznego i planu masek topologicznych analogowej części elektroniki front-end wraz z analizą i implementacją alternatywnych metod układowych podnoszących szybkość zliczania fotonów w pojedynczym pikselu do poziomu unikalnego w skali światowej – rozdział II. Analiza teoretyczna prezentowanego podejścia projektowego z naciskiem na szybkość zliczania impulsów wejściowych. Przygotowanie stanowiska testowego. Przeprowadzenie pomiarów parametrów układu oraz ich analiza – rozdział III. <u>Procentowy wkład Autora:</u> 40% Wskaźniki bibliometryczne: IF (za 2022) = 4.4, 140 pkt (lista czasopism MNiSW, 2023)

Publikacje konferencyjne

l.p.	Autorzy, tytuł publikacji, rok wydania, nazwa wydawnictwa, indywidualny wkład autora
C1	R. Kleczek, P. Kmon, P. Maj, R. Szczygieł, P. Gryboś, Y. Nakaye, T. Sakumura, T. Takeyoshi, „<i>SPC pixel IC with 9.4 e- rms offset spread, 60 e- rms ENC and 70 kfps frame rate</i>”, IEEE 45th European Solid State Circuits Conference ESSCIRC, 24-26 September 2019, Cracow, DOI: 10.1109/ESSCIRC.2019.8902905 <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji, schematu elektrycznego i planu masek topologicznych analogowej części elektroniki front-end pracującej w trybie zliczania pojedynczych fotonów SPC. Opracowanie koncepcji i przeprowadzenie analiz dotyczących sposobu rozładowania pojemności występującej w sprzężeniu zwrotnym wzmacniacza ładunkowego CSA mającego na celu przyspieszenie przetwarzania impulsu wejściowego w dziedzinie czasu przy jednoczesnym utrzymaniu bardzo niskiego poziomu szumów własnych ENC układu – rozdziały II.A - II.C.

	<u>Procentowy wkład Autora: 50%</u> Wskaźniki bibliometryczne: IF = brak, indeksacja w Web of Science, 20 pkt (ewaluacja 2021)
C2	R. Kłeczek, P. Gryboś, R. Szczygieł, „<i>Charge sensitive amplifier for nanoseconds pulse processing time in CMOS 40 nm technology</i>”, IEEE 22nd International Conference Mixed Design of Integrated Circuits & Systems MIXDES 2015, 25-27 June, Torun. DOI: 10.1109/MIXDES.2015.7208529 <u>Indywidualny wkład Autora:</u> Opracowanie koncepcji, schematu elektrycznego wzmacniacza ładunkowego CSA, przeprowadzenie analiz dotyczących wpływu podziału/podłączenia pojemności sprzężenia zwrotnego wzmacniacza ładunkowego CSA na szybkość przetwarzania impulsu wejściowego przy jednoczesnym utrzymaniu niskiego poziomu szumów własnych <i>ENC</i> układu – rozdziały II - IV. <u>Procentowy wkład Autora: 80%</u> Wskaźniki bibliometryczne: IF = brak, indeksacja w Web of Science, 15 pkt (lista czasopism MNiSW 2015)

Suma punktów MNiSW = 465 pkt,
suma IF = 19.737 z dziewięciu prac przedstawionych do oceny.

1. O Autorze

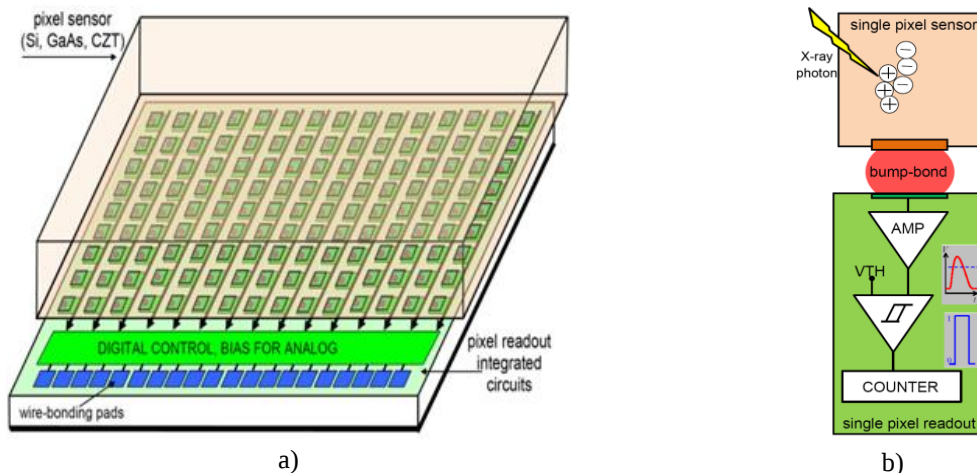
Habilitant pracuje na stanowisku adiunkta naukowo-dydaktycznego w Katedrze Metrologii i Elektroniki, na wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, AGH w Krakowie. Jest członkiem Zespołu Mikroelektroniki kierowanego przez Prof. dr hab. inż. Pawła Grybosia. Zespół ten zajmuje się projektowaniem specjalizowanych układów scalonych ASIC (ang. *Application Specific Integrated Circuit*) dedykowanych do odczytu sygnałów z mikrosensorów (detektorów) promieniowania X (lub ogólniej jonizującego), które z sukcesem były i są realizowane w ramach projektów krajowych i międzynarodowych zleczanych przez agencje rządowe i firmy komercyjne z Europy i Japonii.

Habilitant w czerwcu 2014 roku obronił z wyróżnieniem pracę doktorską w dyscyplinie elektroniki zatytułowaną: „*Filtracja i szybkie kształtowanie sygnału w układach elektroniki front-end w technologiach submikronowych CMOS*”, w ramach której powstało kilka prototypowych układów elektroniki front-end dedykowanych głównie do odczytu detektorów paskowych. Od tamtego czasu Autor niniejszego wniosku brał czynny udział w jedenastu projektach realizowanych przez grupę mikroelektroniczną (pięciu finansowanych w drodze konkursów krajowych lub zagranicznych oraz sześciu we współpracy z sektorem gospodarczym), które zaowocowały wieloma pracami opublikowanymi na łamach renomowanych czasopism naukowych oraz nawiązaniem współpracy z naukowcami z wiodących ośrodków badawczych. W ramach tych projektów Autor zajmował się opracowywaniem analogowych części układów elektroniki front-end w specjalizowanych układach scalonych dla potrzeb paskowych i pikselowych detektorów promieniowania X, a także, w przypadku wybranych projektów, przygotowaniem środowiska testowego wraz z testowaniem zaprojektowanych układów oraz opracowywaniem danych pomiarowych.

1.2. Wprowadzenie do tematyki badawczej Habilitanta

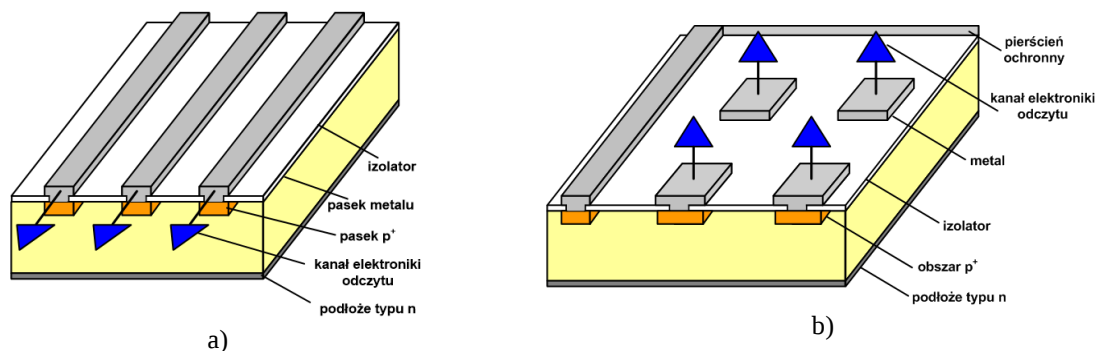
Hybrydowy moduł detekcyjny (Rys. 1.1), czyli struktura składająca się z połączonego wielokanałowego detektora promieniowania jonizującego i wielokanałowego układu scalonego, jest trzonem definiującym parametry użytkowe docelowych systemów detekcyjnych. Hybrydowe moduły detekcyjne umożliwiają pomiar m. in.: pozycji interakcji i energii wpadającego fotonu, co z kolei przekłada się na szeroką gamę technik obrazowania cyfrowego znajdujących zastosowanie w aplikacjach przemysłowych (np. kamery promieniowania X), medycznych (np. tomografy komputerowe), czy też w wysoce zaawansowanej aparaturze naukowej (np. akceleratory cząstek, synchrotrony). Każda ze wspomnianych aplikacji pomiarowych wymaga indywidualnego opracowania detektora promieniowania i scalonego układu odczytowego. Warto nadmienić, że w zależności od poziomu zagłębienia w szczegółach technicznych systemów detekcyjnych, dla części użytkowników końcowych detektor oraz moduł detekcyjny jest tym samym pojęciem, co wymaga jednak zróżnicowania.

Zadaniem detektora promieniowania jonizującego jest konwersja energii padającej na niego cząstki na inną formę mierzalną (np. promieniowanie elektromagnetyczne o innej długości fali,



Rys. 1.1 a) Hybrydowy moduł detekcyjny o budowie wielokanałowej, b) pojedynczy kanał detektora zestawiony z pojedynczym torem odczytowym za pomocą połączenia kulkowego [H3].

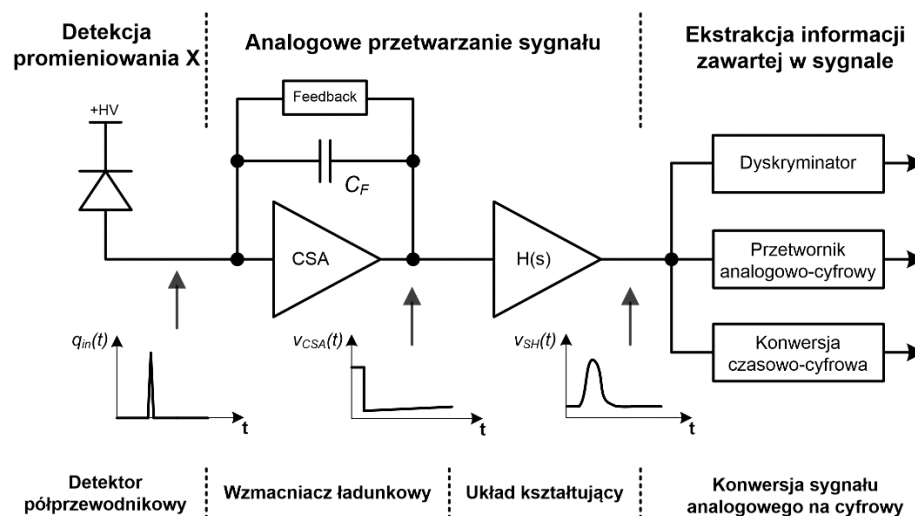
czy też prąd elektryczny). W zależności od rodzaju i energii promieniowania jonizującego, stosowanego w systemie pomiarowym, należy zastosować detektor wykonany z odpowiedniego materiału (np. półprzewodnikowy, scyntylacyjny, gazowy). Przetworzenie energii zachodzące w objętości czynnej detektora, w zależności od jego budowy wewnętrznej oraz energii promieniowania, może przebiegać na różne sposoby i tak przykładowo można spotkać sensory typu komora proporcjonalna, fotopowielacz, czy złącze p-n spolaryzowane w kierunku zaporowym. Mając dodatkowo na uwadze budowę detektora, kolejnym istotnym wyróżnikiem jest sposób jego granulacji, tzn. czy jest on urządzeniem jednokanałowym czy wielokanałowym o architekturze paskowej bądź pikselowej (Rys. 1.2), co determinuje architekturę całego systemu detekcyjnego. Z kolei odległość pomiędzy sąsiednimi kanałami (ang. *pitch*) zazwyczaj przekłada się na rozdzielczość przestrzenną całego systemu pomiarowego.



Rys. 1.2. Półprzewodnikowy detektor o architekturze: a) paskowej, b) pikselowej [1].

Powyższe własności pokazują różnorodność stosowanych obecnie detektorów. Habilitant w swych pracach badawczych zajmował się systemami detekcyjnymi opierającymi się na przetwarzaniu ładunku elektrycznego (dodatniego lub ujemnego), pojawiającego się na elektrodzie detektora, skorelowanego z padającą na niego cząstką jonizującą. Impuls elektryczny poprzez przewód (ang. *wire-bond*) lub kulkę połączeniową (ang. *bump-bond*) wpływa do bloków

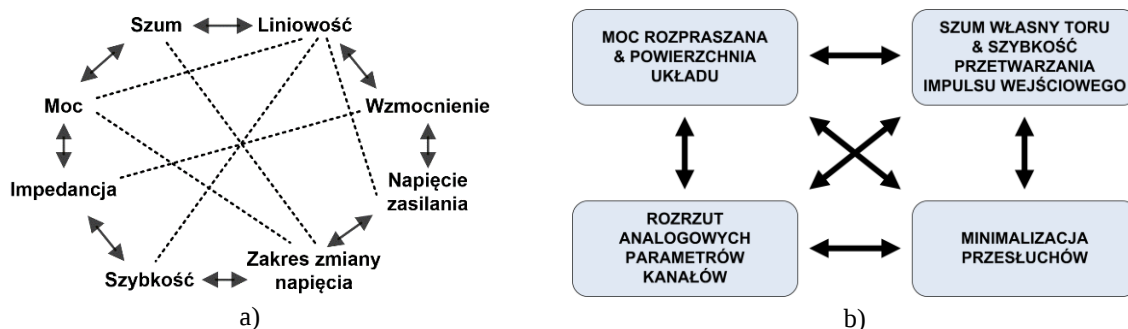
analogowych układu scalonego odpowiedzialnych za wzmocnienie, filtrację i ukształtowanie sygnału. Bloki te w literaturze przedmiotu określone są mianem układu elektroniki front-end [2]. Następnie wypracowany sygnał analogowy często zamieniany jest na postać cyfrową i w tej formie przetwarzany niezależnie w każdym kanale. W zależności od informacji, którą chcemy pozyskać o wejściowym impulsie prądowym, konwersja sygnału może nastąpić poprzez typowo dyskryminator/komparator, przetwornik analogowo-cyfrowy, czy też przetwornik typu czas-cyfra (Rys. 1.3). Ostatecznie, cyfrowe dane z kanałów są transmitowane poprzez układy wejścia-wyjścia do systemu nadrzędnego. Zatem, łącznikiem pomiędzy detektorem a systemem nadrzędnym są wielokanałowe specjalizowane układy scalone ASIC będące tematem badawczym Habilitanta, ze szczególnym uwzględnieniem części analogowej torów odczytowych.



Rys. 1.3. Architektura klasycznego układu elektroniki front-end [1].

Zadaniem części analogowej toru odczytowego jest zebranie ładunku elektrycznego pojawiającego się na elektrodzie detektora. Ładunek ten integrowany jest przez pojemność sprzężenia zwrotnego C_F stopnia wejściowego zwanego wzmacniaczem ładunkowym CSA (ang. *Charge Sensitive Amplifier*), na którego wyjściu pojawia się skok napięciowy o amplitudzie proporcjonalnej do ładunku wejściowego q_{in} . Następnie, w przypadku klasycznego podejścia, impuls ten jest przetwarzany przez układ kształtujący (ang. *Pulse Shaping Amplifier*), którego zadaniami są: formacja wyjściowego przebiegu napięciowego (poprzez skrócenie w dziedzinie czasu) zgodnie z wymaganiami szybkościowymi pracy, poprawa parametru SNR (ang. *Signal-to-Noise Ratio*) poprzez odpowiednią filtrację oraz wzmocnienie sygnału. Uformowany w ten sposób sygnał kierowany jest następnie do bloku konwertującego, gdzie jest zamieniany na postać cyfrową.

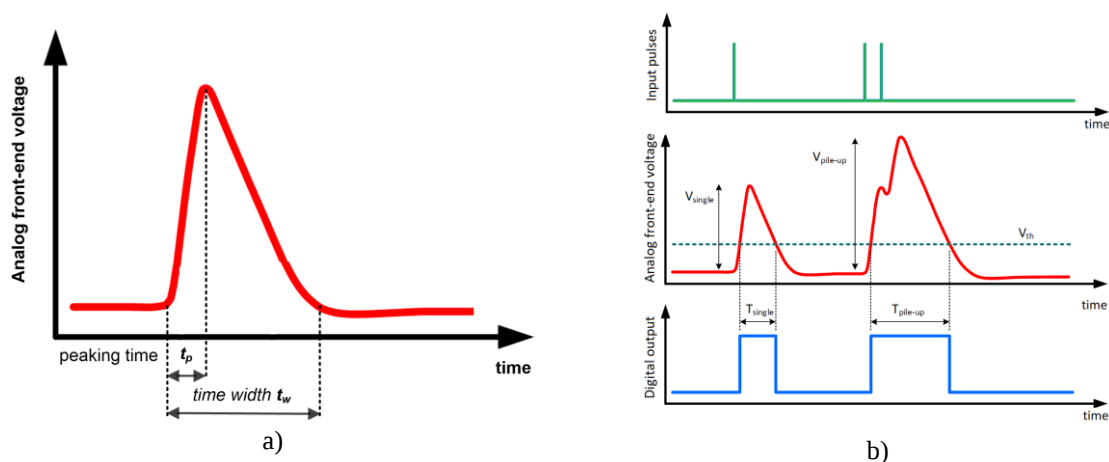
Uogólniając można powiedzieć, że projektowanie mikroelektronicznych układów analogowych jest sztuką kompromisów, które projektant musi osiągnąć pomiędzy wzajemnie zależnymi parametrami, jak przykładowo: poziom szumów układu, rozpraszana moc, szybkość przetwarzania sygnałów, wzmocnienie, liniowość, zajmowana powierzchnia krzemu, czy też



Rys. 1.4. Wzajemne powiązania/ograniczenia przy projektowaniu analogowego układu scalonego: a) przypadek ogólny [3], b) przypadek wielokanałowego scalonego układu odczytowego ASIC [4].

rozrzuty technologiczne (Rys. 1.4a). Dodatkowo, uwzględniając fakt postępującej miniaturyzacji technologii wytwarzania układów scalonych napędzanej przez układy cyfrowe, do wspomnianych zagadnień należy dołączyć także wpływ obniżanych poziomów napięć zasilania oraz degradacji parametrów analogowych tranzystorów (np. spadek wartości wzmocnienia samoistnego, efekty krótkiego kanału).

Co istotne, wspomniane kompromisy i ograniczenia dotyczą także układów elektroniki front-end. Mając na uwadze fakt, że parametry części analogowej toru odczytowego w znacznym stopniu determinują właściwości całego systemu detekcyjnego, konieczna jest optymalizacja każdego rozwiązania układowego pod kątem konkretnej aplikacji pomiarowej, zastosowanego w niej detektora oraz wybranej technologii produkcji układu scalonego. Do najważniejszych wymagań stawianych wielokanałowym układom scalonym ASIC, dedykowanym do odczytu detektorów promieniowania jonizującego, należą: niski poziom szumów własnych toru wyrażany poprzez ekwiwalentny ładunek szumowy *ENC* (ang. *Equivalent Noise Charge*), możliwość przetwarzania impulsów wejściowych o dużej intensywności, niski pobór mocy, a także mała powierzchnia krzemu zajmowana przez pojedynczy kanał przy jednoczesnym niewielkim rozrzucie wartości parametrów analogowych pomiędzy kanałami (Rys. 1.4b). Warto w tym



Rys. 1.5. a) Definicja parametrów czasowych przebiegu wyjściowego części analogowej: czas trwania t_w oraz czas kształtowania/osiągania wartości szczytowej t_p impulsu, b) efekt spiętrzenia się kolejnych impulsów wejściowych przy niespełnieniu warunku odstępu czasowego pomiędzy nimi.

miejsu podkreślić, że praca z dużą intensywnością padających fotonów wymaga takiego kształtu impulsu wyjściowego analogowej części układu elektroniki front-end, aby jego czas trwania t_w (ang. *time width*) był możliwie krótki (Rys. 1.5a), co z kolei stoi w sprzeczności z wymaganiem ograniczenia poboru mocy oraz niskiego poziomu szumów *ENC* toru. Co istotne, ewentualne zbyt duże wydatkowanie pobieranej mocy (w układach paskowych jest to ok. kilkanaście mW/kanal zaś w układach pikselowych kilkadziesiąt $\mu\text{W}/\text{kanal}$) może skutkować koniecznością wyposażenia systemu detekcyjnego w kosztowne i skomplikowane systemy chłodzące, zapobiegające przed nadmiernym przegrzewaniem się struktur układu, czy też ich nieodwracalnym uszkodzeniem. Dodatkowo, ograniczenie powierzchni krzemu zajmowanej przez pojedynczy kanal odczytowy (rzędu $60\text{ }\mu\text{m} \times 2\text{ mm}$ w przypadku architektury paskowej oraz rzędu $50\text{ }\mu\text{m} \times 50\text{ }\mu\text{m}$ dla architektury pikselowej) wymusza konieczność zmniejszenia wymiarów poszczególnych jego elementów, a to przekłada się na wzrost rozrzutu analogowych parametrów pomiędzy kanałami, czy też wzrost szumów. A zatem, przy jednoczesnym zwiększaniu funkcjonalności i szybkości przetwarzania impulsów w pojedynczym kanale konieczna jest wnikliwa analiza przy doborze architektury i wymiarowaniu tranzystorów zastosowanych w blokach analogowych toru odczytowego.

Układy elektroniki front-end, ze względu na sposób przetwarzania ciągu impulsów wejściowych, można podzielić na dwie podstawowe klasy: układy pracujące w trybie integracyjnym (większość obecnie dostępnych systemów obrazowania medycznego) lub w trybie zliczania pojedynczych fotonów *SPC* (ang. *Single Photon Counting*). W trybie integracyjnym wpływający do wejścia ładunek jest sumowany/integrowany w zadanym przedziale czasu, co pozwala na pracę z teoretycznie Nielimitowaną intensywnością impulsów wejściowych (zakładając, że stopień wejściowy jest w liniowym zakresie pracy). W trybie tym waga każdego ładunku wejściowego jest proporcjonalna do zdeponowanej przez foton energii. Główną wadą trybu integracyjnego jest jednoczesne sumowanie szumu z sygnałami użytecznymi, co degradowe parametr *SNR*. Co istotne, problem ten nie występuje w układzie pracującym w trybie zliczania pojedynczych fotonów *SPC*, gdzie każdy impuls wejściowy jest przetwarzany niezależnie i następnie zliczany przez licznik, gdy odpowiadający mu impuls analogowy przekroczy zadany próg napięcia referencyjnego. Przy prawidłowo ustawionym referencyjnym progu napięciowym (powyżej poziomu szumu toru odczytu) otrzymuje się liczbę fotonów uderzających w detektor (waga każdego z nich jest równa jeden). Tryb ten charakteryzuje się bardzo dużym zakresem dynamicznym (zależnym od długości dołączonego licznika) oraz możliwością selekcji wpadających fotonów w zależności od ich energii. Wadą trybu *SPC* jest natomiast podatność na efekt spiętrzania się kolejnych impulsów wejściowych (ang. *pulse pile-up*) w przypadku niespełnienia odstępu czasowego pomiędzy nimi, co skutkuje błędnymi zliczeniami padających na detektor fotonów (Rys. 1.5b). Z tego też powodu tematyka związana z możliwością pracy systemów detekcyjnych typu *SPC* z dużą intensywnością padających fotonów jest zagadnieniem ważnym, aktualnym i podejmowanym przez naukowców z wielu renomowanych światowych ośrodków badawczych, takich jak przykładowo: Europejska Organizacja Badań Jądrowych (*CERN*) w Szwajcarii, Brookhaven National Laboratory (*BNL*) w Stanach Zjednoczonych, Europejski Ośrodek Promieniowania Synchrotronowego (*ESRF*) we Francji, czy też przez

inżynierów opracowujących rozwiązania komercyjne dla firm działających we wspomnianym obszarze, takich jak przykładowo: Rigaku Corporation w Japonii, Malvern Panalytical w Wielkiej Brytanii, czy Dectris w Szwajcarii.

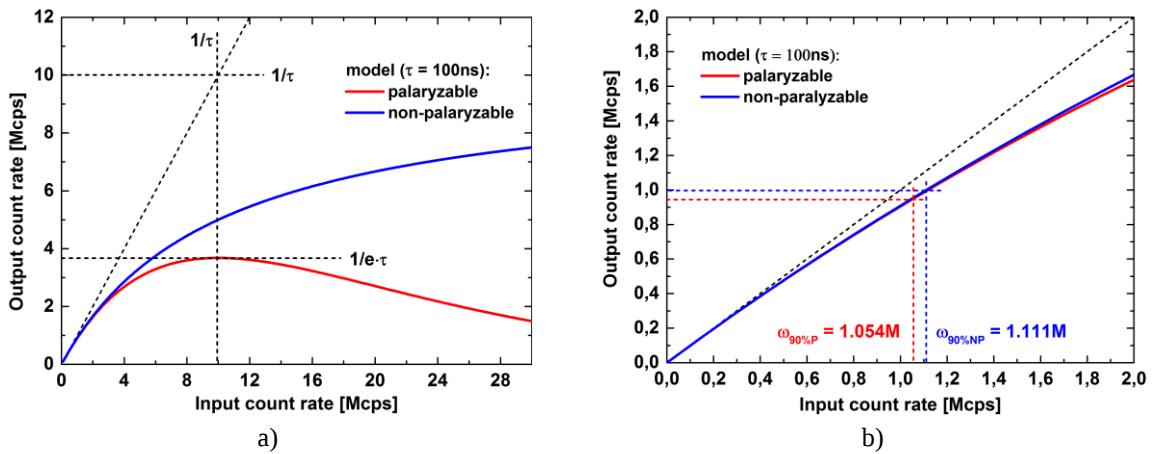
Nieodłącznym parametrem systemu detekcyjnego, związanym ze zdolnością układu zliczania impulsów o bardzo dużej intensywności, jest czas martwy τ (ang. *dead time*) toru odczytowego, który definiuje wymaganą minimalną separację w czasie pomiędzy dwoma kolejnymi impulsami wejściowymi, aby móc je prawidłowo zliczyć. Czas martwy τ jest ściśle związany z charakterystyką szybkościową układu (ang. *count-rate performance*), która wyraża zależność liczby zliczeń na wyjściu kanału odczytowego N_{OUT} względem liczby impulsów na jego wejściu N_{IN} . Dwoma podstawowymi modelami behawioralnymi stosowanymi w systemach liczących są modele paraliżujący oraz nieparaliżujący [5]. Charakterystyka szybkościowa dla modelu paraliżującego o czasie martwym τ_P wyrażona jest zależnością:

$$N_{OUT} = N_{IN} \cdot e^{-N_{IN} \cdot \tau_P} \quad (1.1)$$

podczas, gdy dla modelu nieparaliżującego o czasie martwym τ_{NP} opisana jest formułą:

$$N_{OUT} = \frac{N_{IN}}{1 + \tau_{NP} \cdot N_{IN}} \quad (1.2)$$

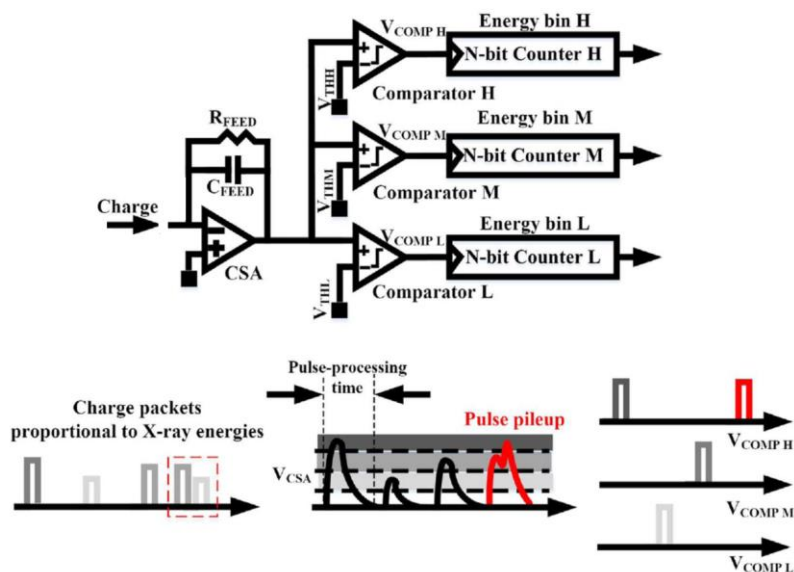
Przykładowe przebiegi powyższych charakterystyk dla czasów martwych $\tau_P = \tau_{NP} = 100$ ns są przedstawione na rys. 1.6a – widoczna na wykresie, zaznaczona przerywaną linią zależność liniowa $1/\tau$ jest charakterystyką obydwóch modeli przy wymuszeniu periodycznymi impulsami w czasie. W praktyce dane pomiarowe układów starszych generacji dobrze dopasowywały się do wspomnianych zależności teoretycznych, co pozwalało wyznaczyć czas martwy systemu i tym samym dysponować parametrem porównawczym z innymi dostępnymi rozwiązaniami. Literatura przedmiotu zawiera wiele bardziej zaawansowanych modeli behawioralnych systemów liczących o charakterystykach pośrednich pomiędzy dwoma modelami, które zapewniają wierniejsze odwzorowanie danych pomiarowych. Przykładowo, aby porównać szybkość liczenia dwóch różnych układów (niezależnie od zastosowanego modelu do estymacji czasu martwego systemu) można posłużyć się inną miarą dotyczącą 10%-owej straty liczenia impulsów wejściowych



Rys. 1.6. a) Charakterystyki szybkościowe dla modeli paraliżującego i nieparaliżującego o czasach martwych $\tau_P = \tau_{NP} = 100$ ns, b) 10% strata liczenia impulsów wejściowych – powiększenie charakterystyk z podpunktu a.

(ang. 10% *dead time loss input rate*), która jest definiowana jako taka intensywność wejściowa N_{IN} , dla której system detekcyjny zlicza 90% tychże impulsów $N_{OUT} = 0.9 \cdot N_{IN}$. Miara ta pozwala na porównanie układów bazując na danych pomiarowych, których dopasowanie do standardowych modeli behawioralnych jest nieprecyzyjne (rys. 1.6b).

Zjawisko spiętrzania się impulsów jest krytyczne dla spektrometrycznych aplikacji pomiarowych (do precyzyjnego pomiaru energii fotonów) bazujących na trybie *SPC* (ang. *energy-resolved photon counting*). Zawierają one w torach odczytowych co najmniej dwa dyskryminatory lub przetwornik *ADC*, co pozwala mierzyć intensywność padającego promieniowania według zadanych przedziałów energetycznych umożliwiając w ten sposób realizację tzw. kolorowego obrazowania cyfrowego. Przykładowa architektura tego typu układu odczytowego jest przedstawiona na rys. 1.7. W przypadku zbyt dużej intensywności padającego promieniowania przypisanie energii kolejnej padającej cząstki do odpowiedniego przedziału energetycznego może okazać się błędne. Przypadek ten zaznaczony jest kolorem czerwonym na rys. 1.7, kiedy to w wyniku spiętrzenia się dwóch impulsów skorelowanych z fotonami o mniejszych energiach system błędnie interpretuje je jako jeden impuls o wyższej energii.

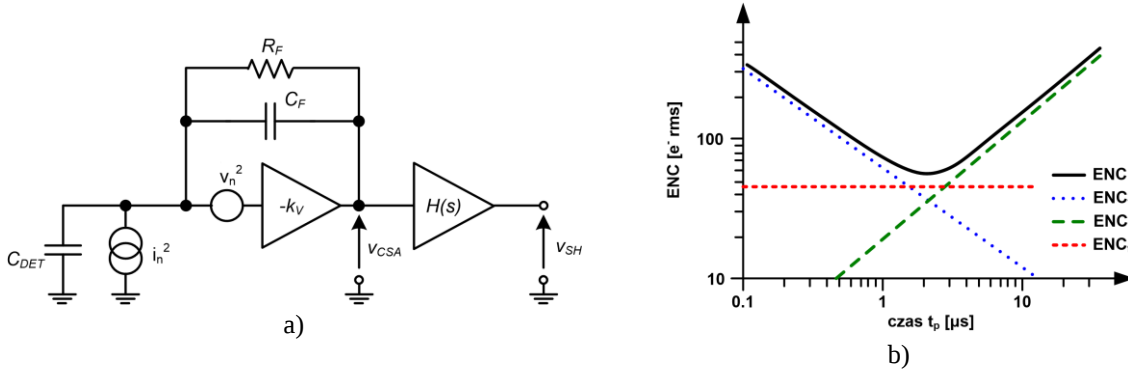


Rys. 1.7. Przykładowa architektura spektrometrycznego toru odczytowego bazującego na trybie *SPC* – zastosowanie trzech komparatorów pozwala uzyskać trzy przedziały energetyczne [6].

Praca w trybie *SPC* z padającymi na detektor cząstkami jonizującymi o dużej intensywności jest sednem zagadnienia badawczego, nad którym pracował Habilitant. W przypadku pracy Habilitanta nad układem odczytowym o architekturze paskowej wymagania szybkościowe były związane z nowopowstającą aparaturą pomiarową, przygotowywaną dla potrzeb eksperymentu *CBM* (ang. *Compressed Baryonic Matter*), gdzie średnia częstotliwość występowania zdarzeń na kanał wynosiła 250 kHz. Z kolei dla aplikacji o architekturze pikselowej jako dużą intensywność rozumiano natężenie rzędu miliarda zliczeń na sekundę (ang. *count per second*) na milimetr kwadratowy (Gcps/mm^2) w przypadku technik obrazowania medycznego lub wyższych rzędów w przypadku aplikacji pracujących z promieniowaniem synchrotronowym. **Dla każdej z tych**

aplikacji pytanie, które stawiał sobie Habilitant brzmiało: „jak poradzić sobie z dużym strumieniem padających fotonów/cząstek jonizujących?”. Pytanie to można sparafrazować następująco: „jak poradzić sobie z efektem spiętrzenia impulsów?”.

Pierwszą możliwą ścieżką jest skrócenie przetwarzania impulsu w dziedzinie analogowej. Krótszy czas trwania t_w impulsu analogowego implikuje krótszy czas kształtowania/osiągania wartości szczytowej t_p (ang. *shaping/peaking time*) impulsu (Rys. 1.5a). Jednakże to podejście determinuje wzrost poziomu szumów ENC toru (co w zależności od ustawionego progu referencyjnego na wejściu dyskryminatora może wpływać na pogorszenie jakości otrzymywanego obrazu) i degradację współczynnika konwersji ładunek–napięcie toru odczytowego. Szybkość przetwarzania sygnału oraz poziom szumu toru odczytowego są parametrami przeciwnymi. Uproszczony szumowy schemat zastępczy analogowej części elektroniki front-end zawierający zastępcze źródła szumów: równoległe (prądowe) i_n^2 oraz szeregowo (napięciowe) v_n^2 jest przedstawiony na rys. 1.8a [7].



Rys. 1.8. a) Szumowy schemat zastępczy analogowej części układu elektroniki front-end, b) poglądowy wkład poszczególnych składowych: ENC_i , ENC_v , ENC_f do szumu całkowitego ENC toru odczytowego w funkcji czasu kształtowania t_p .

Zastępcze prądowe źródło szumu i_n^2 zawiera składniki pochodzące od szumu termicznego rezystora R_F (lub ogólniej bloku odpowiedzialnego za rozładowanie pojemności C_F w sprzężeniu zwrotnym wzmacniacza CSA) oraz w przypadku detektora pikselowego od szumu śrutowego związanego z prądem upływu detektora I_{DET} :

$$i_n^2 = \frac{4kT}{R_F} + 2qI_{DET} = \alpha \quad (1.3)$$

gdzie: k – stała Boltzmanna, T – temperatura bezwzględna, q – ładunek elementarny. Z kolei zastępcze napięciowe źródło szumu v_n^2 zawiera składniki pochodzące głównie od tranzystora wejściowego wzmacniacza CSA (szum termiczny i szum migotania $1/f$ kanału) oraz rezystancji połączenia R_{CON} pomiędzy elektrodą detektora a wejściem układu odczytowego (szum termiczny):

$$v_n^2 = v_{nw}^2 + v_{nf}^2 = \frac{4kT\gamma_n}{g_m} + 4kTR_{CON} + \frac{K_f}{C_{OX}WL} \cdot \frac{1}{f} = \beta + \frac{A_f}{f} \quad (1.4)$$

gdzie: γ_n – współczynnik zależny od długości kanału tranzystora, g_m – transkonduktancja tranzystora wejściowego, K_f – współczynnik szumów $1/f$, C_{ox} – pojemność tlenku bramkowego na jednostkę powierzchni, W/L – szerokość/długość kanału tranzystora wejściowego,

f – częstotliwość. Ostatecznie, biorąc pod uwagę wymienione komponenty szumowe, szumy ENC klasycznego toru odczytowego wyrażone są zależnością:

$$ENC^2 = \frac{1}{C_F^2} \left[\alpha \cdot t_p \cdot a_p + (C_T + C_F)^2 \left(\frac{\beta}{t_p} \cdot a_w + A_F \cdot a_f \right) \right] \quad (1.5)$$

gdzie wykorzystane współczynniki związane są z: a_p – szumem termicznym źródła i_n^2 , a_w – szumem termicznym źródła v_n^2 (v_{nw}^2) i a_f – szumem migotania $1/f$ źródła v_n^2 (v_{nf}^2). Równanie 1.5 można ostatecznie przedstawić w następującej postaci:

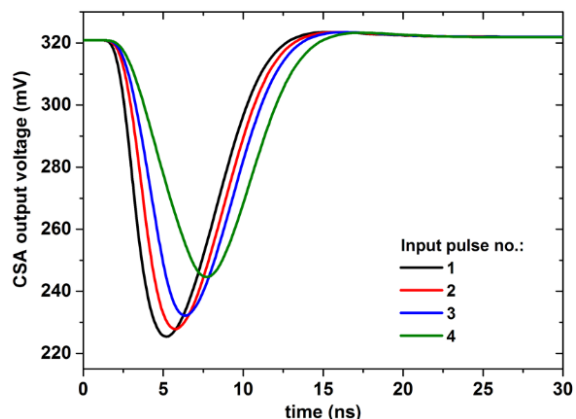
$$ENC = \sqrt{ENC_i^2 + ENC_v^2 + ENC_f^2} \quad (1.6)$$

gdzie występujące składowe reprezentują: ENC_i – szumy prądowe białe, ENC_v – szumy napięciowe białe oraz ENC_f – szumy napięciowe migotania $1/f$. Poglądowy wpływ czasu kształtowania t_p na wartość poszczególnych składowych szumowych oraz szumów całkowitych ENC toru odczytowego jest przedstawiony na rys. 1.8b.

W odniesieniu do konieczności pracy z dużą intensywnością impulsów wejściowych czas kształtowania t_p powinien być możliwie krótki, co jednak nie jest korzystne z punktu widzenia minimalizacji wartości szumów ENC (ich wartość jest zdominowana przez składową związaną z szumami napięciowymi białymi ENC_v – przykładowo na rys. 1.8b dla czasu kształtowania t_p poniżej 1 μ s). Wartość szumów ENC jest minimalna dla czasów kształtowania t_p typowo rzędu kilku/kilkudziesięciu μ s, co w odniesieniu do szybkości przetwarzania sygnałów oznacza długi czas przetwarzania t_w prowadząc do spiętrzania się impulsów przy dużej intensywności padających cząstek. Wzrost szumu ENC , kosztem wzrostu szybkości działania układu, jest szczególnie widoczny przy ograniczonym wydatkowaniu prądu na tor odczytowy, kiedy to ograniczenie wpływu składowej ENC_v , poprzez podniesienie wartości transkonduktancji g_m tranzystora wejściowego, jest niemożliwe (wzór 1.4).

Dodatkowym aspektem związanym z procesowaniem impulsu w krótkim czasie (rzędu kilku/kilkunastu ns) jest możliwość występowania tzw. deficytu balistycznego, czyli zjawiska kiedy układ odczytowy przetwarza jedynie część ładunku zebranego przez elektrodę. Efekt ten ma miejsce wówczas, gdy czas kształtowania t_p toru odczytowego nie jest dłuższy niż czas zbierania ładunku przez detektor t_c (ang. *collection time*). W rezultacie skutkuje to m. in. spadkiem amplitudy impulsu wyjściowego oraz wzrostem szumu ENC . Rysunek 1.9 przedstawia przykładowe odpowiedzi na wyjściu wzmacniacza CSA o czasie kształtowania $t_p = 3.5$ ns dla impulsów wejściowych o różnym kształcie w dziedzinie czasu (o tym samym ładunku wejściowym q_{in}). Parametry zastosowanych prądowych impulsów wejściowych oraz napięciowych na wyjściu rozważanego toru przetwarzania są zaprezentowane w Tab. 1.1 oraz w Tab. 1.2 [C2].

Podsumowując pierwszą z omówionych metod zwiększających możliwość pracy systemów detekcyjnych z dużą intensywnością padających cząstek jonizujących, można stwierdzić, że skrócenie czasu przetwarzania impulsów jest odpowiednią strategią zmniejszającą możliwość występowania efektu spiętrzania, aczkolwiek niesie z sobą szereg istotnych ograniczeń. Literatura



Rys. 1.9. Przebiegi wyjściowe wzmacniacza CSA dla ładunków wejściowych $q_{in} = 2200 e^-$ o różnych czasach kształtowania prądowych impulsów wejściowych [C2].

Tab. 1.1. Parametry wejściowych impulsów prądowych q_{in} [C2]

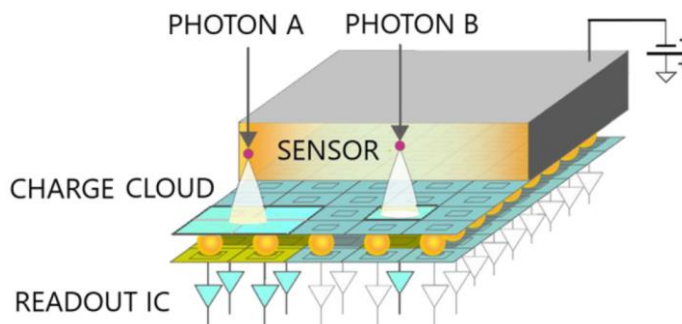
pulse no.:	1	2	3	4
pulse val. [nA]	667	500	334	200
$t_r = t_f$ [ns]	0.5	1	1	1
t_w [ns]	1	1	2	4

Tab. 1.2. Parametry analogowe przebiegów na wyjściu wzmacniacza ładunkowego CSA [C2]

pulse no.:	1	2	3	4
ENC [e^-]	118	121	127	147
t_p [ns]	3.4	3.8	4.3	5.6
ampl [mV]	95	93	89	76

przedmiotu zawiera rozwiązania układowe poprawiające parametry szybkościowe toru odczytowego, przykładowo: ECPC ASIC [6], Pilatus3 [8] i IBEX [9], Siemens PC [10], CIX [11], ERPC ASIC [12]. Każde z tych rozwiązań posiada jednakże swoje ograniczenia, co zbiorczo zostało zaprezentowane przez Habilitanta podczas zaproszonego referatu w trakcie konferencji *11th International Meetings on Front-End Electronics*, 20-25 maj 2018 r., Jouvence, Kanada [13].

Drugą z możliwych ścieżek zmniejszającą prawdopodobieństwo wystąpienia efektu spiętrzenia impulsów, przy zadanym strumieniu padających cząstek jonizujących na daną powierzchnię, jest zwiększenie liczby kanałów detekcyjnych przypadających na jednostkę powierzchni, co skutkuje zmniejszeniem strumienia padających cząstek na pojedynczy kanał. Jednakże to zmniejszanie powierzchni pojedynczego kanału ma również swoje ograniczenia. Zakładając optymistycznie, że względy technologiczne nie stoją na przeszkodzie przy definiowaniu detektorów o coraz mniejszych wymiarach, to procesy fizyczne zachodzące w objętości czynnej detektora związane z tzw. zjawiskiem podziału ładunku (ang. *charge sharing*) są już istotnym czynnikiem degradującym parametry systemu detekcyjnego. Podział ładunku ma miejsce wówczas, gdy ładunek elektryczny w objętości czynnej detektora jest wytwarzany na granicy dwóch lub więcej kanałów/pikseli, w wyniku czego na odpowiadających im elektrodach



Rys. 1.10. Zjawisko podziału ładunku: foton A uderza w róg między pikselami – chmura z wygenerowanym ładunkiem elektrycznym jest zbierana przez cztery elektrody detektora, foton B w środek piksela – chmura zbierana przez jedną okładkę detektora (brak podziału ładunku) [14].

indukują się impulsy prądowe, które następnie są przetwarzane przez połączone do nich tory odczytowe (rys. 1.10). Im mniejszy rozmiar pojedynczego kanału sensora tym wyraźniej podział ładunku jest zauważalny, co skutkuje efektem rozmycia widma energetycznego, w wyniku czego nie można prawidłowo określić energii fotonu. Literatura przedmiotu zawiera rozwiązania układowe, których celem jest rozwiązanie tego problemu. Rozwiązania te polegają na sumowaniu informacji z sąsiednich kanałów (aby odtworzyć informację o energii zdeponowanej w detektorze przez foton) oraz wskazaniu, który kanał zebrał największą ilość ładunku [14, 15]. Operacja ta prowadzi ostatecznie do wskazania tego z pikseli, w którym zdeponowana została największa ilość energii. Jednakże w rozwiązaniach tych, zaproponowane przetwarzanie sygnału odbywa się kosztem szybkości działania całego toru pomiarowego. Dodatkowo, podczas zwiększania liczby kanałów przypadających na jednostkę powierzchni, poza efektem podziału ładunku, zmniejszanie rozmiarów pojedynczego kanału odczytowego pociąga za sobą zmniejszenie możliwej funkcjonalności do zaimplementowania na zadanej powierzchni krzemu, co może przykładowo prowadzić do niewystarczającej liczby i długości liczników. Co więcej, mniejsza powierzchnia analogowego toru odczytowego może oznaczać większy rozrzut jego parametrów między kanałami i tym samym prowadzić do złamania wymagania dotyczącego jednorodności tychże parametrów na całej matrycy odczytowej.

Podsumowując drugie z opisanych rozwiązań zwiększających możliwość pracy z dużą intensywnością cząstek jonizujących padających na detektor można stwierdzić, że zmniejszenie wymiarów pojedynczego kanału detekcyjnego (i najczęściej odczytowego zarazem) jest zabiegiem zmniejszającym intensywność impulsów wejściowych przypadających na pojedynczy kanał, a co za tym idzie zmniejszającym możliwość występowania zjawiska spiętrzenia się impulsów. Strategia ta ma jednakże swoje ograniczenia wynikające choćby z występujących zjawisk fizycznych w detektorze jak np. efekt podziału ładunku.

Jak wykazano, praca z dużą intensywnością promieniowania jonizującego jest bardzo wymagającą tematyką badawczą. Jakość obrazu pozyskiwanego z systemu detekcyjnego często zależy od jakości widm energetycznych rejestrowanych przez kanały odczytowe, a te przy pracy z dużym natężeniem promieniowania ulegają degradacji wskutek efektu spiętrzenia się impulsów (gdy piksele są zbyt duże) lub podziału ładunku (gdy piksele są zbyt małe). Budowane obecnie nowoczesne systemy detekcyjne promieniowania X, pracujące w trybie SPC, do eksploracji zjawisk wykorzystujących źródła promieniowania X o dużej mocy (np. synchrotrony), a także aplikacje medycznych i przemysłowych, wymagają konstrukcji coraz to szybszych układów odczytowych jednocześnie rozpraszających mniej mocy, o lepszych parametrach szumowych oraz zajmujących mniej powierzchni krzemu na pojedynczy kanał.

W ramach podejmowanej tematyki badawczej Habilitant opracował kilka scalonych niskoszumnych układów odczytowych, pracujących w trybie zliczania pojedynczych fotonów SPC i przetwarzających analogowo w krótkim czasie impulsy wejściowe, które dzięki swej budowie mogą pracować z dużym natężeniem padającego promieniowania. Zaproponowane rozwiązania były budowane w ramach współpracy międzynarodowej (dla potrzeb nowej generacji eksperymentów naukowych lub produktów komercyjnych) i osiągają parametry wyróżniające je w skali światowej na tle konkurencyjnych rozwiązań. Osiągnięte rezultaty

przeprowadzonych prac badawczych pozwalają wyróżnić dorobek Autora w rozwój elektroniki będący cyklem powiązanych tematycznie artykułów naukowych zatytułowanych: „**Rozwój scalonych wielokanałowych układów elektroniki front-end do detekcji promieniowania jonizującego o dużej intensywności**”. Cykl ten można podzielić na trzy ścieżki tematyczne związane z projektowaniem układów elektroniki front-end:

- [H1, H2] – artykuły poświęcone pełnowymiarowemu układowi dedykowanemu do pomiaru znacznika czasowego interakcji (z funkcjonalnością samowyzwalania) i energii cząstki jonizującej, pracującemu z detektorem śladowym o architekturze paskowej z intensywnością promieniowania rzędu kilkuset tysięcy zliczeń na sekundę na kanał i zaimplementowanemu w technologii UMC 180 nm CMOS dla potrzeb eksperymentu *CBM* w Ośrodku Badań Antyprotonami i Jonami (*FAIR*) w Niemczech,
- [H3] oraz [C1] – prace związane z pełnowymiarowym układem scalonym o bardzo niskiej wartości szumów *ENC*, dedykowanym do odczytu półprzewodnikowych krzemowych detektorów pikselowych, pracującym z intensywnością promieniowania rzędu kilkuset tysięcy zliczeń na sekundę na kanał, zaimplementowanym w technologii TSMC 130 nm CMOS i ostatecznie zastosowanym komercyjnie przez firmę Rigaku Corporation z Japonii,
- [H4-H7] oraz [C2] – publikacje dotyczące prototypowych układów scalonych dedykowanych do odczytu półprzewodnikowych detektorów pikselowych pracujących z intensywnością promieniowania rzędu kilkudziesięciu milionów zliczeń na sekundę na kanał, zaimplementowanych w technologii TSMC 40 nm CMOS i dedykowanych do nowej generacji aplikacji synchrotronowych w Europejskim Ośrodku Promieniowania Synchrotronowego (*ESRF*) we Francji.

2. Prace badawcze związane z rozwojem wielokanałowego układu scalonego dedykowanego do odczytu detektora śladowego o architekturze paskowej pracującego z intensywnością promieniowania rzędu kilkuset tysięcy zliczeń na sekundę na kanał

[H1] K. Kasiński, **R. Kłeczek**, R. Szczygieł, “*Front-end readout electronics considerations for Silicon Tracking System and Muon Chamber*”, Journal of Instrumentation, vol. 11, Feb. 2016, C02024.

[H2] **R. Kłeczek**, “*Analog front-end design of the STS/MUCH-XYTER2 – full size prototype ASIC for the CBM experiment*”, Journal of Instrumentation, vol. 12, Jan. 2017, C01053.

Niniejszy rozdział przedstawia opis wielokanałowego układu scalonego dedykowanego do odczytu półprzewodnikowych detektorów paskowych oraz detektorów gazowych na potrzeby eksperymentu CBM [16]. Eksperyment ten, mający na celu badanie stanów materii o bardzo dużej gęstości, będzie przeprowadzany w budowanym obecnie ośrodku naukowym FAIR (ang. *Facility for Antiproton and Ion Research*) [17] w Darmstadt (Niemcy). Według zamierzeń ośrodek FAIR ma być jednym z największych na świecie centrów badawczych tego typu. W ramach eksperymentu CBM zostaną zastosowane: detektor śladowy STS (ang. *Silicon Tracking System*) zbudowany w oparciu o półprzewodnikowe detektory paskowe oraz detektor mionów MuCh (ang. *Muon Chamber*) oparty o detektory gazowe GEM (ang. *Gas Electron Multiplier*). Habilitant jest członkiem zespołu, którego zadaniem jest opracowanie dedykowanego scalonego układu odczytowego, do pomiaru znacznika czasowego i energii zdeponowanej przez cząstkę jonizującą, spełniającego wymagania stawiane temu eksperymentowi [18]. Habilitant w swojej rozprawie doktorskiej zaprezentował opracowania dotyczące dwóch prototypowych układów scalonych zaimplementowanych w technologii UMC 180 nm CMOS: 8-io kanałowego AFE-XYTER (ang. *Analog Front-End-X-Y-Time-Energy Readout*) [19] zawierającego wyłącznie bloki analogowe oraz pełnowymiarowego 128-io kanałowego STS-XYTER [20] z pełną funkcjonalnością analogową oraz cyfrową. Wnioski wynikające z opracowanych rozwiązań oraz zaktualizowane wymagania dotyczące docelowego układu odczytowego były podstawą opracowania drugiej wersji układu STS/MuCh-XYTER2, w której to zostały zaimplementowane nowe rozwiązania dotyczące części analogowej układu elektroniki front-end opracowane przez Autora niniejszego wniosku.

Do najważniejszych wymagań stawianych drugiej wersji pełnowymiarowego układu dedykowanego do pomiaru znacznika czasowego interakcji i energii cząstki jonizującej należą:

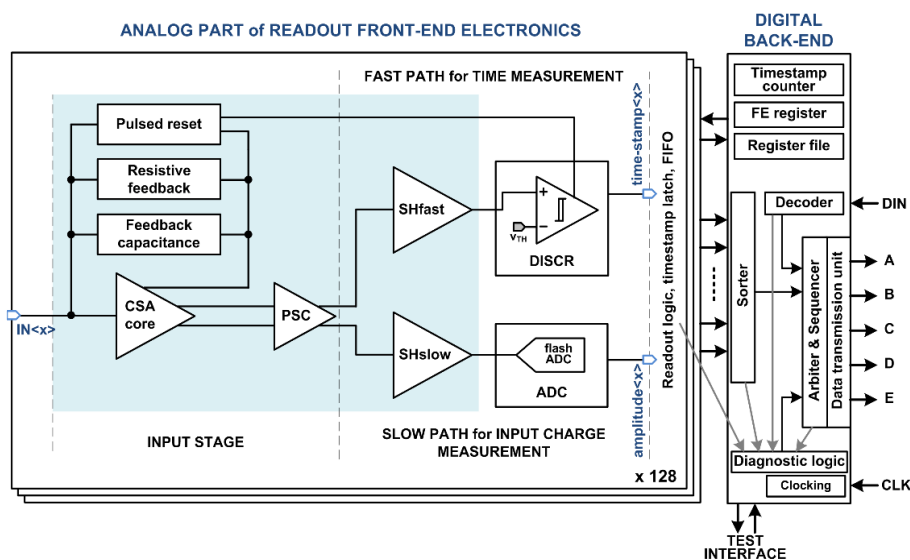
- możliwość współpracy z dwustronnymi detektorami, których elektrody zbierają ładunki dodatnie (dziury) bądź ujemne (elektrony),
- średnia częstotliwość występowania zdarzeń na kanał około 250 kHz,
- poziom rozpraszanej mocy na kanał mniejszy niż 10 mW,
- szумы $ENC < 1000 e^-$ rms dla pojemności detektora $C_{DET} = 30$ pF,
- poprawność pracy dla różnych typów detektorów (krzemowy/gazowy) oraz konfiguracji ich długości i przewodów łączących elektrody z padami wejściowymi układu scalonego

(maksymalna wartość pojemności $C_{DET} = 40$ pF dla detektora *STS* oraz $C_{DET} = 50$ pF dla detektora *MuCh*),

- możliwość regulacji wzmocnienia oraz czasu kształtowania impulsu wyjściowego,
- szerokość toru odczytowego wynosząca $58\text{ }\mu\text{m}$ dla detektora *STS* ($116\text{ }\mu\text{m}$ dla *MuCh*),
- funkcjonalność samowyzwalania niezależnie każdego kanału oraz rejestracja znacznika czasowego interakcji cząstki z precyzją co najwyżej 5 ns ,
- rejestracja ładunku wejściowego q_{in} z precyzją co najmniej 0.5 fC przy zakresie dynamicznym $0 - 15\text{ fC}$ i wartości typowej ładunku wejściowego $q_{in} = 4\text{ fC}$ dla detektora *STS*,
- odporność radiacyjna na wysokie dawki promieniowania jonizującego sięgająca do 1 MRad .

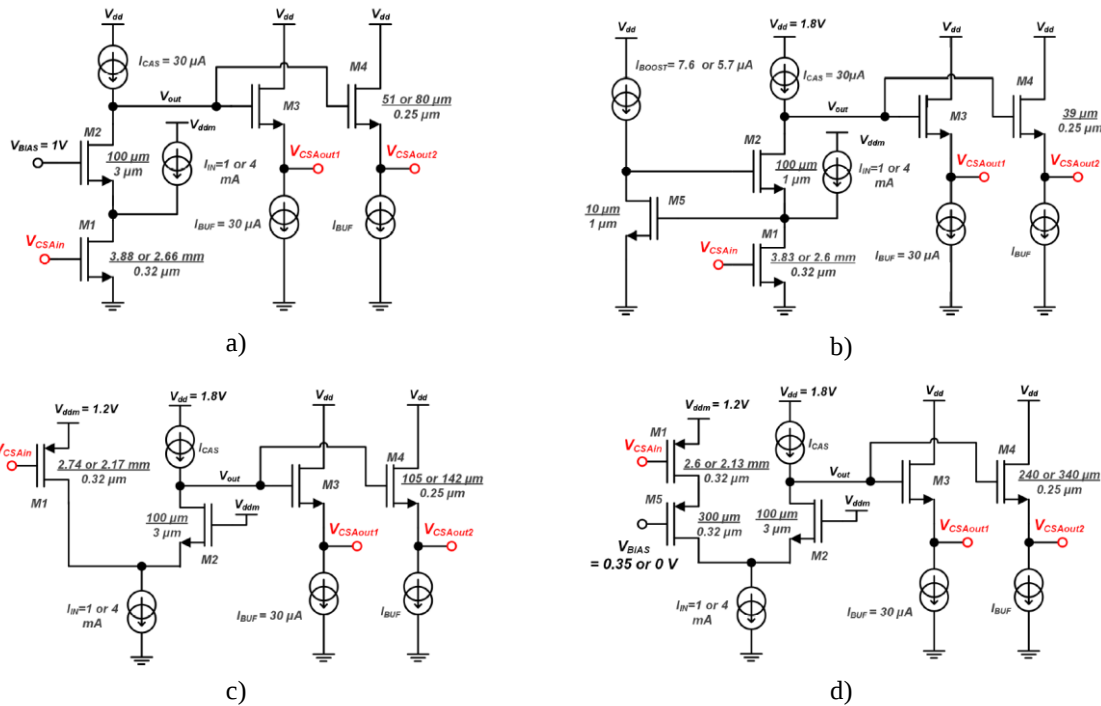
W tym miejscu warto podkreślić, że przedstawiona specyfikacja zawiera szereg wzajemnie przeciwstawnych wymagań, co skutkowało koniecznością wdrożenia zaawansowanych analiz celem realizacji zakładanego układu pomiarowego.

Rysunek 2.1 przedstawia schemat blokowy 128-io kanałowego układu *STS/MuCh-XYTER2* z podziałem na część analogową i cyfrową zaimplementowaną w każdym kanale, a także bloki cyfrowe służące do obsługi danych generowanych przez kanały odczytowe oraz komunikacji z nadrzędnym systemem przetwarzającym dane pomiarowe. Kolorem niebieskim zostały zaznaczone bloki opracowane przez Habilitanta. Pojedynczy kanał odczytowy jest zbudowany ze wzmacniacza ładunkowego CSA, układu odwracania polarności impulsu *PSC* (ang. *Polarity Selection Circuit*) oraz dwóch ścieżek: „szybkiej” (ang. *fast shaper*) do pomiaru znacznika czasowego interakcji padającej cząstki jonizującej i „wolnej” (ang. *slow shaper*) do pomiaru jej energii.



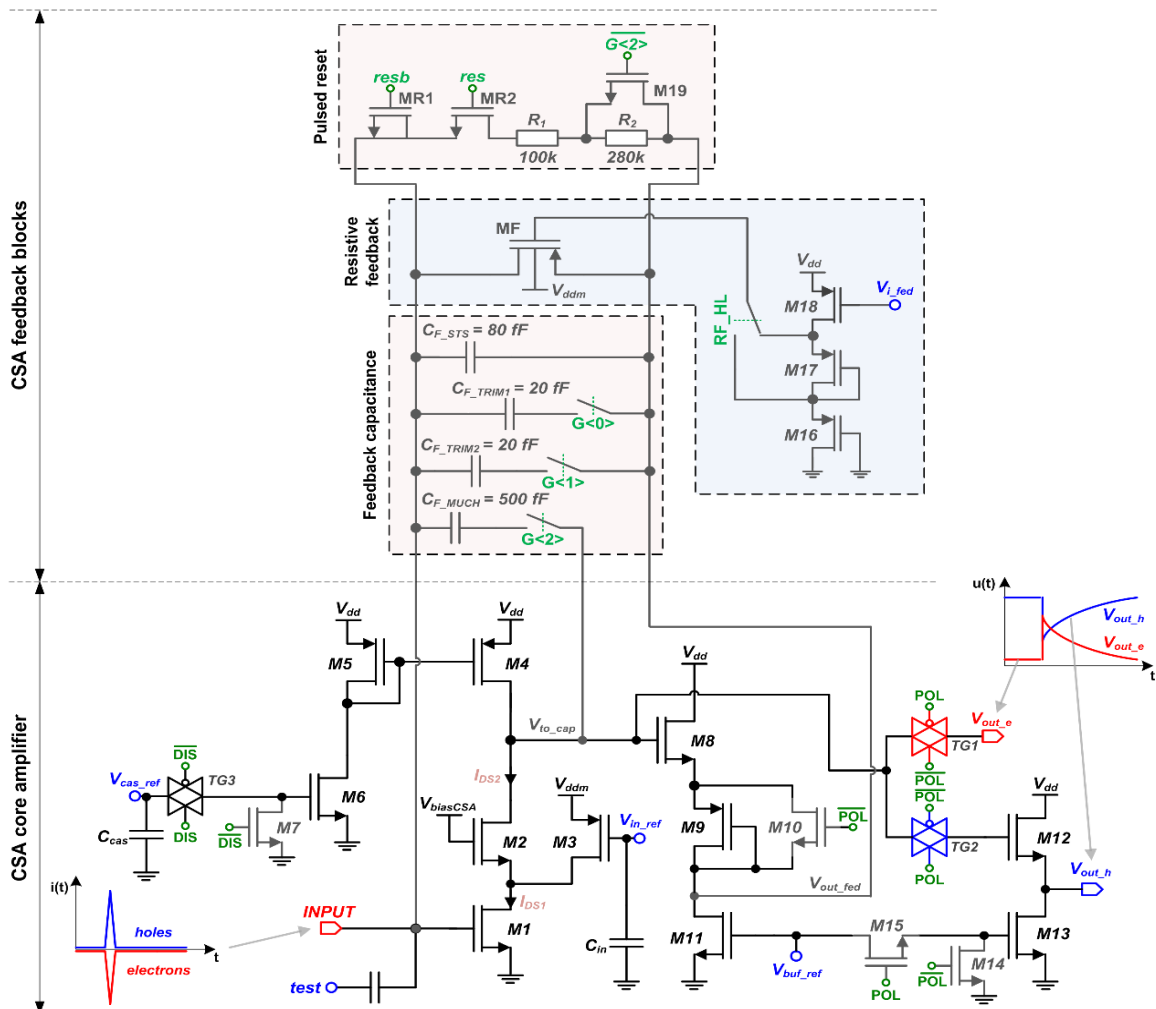
Rys. 2.1. Schemat blokowy układu elektroniki front-end zaimplementowanego w 128-io kanałowym układzie *STS/MuCh-XYTER2* (kolorem niebieskim zaznaczone bloki opracowane przez Habilitanta) [H2].

Wzmacniacz ładunkowy CSA, stanowiący pierwszy blok toru odczytowego, jest elementem niezwykle ważnym, gdyż determinuje on m. in. ilość odebranego ładunku elektrycznego z okładki detektora. Z kolei tranzystor wejściowy wzmacniacza CSA, łączący „świat zewnętrzny” z pozostałą częścią scalonego toru odczytowego, jest jednym z najważniejszych elementów elektronicznych całego toru pomiarowego. Z tego też względu projekt samego wzmacniacza CSA oraz dobór jego tranzystora wejściowego wymaga gruntownej analizy. Autor wniosku na drodze realizacji wymienionych zadań rozważał cztery architektury – dwie z tranzystorem wejściowym typu NMOS (kaskoda oraz kaskoda z techniką podbicia wzmocnienia) oraz dwie z tranzystorem wejściowym typu PMOS (zawinięta kaskoda oraz zawinięta kaskoda z techniką podbicia wzmocnienia) – patrz



Rys. 2.2. Architektury rozważane do zastosowania we wzmacniaczu ładunkowym CSA: a) kaskoda z tranzystorem wejściowym typu NMOS, b) kaskoda z tranzystorem wejściowym typu NMOS z techniką podbicia wzmocnienia, c) zawinięta kaskoda z tranzystorem wejściowym typu PMOS, d) zawinięta kaskoda z tranzystorem wejściowym typu PMOS z techniką podbicia wzmocnienia [H1].

rys. 2.2 [H1]. W rozważanych obwodach elementy elektroniczne przetwarzające sygnał oparto na nominalnych tranzystorach dostępnych w zastosowanej technologii. Na potrzeby wstępnej selekcji założono wartości: prądów tranzystora wejściowego, jego pojemności bramkowej, czasu osiągnięcia wartości szczytowej na wyjściu wzmacniacza CSA oraz dodatkowo dołączono bloki „wolnej” ścieżki celem porównania docelowych parametrów kanału odczytowego (wzmocnienie ładunkowe k_{q_slow} oraz szum ENC_{slow} „wolnej” ścieżki). Otrzymane rezultaty, w zależności od wybranego czasu kształtowania t_{p_slow} „wolnej” ścieżki oraz zastosowanego modelu detektora i kabla



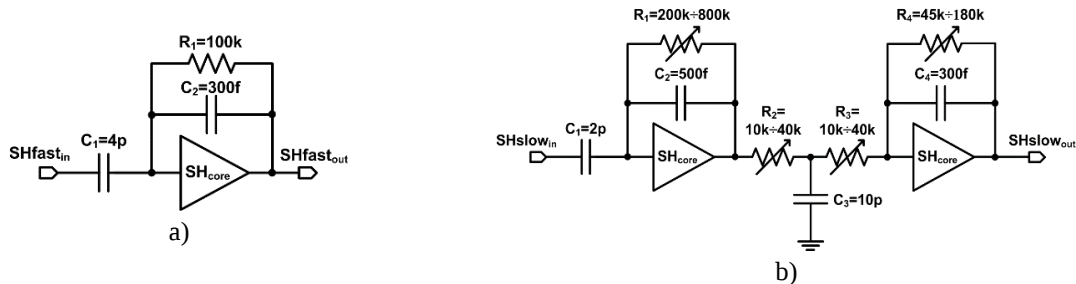
Rys. 2.3. Schemat elektryczny wzmacniacza ładunkowego CSA wraz z zastosowanymi blokami sprzężenia zwrotnego [H2].

połączeniowego, wskazały, że architektura kaskody z tranzystorem wejściowym typu NMOS spełniła wymagania stawiane wzmacniaczowi wejściowemu [H1].

Pełny schemat elektryczny wzmacniacza ładunkowego CSA, wraz z blokami zastosowanymi w sprzężeniu zwrotnym, jest przedstawiony na rys. 2.3. W pętli sprzężenia zwrotnego ulokowano trzy bloki: pojemnościowy, rezystancyjny oraz układ kasowania impulsu (ang. *reset*). Blok pojemnościowy stanowią programowalne kondensatory o wartościach dobranych tak, aby efektywna pojemność C_F spełniła wymagania dotyczące wzmocnienia ładunkowego wzmacniacza CSA k_{q_CSA} oraz zakresu dynamicznego dla danego detektora. Dwie dodatkowe pojemności o wartość 20 fF zostały zastosowane do korekcji wzmocnienia. Z kolei blok rezystancyjny oparto o tranzystor typu PMOS (MF na rys. 2.3) pracujący w zakresie liniowym, który stanowi rezystancję o regulowanej wartości (w zakresie od kilku do kilkuset $M\Omega$, wartość nominalna $R_F = 10 M\Omega$). Układ kasowania impulsu zbudowany jest w oparciu o rezystor o programowalnej wartości (100 $k\Omega$ dla detektora *MuCh* oraz 380 $k\Omega$ dla dektora *STS*). Blok ten aktywowany jest przez dyskryminator dołączony do wyjścia „szybkiej” ścieżki i jest

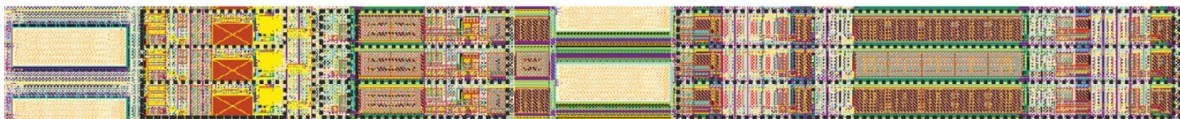
odpowiedzialny za skrócenie w czasie przebiegu wyjściowego wzmacniacza CSA tak, aby nie doprowadzić do nasycenia tego stopnia przy oczekiwanej intensywności impulsów wejściowych. Dodatkowym ograniczeniem było zapewnienie satysfakcjonującego poziomu szumów ENC co przekładało się wprost na dużą wartość rezystancji R_F (wzór 1.3).

Przebieg wyjściowy wzmacniacza CSA kierowany jest do układu odwracania polarności PSC , którego zadaniem jest dostarczenie do kolejnych stopni („szybkiej” i „wolnej” ścieżki) przebiegów o wybranej polarności niezależnie od rodzaju ładunków wejściowych. W projekcie zastosowano dwie równoległe ścieżki przetwarzania sygnału wyjściowego z układu PSC zoptymalizowane pod kątem ich indywidualnych przeznaczeń. „Szybka” ścieżka, wraz z dołączonym do niej komparatorem, ma za zadanie precyzyjnie zatrzasnąć moment przyścia impulsu wejściowego (interakcji cząstki jonizującej z detektorem) oraz sterować układem kasowania impulsu w sprzężeniu zwrotnym wzmacniacza CSA. Bazuje ona na układzie kształtującym typu CR-RC o czasie kształtowania $t_p = 30$ ns dobranym w ten sposób by móc zminimalizować rozmycie szumowe w dziedzinie czasu (ang. *jitter*) oraz efekt wędrowania znacznika czasowego (ang. *time-walk effect*). „Wolna” ścieżka, wraz z dołączonym do niej 5-io bitowym przetwornikiem analogowo-cyfrowym, służy do pomiaru ładunku wejściowego. Jest ona oparta o układ kształtujący typu CR-(RC)² z zaimplementowanym programowanym czasem kształtowania t_p . W układach kształtujących zastosowano wzmacniacz napięciowy oparty na architekturze zawiniętej kaskody.



Rys. 2.4. Architektury układów kształtujących: a) „szybkiego”, b) „wolnego” [H2].

Rys. 2.5 przedstawia plan masek topologicznych trzech kanałów toru odczytowego zaimplementowanego w technologii UMC 180 nm. Wymiary części analogowej pojedynczego kanału wynoszą $58 \mu\text{m} \times 1.9 \text{ mm}$. Aby podolać wymaganiom technicznym, dotyczącym montażu za pomocą mikroprzewodów do elektrod detektora, pady wejściowe zostały ułożone naprzemiennie w dwóch kolumnach. Wszystkie tranzystory typu NMOS w części analogowej zostały narysowane według techniki *ELT* (ang. *Enclosed Layout Transistor*), dzięki której zwiększona została odporność układu na wpływ efektów radiacyjnych.



Rys. 2.5. Plan masek topologicznych analogowej części toru odczytowego zaimplementowanego w układzie scalonym STS/MuCh-XYTER2 – na rysunku przedstawiono 3 kanały.

Wyniki pomiarowe opisywanego układu scalonego zostały zawarte we wspólnej pracy naukowców z AGH oraz z ośrodka GSI (Niemcy), gdzie oprócz wyników związanych z częścią analogową, znajdują się także rezultaty pomiarowe związane z dalszymi stopniami przetwarzania oraz częścią cyfrową [21] – patrz Tab. 2.1. Pobór mocy przez pojedynczy kanał wynosił 8 mW przy prądzie tranzystora wejściowego wzmacniacza CSA $I_{DS} = 2$ mA. „Szybki” układ kształtujący posiadał liniową charakterystykę do około $q_{in} = 4$ fC, co było wystarczające aby odpowiednio ustawić próg porównawczy tej ścieżki w celu wyznaczenia znacznika czasowego momentu przyjścia ładunku wejściowego. Błąd liniowości „wolnej” ścieżki, dla wymaganego zakresu ładunków wejściowych, był na poziomie 1%, a zmierzone wartości czasów kształtowania t_p wynosiły kolejno: 90 ns, 180 ns, 262 ns oraz 332 ns. Zależności szumów ENC ścieżek przetwarzania impulsów w funkcji pojemności detektora C_{DET} wynosiły: $ENC = 583 \text{ e}^- \text{ rms} + C_{DET} \times 44 \text{ e}^- \text{ rms/pF}$ dla „szybkiej” ścieżki oraz $ENC = 538 \text{ e}^- \text{ rms} + C_{DET} \times 27 \text{ e}^- \text{ rms/pF}$ dla „wolnej” ścieżki. Załączenie resetu powodowało powrót przebiegu wyjściowego CSA do poziomu linii bazowej w czasie około 300 ns, co w połączeniu z czasami potrzebnymi na powrót do linii bazowej przebiegów wyjściowych układów kształtujących oznaczało, że maksymalna średnia częstotliwość impulsów wejściowych akceptowalna przez tor odczytowy wynosiła 500 kHz, tym samym dwukrotnie przekraczając stawiane układowi wymaganie.

Tab. 2.1. Zmierzone analogowe parametry układu STS/MuCh-XYTER2 [21].

Parameter	Value
Maximum input charge frequency	approx. 500 kHz
Power consumption:	1.023 W/chip @ $I_d = 2$ mA 8 mW/channel
Offset spread of fast channel	1.12 mV rms/0.015 fC rms (after correction)
Gain	
Fast shaper (STS)	73 mV/fC
Slow shaper (STS)	32.7 mV/fC
Gain spread:	
Fast shaper	0.8%
Slow shaper	0.5% (after calibration)
ENC (Equivalent Noise Charge)	
Fast shaper	$44 \text{ e}^-/\text{pF} + 583 \text{ e}^- \text{ rms}$
Slow shaper	$27 \text{ e}^-/\text{pF} + 538 \text{ e}^- \text{ rms}$
Slow shaper peaking time [ns]	90/180/262/332

Podsumowując temat rozwoju wielokanałowego scalonego układu ASIC dedykowanego od odczytu detektorów paskowych można stwierdzić, że ze względu na specyfikację łączącą przeciwstawne wymagania sprostanie im w jednym projekcie było skomplikowanym zadaniem. Jednakże, zastosowanie rdzenia wzmacniacza CSA umożliwiającego pracę z ładunkami wejściowymi o polarności dodatniej bądź ujemnej, układu kasowania impulsu, programowalnego wzmocnienia oraz czasu kształtowania dla zadanego poziomu rozpraszanej mocy i powierzchni krzemu zajmowanej przez układ pozwoliło z naddatkiem spełnić wymagania projektowe i osiągnąć satysfakcjonujące rezultaty pomiarowe, które zostały zaakceptowane przez międzynarodową kolaborację

działającą w ramach eksperymentu *CBM* (układ *STS/MuCh-XYTER2* zostanie zastosowany dla potrzeb tego eksperymentu).

3. Prace badawcze związane z rozwojem pełnowymiarowego wielokanałowego układu scalonego do odczytu detektorów pikselowych, o bardzo niskiej wartości szumów *ENC* i pracującego z intensywnością promieniowania rzędu kilkuset tysięcy zliczeń na sekundę na kanał

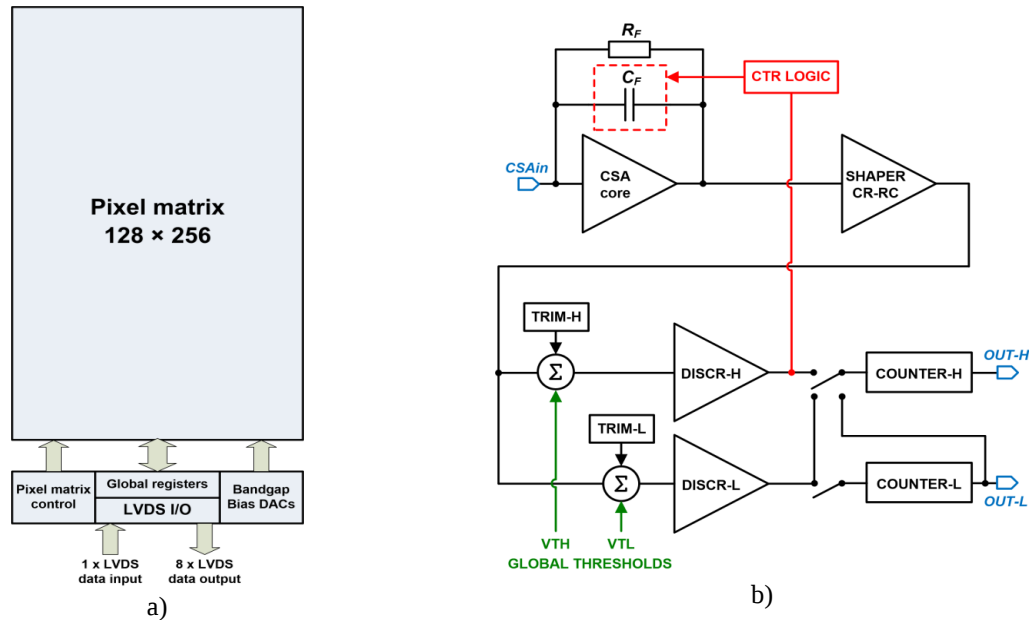
[H3] **R. Kleczek**, P. Kmon, P. Maj, R. Szczygieł, M. Żołądz, P. Gryboś, „*Single Photon Counting Readout IC With 44 e⁻ rms ENC and 5.5 e⁻ rms Offset Spread With Charge Sensitive Amplifier Active Feedback Discharge*”, IEEE Transactions on Circuits and Systems I: Regular Papers, May 2023, vol. 70, no. 5, s. 1882–1892.

[C1] **R. Kleczek**, P. Kmon, P. Maj, R. Szczygieł, P. Gryboś, Y. Nakaye, T. Sakumura, T. Takeyoshi, „*SPC pixel IC with 9.4 e⁻ rms offset spread, 60 e⁻ rms ENC and 70 kfps frame rate*”, IEEE 45th European Solid State Circuits Conference ESSCIRC, 24-26 September 2019, Cracow.

Rozwój hybrydowych detektorów pikselowych podąża obecnie w różnych kierunkach. Dla niektórych aplikacji pomiarowych najbardziej pożądanymi parametrami jest niska wartość szumów oraz wysoka jednorodność parametrów całej matrycy odczytowej. Z kolei dla innych rodzajów aplikacji charakterystyka szybkości zliczania jest najważniejszym parametrem. Należy dodatkowo mieć na uwadze, że w przypadku układów pikselowych, posiadających kilkadziesiąt tysięcy torów odczytowych, pobór mocy musi być stosunkowo niewielki, aby nie doprowadzić do przegrzania struktury – w przeciwnym wypadku istnieje konieczność stosowania układu chłodzenia, co znacznie komplikuje budowę modułu detekcyjnego. Niniejszy rozdział przedstawia opis wielokanałowego układu scalonego *LNPIX* (ang. *Low Noise PIXel*), którego wymagania stanowią kompromis najważniejszych wymagań z dwóch wyżej opisywanych grup. Układ *LNPIX* jest dedykowany do odczytu półprzewodnikowych detektorów pikselowych pracujących z intensywnością promieniowania rzędu kilkuset kcps/kanał przy jednocześnie niskiej wartości szumów *ENC* < 50 e⁻ rms, dzięki czemu może stanowić rdzeń szybkiej kamery promieniowania X pozwalającej na selekcję fotonów na podstawie ich energii. Ze względu na wymaganie niskich szumów *ENC* docelowy układ miał być znacznie lepszy niż rozwiązania istniejące na rynku i prezentowane w literaturze przedmiotu, tak aby mógł w przyszłości zostać zastosowany w produkcie komercyjnym i wejść na rynki światowe. Należy podkreślić, że tak ambitny cel badań nie byłby możliwy bez znaczącego wsparcia ze strony Narodowego Centrum Nauki (NCN, Polska) oraz dwóch projektów realizowanych na zlecenie firmy Rigaku Corporation (Japonia), w których Habilitant odgrywał znaczącą rolę. Badania w tym zakresie Autor wniosku prowadził nie tylko w AGH, ale również w Detector Development Group X-ray Instrumentation Division w Japonii, która jako lider w tym zakresie na świecie dysponuje unikalną aparaturą naukowo-badawczą.

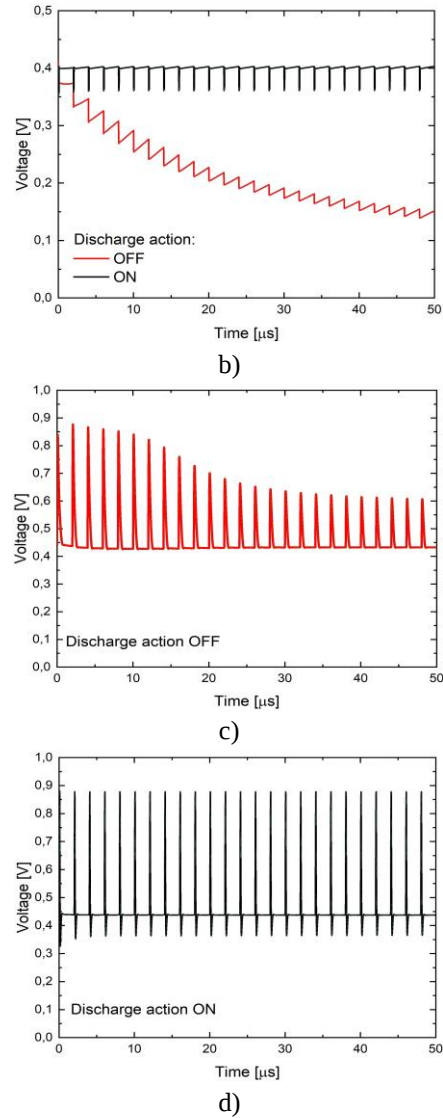
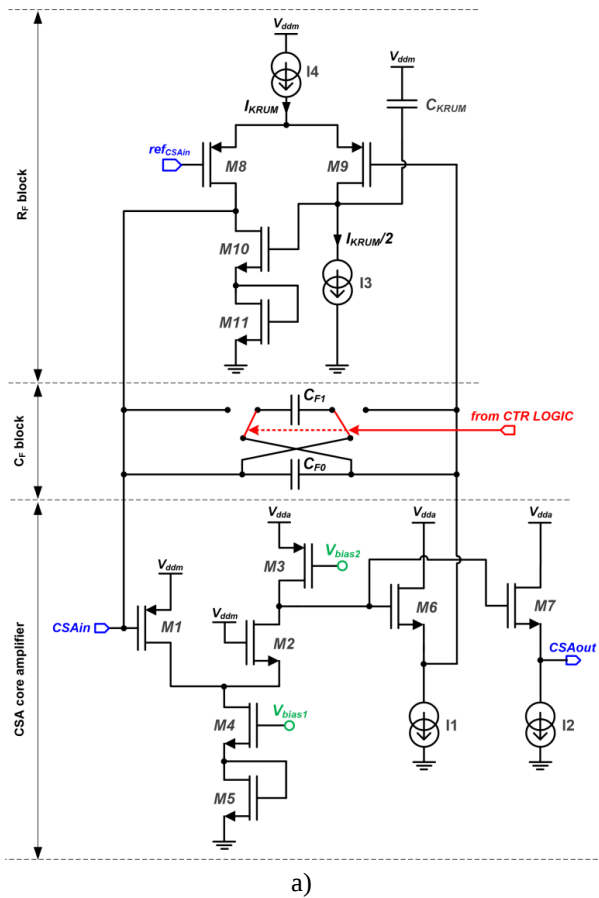
W ramach prac badawczych, adresujących powyższe zagadnienia, zaprojektowano dwa układy scalone z rodziny *LNPIX*, które zostały zaimplementowane w technologii TSMC 130 nm CMOS. Pierwsza wersja układu ma wymiar 9.6 mm × 14.1 mm, a jej rdzeniem jest matryca 128 × 176 kwadratowych pikseli o wymiarze 75 μm × 75 μm [C1]. Zaimplementowany w niej nowy sposób kasowania impulsów oraz obiecujące rezultaty pomiarowe zaowocowały drugą

wersją układu. Układ scalony *LNPIX* w wersji drugiej ma powierzchnię $9.6 \text{ mm} \times 20.1 \text{ mm}$, a jego rdzeniem jest matryca 128×256 pikseli (rys. 3.1a) [H3]. Pojedynczy piksel (rys. 3.1b) zbudowany jest ze wzmacniacza ładunkowego CSA, układu kształtującego typu CR-RC o czasie kształtowania $t_p = 100 \text{ ns}$, dwóch dyskryminatorów (*High* i *Low*) wraz z przetwornikami cyfrowo-analogowymi (*trimDAC*) służącymi do korekcji napięć niezrównoważenia dyskryminatorów (ang. *offset*) oraz dwóch 14-o bitowych asynchronicznych liczników binarnych (*High* i *Low*). W trakcie odczytu matrycy liczniki w danej kolumnie połączone są w formie rejestru przesuwanego, z którego dane, poprzez rejestr główny, przesyłane są do systemu nadrzędnego za pomocą układów wejścia/wyjścia pracujących w standardzie LVDS (znajdujących się w dolnej/peryferyjnej części układu scalonego). Rozmieszczenie bloków w opisany sposób (matryca + układy peryferyjne) pozwala na połączenie układu z trzech stron (ang. *3 side buttable*) z innymi układami *LNPIX* w celu budowy wielomodułowego systemu detekcyjnego. W ramach omawianego projektu Habilitant był odpowiedzialny za projekt części analogowej toru odczytowego oraz współuczestniczył w pomiarach związanych z szybkością działania układu.



Rys. 3.1. Układ scalony *LNPIX*: a) schemat blokowy całego układu, b) schemat blokowy pojedynczego piksela [H3].

Zastosowanie dwóch dyskryminatorów pozwala na rejestrację promieniowania w określonym przedziale energetycznym, co znajduje zastosowanie w aplikacjach spektrometrycznych. Pomiar energii cząstki jonizującej obarczony małym błędem wymaga od układu odczytowego niskiego poziomu szumów *ENC*, co niesie konieczność ustawienia długiej stałej czasowej $\tau_F = R_F \cdot C_F$ (wzór 1.3) pętli sprzężenia zwrotnego wzmacniacza CSA oraz długiego czasu kształtowania t_p (wzór 1.5). Jest to jednakże sprzeczne z możliwością pracy układu z dużą intensywnością impulsów wejściowych. W opisywanym rozwiązaniu, ze względu na wymagania szybkościowe, układ kształtujący ma czas $t_p = 100 \text{ ns}$, co pozwala aproksymować szумы *ENC* toru odczytowego według formuły:



Rys. 3.2. a) Rdzeń wzmacniacza ładunkowego CSA oparty na architekturze zawiniętej kaskody, b) przebiegi wyjściowe wzmacniacza CSA dla włączonego/wyłączonego układu resetu; oraz przebiegi wyjściowe układu kształtującego dla: c) wyłączonego, d) włączonego układu resetu [H3].

$$ENC \approx \sqrt{\frac{1}{q^2} \left(\frac{n_{nw}^2 \cdot C_{tot} \cdot N_w}{t_p} + i_n^2 \cdot t_p \cdot N_i \right)} \quad (3.1)$$

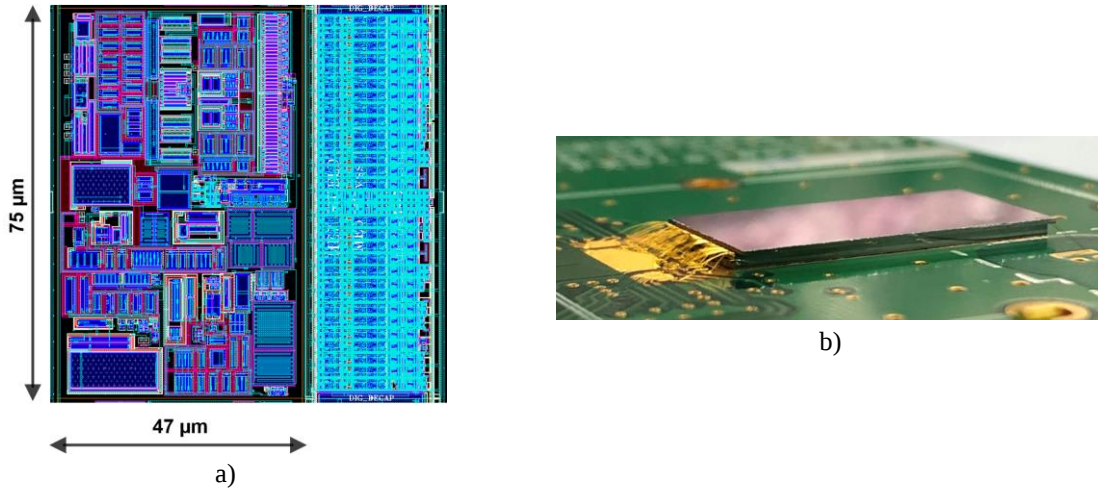
gdzie N_w i N_i to współczynniki szumowe zależne od transmitancji układu kształtującego równe 0.92 dla filtru typu CR-RC [7]. W rozważanym przypadku zmniejszenie wartości szumów ENC jest możliwe tylko poprzez szczegółową analizę szumową rdzenia wzmacniacza ładunkowego CSA. Rdzeniem tego stopnia jest wzmacniacz napięciowy oparty o architekturę zawiniętej kaskody z tranzystorem wejściowym typu PMOS. Transkonduktancje g_m tranzystorów z gałęzi kaskody oraz źródeł prądowych zostały zminimalizowane w celu ograniczenia ich wpływu na wartość szumu toru odczytowego.

Celem wypracowania kompromisu pomiędzy szybkością przetwarzania impulsów wejściowych a wysoką rozdzielczością energetyczną toru pomiarowego, Habilitant opracował nowatorską metodą kasowania przebiegu wyjściowego wzmacniacza CSA. Sprzężenie zwrotne wzmacniacza CSA zawiera blok pojemnościowy C_F złożony z dwóch równolegle połączonych pojemności $C_{F0} = C_{F1} = 4$ fF oraz blok rezystancyjny R_F oparty o zmodyfikowany układ Krummenachera (rys. 3.2a) [22]. Z punktu widzenia analizy małosygnałowej układ ten jest równoległym połączeniem rezystora o efektywnej wartości $R_F = 2/g_{m8}$ (zakładając, że $g_{m8} = g_{m9}$) oraz cewki $L_F = 2 \cdot C_{KRUM} / (g_{m9} \cdot g_{m10})$ umożliwiającej kompensację prądu upływu detektora I_{leak} wpływającego do drenu tranzystora M10. Aby ograniczyć wpływ bloku rezystancyjnego na szum toru odczytowego efektywna wartość R_F powinna być duża (wzór 1.3). W omawianym przykładzie $I_{KRUM} = 0.2$ nA determinuje efektywną wartość $R_F = 0.6$ G Ω , co w połączeniu z wartością $C_F = 8$ fF daje stałą czasową τ_F pętli sprzężenia wzmacniacza CSA rzędu kilku μ s. Ten rząd wielkości stałej czasowej oznacza nasycenie wzmacniacza CSA już po kilku impulsach wejściowych pojawiających się z częstotliwością $f_{in} = 500$ kHz (rys. 3.2b), co nie jest akceptowalne z punktu widzenia nowoczesnych systemów spektrometrycznych. Dlatego też, aby umożliwić pracę układu z większą częstotliwością impulsów wejściowych, przebieg napięciowy wzmacniacza CSA został skrócony w czasie. Typową techniką przyspieszania pracy wzmacniacza CSA była znana do tej pory metoda polegająca na chwilowym załączeniu równolegle z blokiem rezystancyjnym rezystora o mniejszej wartości. Jednak w przypadku pracy z bardzo dużą efektywną wartością rezystancji R_F oraz prądem upływu detektora I_{leak} powstaje różnica stałoprądowych poziomów napięć chwilowych na wyjściu wzmacniacza CSA, co skutkuje powrotem do poziomu bazowego charakteryzującym się długą stałą czasową. **W celu przyspieszenia tego powrotu Habilitant opracował technikę podwójnej akcji kasowania (zwaną w publikacji [H3] jako *discharge action*),** wyzwalaną przez dyskryminator *High*, sterujący blokiem kontrolnym (CTR LOGIC). Dodatkowy blok kontrolny ma za zadanie opóźnić względem zbocza dyskryminatora oraz wygenerować impuls o zadanym czasie trwania sterujący przełączaniem elektrod kondensatora C_{F1} według następującej kolejności:

- odłączenie okładek od pierwotnie dołączonych do nich węzłów,
- połączenie okładek odwrotnie do ich pozycji wyjściowej na kilka/kilkanaście ns,
- odłączenie okładek od ich obecnej/odwrotnej pozycji,
- połączenie okładek do ich pierwotnej pozycji.

Technika ta umożliwia powrót do poziomu bazowego przebiegu wyjściowego CSA w czasie rzędu kilkudziesięciu ns (rys. 3.2b i 3.2d), dzięki czemu zarówno stopień wejściowy jak i układ kształtujący mogą pracować zarówno z wyższą intensywnością padających cząstek jak i dodatkowo zapewnić niskoszumny pomiar energii. Skuteczne sterowanie akcją kasowania impulsu niezależnie w każdym kanale wymaga szeregu analiz na poziomie symulacji post-ekstrakcyjnej. Pozwalają one zminimalizować/wyeliminować wpływ niepożądanych elementów pojemnościowych występujących pomiędzy różnymi warstwami technologicznymi układu scalonego.

Plan masek topologicznych pojedynczego piksela, składającego się z części analogowej i cyfrowej, zaimplementowanego w technologii TSMC 130 nm CMOS, przedstawiony jest na rys. 3.3a. Wymiary piksela wynoszą $75 \mu\text{m} \times 75 \mu\text{m}$, a części analogowej $75 \mu\text{m} \times 47 \mu\text{m}$. Wyprodukowany układ scalony został przetestowany wraz z dołączonym do niego zbierającym dziury detektorem krzemowym o grubości $320 \mu\text{m}$ i spolaryzowanym napięciem 270 V (rys. 3.3b). Dla nominalnych napięć zasilania i ustawień pobór mocy przez pojedynczy piksel wynosił $42 \mu\text{W}$.

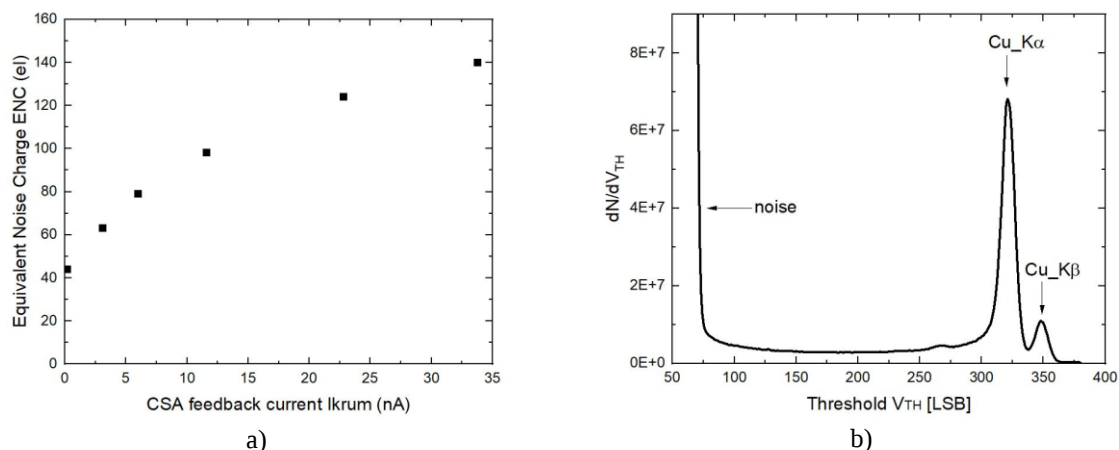


Rys. 3.3. Układ scalony LNPIX: a) plan masek topologicznych pojedynczego piksela (część analogowa oraz cyfrowa), b) zdjęcie układu z dołączonym do niego detektorem krzemowym [H3].

Warto wspomnieć, że w przypadku aplikacji spektrometrycznej ważnym aspektem jest jednorodność pozycji poziomów bazowych/napięć niezerównoważenia i wzmocnień. Przekłada się to bezpośrednio na położenie pików energetycznych (stanowiących o energii promieniowania) na skanach napięciem progowym (ang. *threshold scan*) rejestrowanych przez wszystkie kanały odczytowe matrycy, których rozmycie σ_E może być wyrażone zależnością:

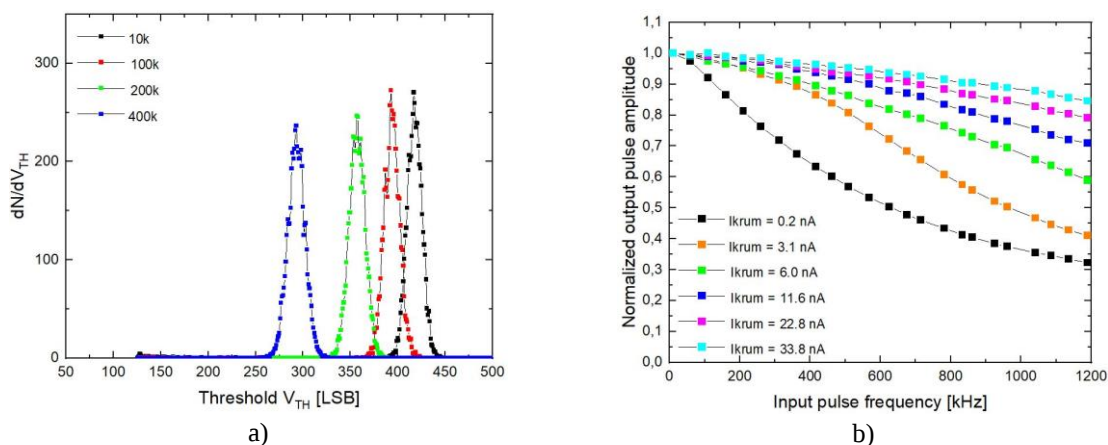
$$\sigma_E^2 = \sigma_{offset}^2 + \left(k_q \cdot \sigma_{kq} \cdot \frac{E}{3.64} \right)^2 \quad (3.2)$$

gdzie: σ_{offset} – rozrzut napięć niezerównoważenia na wejściach dyskryminatorów, k_q – wzmocnienie ładunkowe kanału, σ_{kq} – rozrzut wzmocnienia ładunkowego, E – energia promieniowania, 3.64 eV/el. – współczynnik konwersji energii promieniowania na ładunek elektryczny dla detektora krzemowego. Dominującym składnikiem rozmycia energetycznego σ_E jest rozrzut napięć niezerównoważenia σ_{offset} , który można zmniejszyć za pomocą niezależnego sterowania każdego z *trimDAC*-ów dołączonych do wejść dyskryminatorów. **Po przeprowadzeniu korekcji napięć niezerównoważenia $\sigma_{offset} = 0.85 \text{ mV}$, co w przeliczeniu na wejście toru odczytowego wynosi zaledwie $5.5 \text{ e}^- \text{ rms}$ i stanowi najlepszy spotykany dotychczas w literaturze przedmiotu rezultat.** Dodatkowo, zastosowanie korekcji wzmocnień pozwala uzyskać jednorodne odpowiedzi we wszystkich pikselach matrycy, co umożliwi ustawienie wspólnego progu referencyjnego. Układ LNPIX charakteryzuje się niskim poziomem szumów *ENC*, których zależność, w funkcji prądu I_{KRM} polaryzującego wejściową parę różnicową bloku rezystancyjnego R_F , jest przedstawiona na rys. 3.4a. **W tym miejscu trzeba podkreślić, że osiągnięcie bardzo małej**



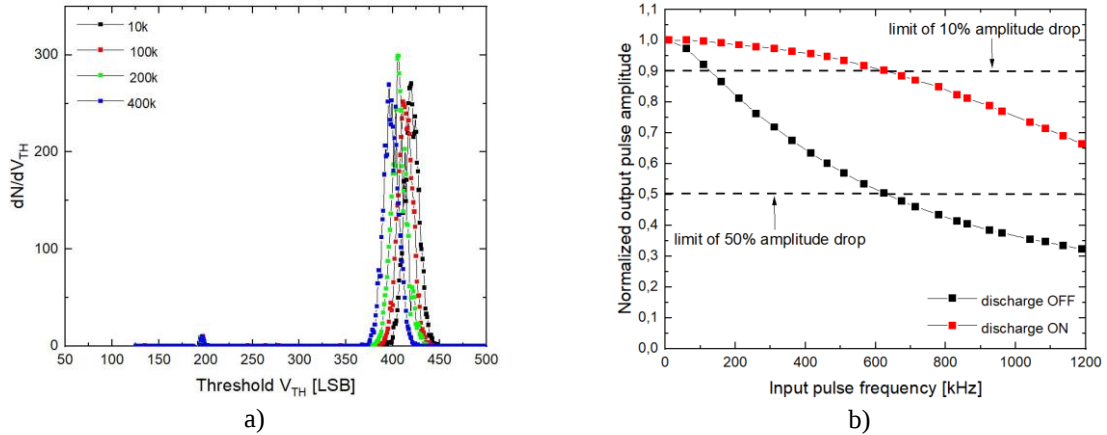
Rys. 3.4. a) Zmierzona wartość szumów ENC w funkcji prądu I_{KRUM} polaryzującego wejściową parę różnicową bloku rezystancyjnego R_F , b) widmo różniczkowe sumy skanów napięciem progowym wszystkich pikseli – można rozróżnić linie energetyczne miedzi $Cu_K\alpha$ i $Cu_K\beta$ [H3].

wartości szumów $ENC = 44\text{ e}^-$ rms w połączeniu z niewielkimi wartościami rozrzutów σ_E i σ_{offset} dało możliwość obserwacji i rozróżnienia dwóch pików linii energetycznych miedzi na widmie różniczkowym sumy skanów napięciem progowym wszystkich pikseli (rys. 3.4b). Linie energetyczne $Cu_K\alpha$ i $Cu_K\beta$ odległe są od siebie jedynie o $\Delta E = 860\text{ eV}$, co jest równoważne różnicy w ładunku wygenerowanym w detektorze $\Delta Q = 236\text{ e}^-$. Szybkość działania układu została zweryfikowana za pomocą femtosekundowego lasera Calmar OPP-UTF01 o długości fali $\lambda = 1060\text{ nm}$ oraz regulowanej częstotliwości w zakresie od 10 kHz do 1.2 MHz . Pojedynczy foton generował w zastosowanym krzemowym detektorze ładunek $q_{in} \approx 2400\text{ e}^-$. W przypadku stosowania typowego rozwiązania służącego przywracaniu wyjściowego poziomu bazowego wzmacniacza CSA (w postaci rezystancyjnego sprzężenia zwrotnego), zwiększając częstotliwość impulsów wejściowych pik energetyczny przesuwa się w kierunku niższych wartości napięcia progowego, co efektywnie wpływa na zmniejszenie amplitudy rejestrowanych fotonów (rys. 3.5a). Jest to spowodowane tym, że wartość stałej czasowej τ_F pętli sprzężenia zwrotnego



Rys. 3.5. a) Widma różniczkowe dla wybranego kanału, $I_{KRUM} = 0.2\text{ nA}$ i wyłączonego układu kasowania w zależności od częstotliwości impulsów wejściowych q_{in} , b) znormalizowana wartość amplitudy analogowego przebiegu wyjściowego w funkcji prądu I_{KRUM} oraz częstotliwości impulsów wejściowych q_{in} [H3].

wzmacniacza CSA rzędu kilku μs wpływa na spiętrzanie się impulsów wejściowych podczas pracy z ich dużym natężeniem. Powoduje to przesunięcie poziomu bazowego napięcia wyjściowego wzmacniacza CSA, a w konsekwencji zmniejszenie jego wzmocnienia ładunkowego (rys. 3.5b). Efekt ten jest mniej widoczny gdy pojemność C_F w pętli sprzężenia zwrotnego wzmacniacza CSA jest rozładowywana w krótszym czasie, co wymaga zmniejszenia wartości R_F poprzez podniesienie prądu I_{KRUM} , co z kolei skutkuje wyższą wartością szumu ENC . **Dzięki zastosowaniu przez Habilitanta nowego układu kasowania przebiegu wyjściowego wzmacniacza CSA istnieje zarówno możliwość pracy z wyższymi częstotliwościami impulsów wejściowych jak i zachowanie jednocześnie niskiej wartości szumu ENC przy praktycznie niezmienniej pozycji piku energetycznego (rys. 3.6a). Załączony układ kasowania pozwala poprawić szybkość zliczania impulsów niemalże pięciokrotnie (w porównaniu do pracy układu bez załączonej akcji kasowania impulsu - patrz rys. 3.6b), co dowodzi skuteczności zaimplementowanego rozwiązania podnoszącego częstotliwość zliczeń padających fotonów przy braku degradacji rozdzielczości energetycznej kanału pomiarowego.**



Rys. 3.6. a) Widma różniczkowe dla wybranego kanału, $I_{KRUM} = 0.2 \text{ nA}$ i włączonego układu kasowania w zależności od częstotliwości impulsów wejściowych q_{in} , b) znormalizowana wartość amplitudy analogowego przebiegu wyjściowego w funkcji prądu I_{KRUM} oraz częstotliwości impulsów wejściowych q_{in} [Hz].

Przedstawiony w niniejszym rozdziale pełnowymiarowy wielokanałowy układ scalony *LNPIX*, dedykowany do odczytu półprzewodnikowych detektorów pikselowych, osiągnął parametry konkurencyjne na tle innych rozwiązań układowych (Tab. 3.1). Najniższy w literaturze zagadnienia poziom szumów ENC w połączeniu z niewielkimi rozrzutami napięć niezrównoważenia oraz wzmocnienia ładunkowego przełożył się na bardzo dobrą rozdzielczość energetyczną $FWHM = 380 \text{ eV}$ (ang. *Full Width at Half Maximum*) osiągniętą przy pracy z promieniowaniem o energii 8 keV z detektorem krzemowym.

Tab. 3.1. Porównanie parametrów układu *LNPIX* z innymi pikselowymi wielokanałowymi układami scalonymi ASIC pracującymi w trybie zliczania pojedynczych fotonów SPC [H3].

Chip	Medipix3 [23]	Timepix3 [24]	PIXI-III [25]	Eiger [26]	IBEX [9]	UFXC32k [27]	LNPIX [H3]
Technology	130 nm	130 nm	160 nm	250 nm	110 nm	130 nm	130 nm
Chip area [mm ²]	15.9 × 14.1	16.1 × 14.1	32 × 25	19.3 × 20.1	19.3 × 19.8	9.6 × 20.1	9.6 × 20.1
Buttable sides	3	3	2 (only)	3	3	3	3
Pixel matrix	256 × 256	256 × 256	512 × 402	256 × 256	256 × 256	128 × 256	128 × 256
Pixel size [μm ²]	55 × 55	55 × 55	62 × 62	75 × 75	75 × 75	75 × 75	75 × 75
Counters × bits/pixel	2 × 12 bits	PC – 10 bits ToT – 14 bits	2 × 15 bits	1 × 12 bits	2 × 16 bits	2 × 14 bits	2 × 14 bits
Offset [e ⁻ rms]	37.5	31	30	20	14	8.5	5.5
Noise[e ⁻ rms] (gain mode)	80 (high gain)	61	50	110 (high gain) 175 (low gain)	89 (ult. high gain) 150 (med. gain)	123 (slow) 235 (fast)	44
Energy resolution [FWHM @ energy, detector]	1.37 keV @ 10keV, Si	0.72 keV @ 10.5keV, Si	1.61 keV @ 20keV, CdTe	N.S.	0.85 keV @ 8keV, Si	1.5 keV @ 9.9keV, Si	0.38 keV @ 8keV, Si
Pixel dead time [ns]	400	NS	1000	510 (high gain) 128 (low gain)	100 (low gain)	232 (slow) 85 (fast)	176*
10% dead time loss input rate [#] [Mcps/mm ²] for @Threshold/Energy	87 @ Th/E=0.7	0.43 @ Th/E=0.5	28.9 @ Th/E=0.5	146 @ Th/E=0.5	187 @ Th/E=0.5	220 @ Th/E=0.5	107* @ Th/E=0.9
Max frame rate [kfps] (read bits)	2 (12-bits)	Data driven readout	0.5 (NS)	~23 (4-bits)	NS	23 (2-bits)	70 (2-bits)
Power/pix.[μW]	7.5	15.2	34	8.8	8	26	42

[#] calculated using minimum dead time, pixel size and assuming $N_{OUT}/N_{IN} = 0.9$ according to the formula: $N_{OUT} = N_{IN} \cdot \exp(-N_{IN} \cdot \tau_p)$

* tested with the laser pulses – see Section III (Measurements)



a)



b)

Rys. 3.7. Kamera promieniowania X o nazwie XSPA-400 ER oferowana przez firmę Rigaku Corporation:

a) moduł detekcyjny wraz układami pośrednimi do komunikacji z systemem nadrzędnym umieszczony w jednej obudowie b) moduł detekcyjny umieszczony na ramieniu w systemie dyfrakcyjnym SmartLab [28].

Nowatorska metoda kasowania przebiegu wyjściowego wzmacniacza ładunkowego CSA, przyspieszająca działanie elektroniki front-end, pozwoliła na pracę układu z intensywnością padających fotonów wynoszącą 107 Mcps/mm² (na podstawie parametru 10%-owej straty liczenia impulsów wejściowych przy bardzo restrykcyjnym ustawieniu progu dyskryminacji wynoszącym 90% energii padającego promieniowania (Th/E = 0.9), co jest zdecydowanie trudniejsze niż przy progu wynoszącym 50% energii), co zostało zweryfikowane przez Habilitanta eksperymentalnie w trakcie prowadzonych testów w AGH

w Krakowie oraz w Rigaku Corporation w Tokio (Japonia). Warto w tym miejscu podkreślić, że dzięki zastosowanym metodom projektowym, układ scalony *LNPIX* posiada wyróżniającą w skali światowej rozdzielczość energetyczną przy równoczesnej zdolności rejestracji wiązki o dużej intensywności, dzięki czemu jego finalna wersja została zaadoptowana w komercyjnej kamerze promieniowania X o nazwie XSPA – 400 ER opracowanej przez firmę Rigaku Corporation (rys. 3.7) [28]. Kamera ta jest unikalnym narzędziem badawczym w aplikacjach typu *XRD* (ang. *x-ray diffraction*), przeznaczonym do badań materiałowych stosowanych przykładowo do nowo opracowywanych baterii litowo-jonowych [29].

4. Prace badawcze związane z rozwojem prototypowych układów scalonych dedykowanych do odczytu detektorów pikselowych pracujących z intensywnością promieniowania rzędu kilkudziesięciu milionów zliczeń na sekundę na kanał

[H4] **R. Kleczek**, “Design of fast signal processing readout front-end electronics implemented in CMOS 40 nm technology”, Journal of Instrumentation, vol. 11, Dec. 2016, C12001.

[H5] **R. Kleczek**, P. Gryboś, R. Szczygiał, P. Maj, „Single photon-counting pixel readout chip operating up to 1.2 Gcps/mm² for digital X-ray imaging systems”, IEEE Journal of Solid-State Circuits, 2018 vol. 53 no. 9, s. 2651–2662.

[H6] **R. Kleczek**, P. Kmon, “Comparative analysis of the readout front-end electronics implemented in deep submicron technologies”, Journal of Instrumentation, vol. 13, Nov. 2018, C11002.

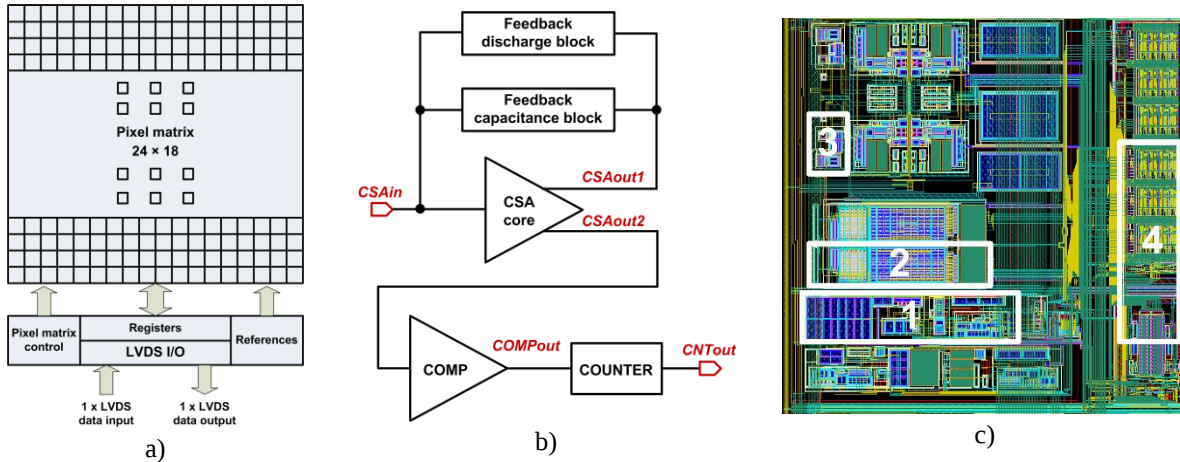
[H7] P. Gryboś, **R. Kleczek**, P. Kmon, P. Otfinowski, P. Fajardo, D. Magalhaes, M. Raut „SPHIRD - Single Photon Counting Pixel Readout ASIC with Pulse Pile-up Compensation Methods”, IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 70, no. 9, pp. 3248-3252, Sept. 2023.

[C2] **R. Kleczek**, P. Gryboś, R. Szczygiał, „Charge sensitive amplifier for nanoseconds pulse processing time in CMOS 40 nm technology”, IEEE 22nd International Conference Mixed Design of Integrated Circuits & Systems MIXDES 2015, 25-27 June, Torun.

Trzecią ścieżką badawczą podejmowaną przez Habilitanta jest rozwój hybrydowych detektorów pikselowych pracujących w trybie zliczania pojedynczych fotonów SPC z intensywnością promieniowania rzędu kilkudziesięciu Mcps/kanał. Budowane obecnie systemy detekcyjne, stosowane do obrazowania medycznego lub aplikacji synchrotronowych, stawiają wymagania możliwości pracy z natężeniem promieniowania rzędu kilku/kilkunastu Gcps/mm², co determinuje czas przetwarzania impulsu t_w przez bloki analogowe rzędu 20 ns. Mając na uwadze pozostałe ograniczenia związane z układami odczytowymi (jak pobór mocy przez pojedynczy kanał czy też jednorodność parametrów) osiągnięcie wskazanego czasu przetwarzania impulsu jest wymagającym zadaniem. Należy podkreślić, że prace nad ultra-szybkimi rozwiązaniami dla układów typu SPC wymagają dostępu do specjalistycznych źródeł promieniowania, jakimi są nowoczesne generatory promieniowania X czy synchrotrony. Badania takie prowadził Habilitant w laboratorium Detector Development Group X-ray Instrumentation Division w Rigaku Corporation oraz na synchrotronach RIKEN SPring-8 Center w Japonii oraz Soleil we Francji. Niniejszy rozdział przedstawia opis dwóch prototypowych wielokanałowych układów scalonych ASIC: PXF40 oraz SPHIRD-1, zaimplementowanych w technologii TSMC 40 nm CMOS i dedykowanych do pracy z ultra wysokim natężeniem padających fotonów.

4.1. Układ scalony PXF40

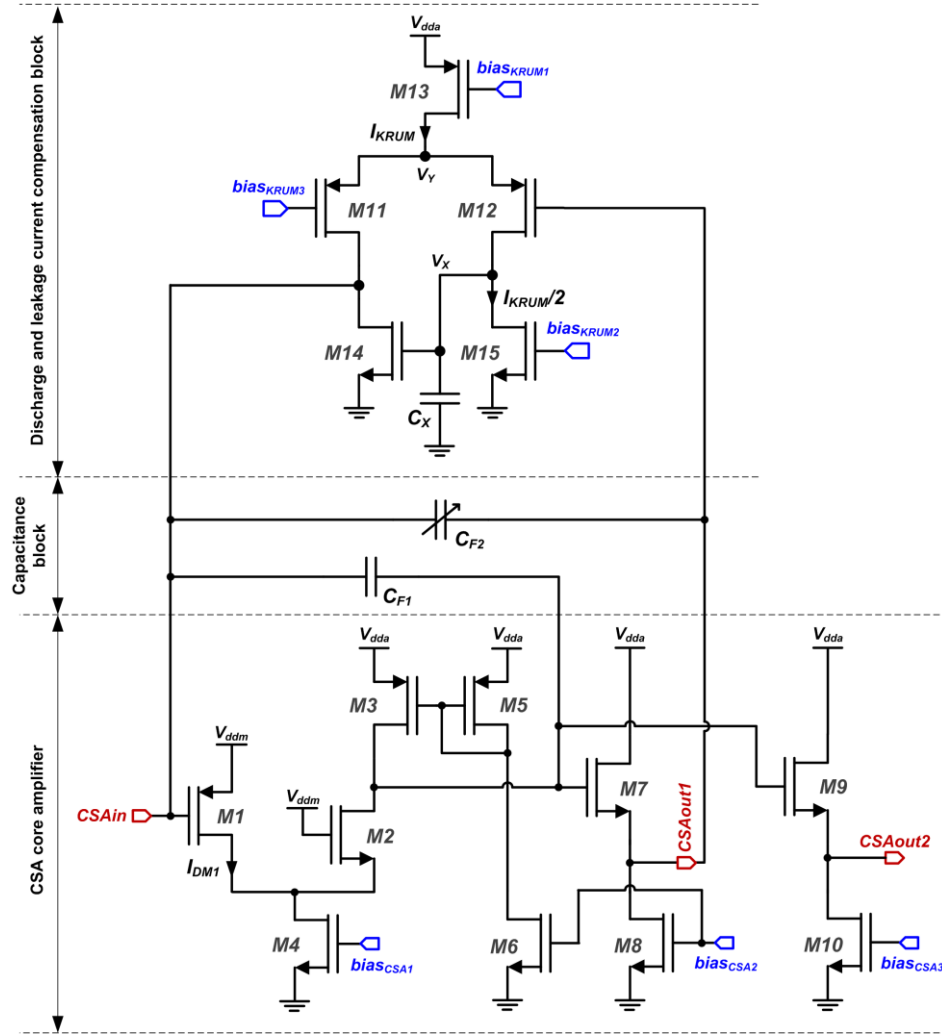
Rdzeniem układu *PXF40* jest matryca 24×18 kwadratowych pikseli o wymiarze $100 \mu\text{m} \times 100 \mu\text{m}$. Układy peryferyjne zawierają bloki do sterowania i polaryzacji części analogowej pikseli oraz układy wejścia/wyjścia do komunikacji z systemem nadrzędnym (rys. 4.1a).



Rys. 4.1. Układ scalony *PXF40*: a) schemat blokowy całego układu, b) schemat blokowy pojedynczego pikselu [H5], c) plan masek topologicznych pikseli wraz z zaznaczonymi opisywanymi blokami funkcjonalnymi: 1 – wzmacniacz ładunkowy CSA, 2 i 3 – komparator wraz z towarzyszącymi mu układami, 4 – licznik [H4].

Pojedynczy piksel składa się ze wzmacniacza ładunkowego CSA, komparatora wraz z dołączonym do niego *trimDAC*-iem i układem do ustawienia napięcia referencyjnego oraz 24-o bitowego asynchronicznego licznika binarnego. Część analogowa pikseli zawiera ponadto testowe bloki związane z komunikacją międzypikselową (nieistotne z punktu widzenia szybkości przetwarzania sygnału, ale zajmujące dodatkową powierzchnię krzemu), co jest widoczne na planie masek topologicznych kanału odczytowego (rys. 4.1c).

Ze względu na wymagany bardzo krótki czas trwania przebiegu wyjściowego wzmacniacza CSA $t_w = 20 \text{ ns}$ Habilitant zdecydował się zrezygnować ze wspomaganego cyfrowo układu kasowania impulsu w związku z tym, że stany przejściowe związane z aktywnością tegoż układu wpłynęłyby niekorzystnie na czas procesowania impulsu wyjściowego wzmacniacza CSA. Z tego też powodu rolą stopnia wejściowego jest procesowanie impulsu w sposób „czysto” analogowy, co wymagało doboru zarówno odpowiedniej architektury jak i wymiarowania/polaryzacji tranzystorów tworzących ten stopień. Rdzeń wzmacniacza CSA oparty jest na układzie zawiniętej kaskody z wejściowym tranzystorem typu PMOS spolaryzowanym prądem $I_{D1} = 20 \mu\text{A}$ dla trybu pracy *FAST* lub $I_{D1} = 60 \mu\text{A}$ dla trybu pracy *FAST_HC*. Pętla sprzężenia zwrotnego wzmacniacza CSA zawiera bloki: pojemnościowy C_F oraz rezystancyjny R_F . Pojemność C_F jest zrealizowana za pomocą dwóch kondensatorów $C_{F1} = 1.2 \text{ fF}$ i C_{F2} o programowanej wartości w zakresie od 1.2 fF do $1.2 + (0.6, 1.2, 2.4) \text{ fF}$. Blok rezystancyjny oparty jest o odpowiednio zmodyfikowany układ Krummenachera o kontrolowanej, za pomocą wartości prądu I_{KRUM} , efektywnej rezystancji R_F (nominalnie rzędu kilku $\text{M}\Omega$). **Warto w tym miejscu podkreślić, że procesowanie impulsu tylko**



Rys. 4.2. a) Schemat elektryczny wzmacniacza ładunkowego CSA zastosowany w układzie PXF40 [H5].

w stopniu wejściowym (brak układu kształtującego) oznacza pracę wzmacniacza na granicy limitów układowych i technologicznych. Otóż, niska wartość stałej czasowej τ_F w połączeniu z krótkim czasem narastania τ_R impulsu wyjściowego CSA (zależnym od pola wzmocnienia GBW rdzenia wzmacniacza CSA) determinuje krótki czas trwania t_w przebiegu. To z kolei oznacza, że pracując z τ_F i τ_R o podobnej wartości należy zwrócić szczególną uwagę na stabilność wzmacniacza [H5, C2]. Warunek stabilnej pracy wzmacniacza CSA został wyznaczony jako:

$$R_F C_F > 4 \cdot \frac{(C_{DET} + C_{gg}) \cdot C_L}{g_{m1} \cdot C_F} \quad (4.1)$$

gdzie C_L – pojemność rdzenia wzmacniacza CSA związana z jego częstotliwością graniczną, g_{m1} i C_{gg} – transkonduktancja/pojemność bramki tranzystora wejściowego wzmacniacza CSA. Przykładowo, aby zapewnić co najmniej 50° marginesu fazy wartość τ_R musi być co najmniej trzy razy mniejsza od wartości τ_F . Dodatkowo, przy braku filtracji szumów przez układ kształtujący wartość ENC toru odczytowego jest bezpośrednio ograniczona parametrami τ_F i τ_R , co przekłada się na następujące zależności [H4]:

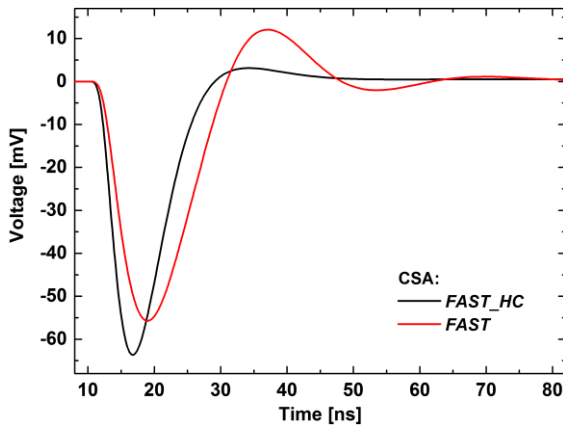
$$ENC \approx \sqrt{ENC_i^2 + ENC_v^2} \quad (4.2)$$

$$ENC_i^2 = \frac{\frac{4 \cdot k \cdot T}{R_F} \frac{R_F^2}{4(\tau_R + \tau_F)}}{\left(\frac{q}{C_F} \left(\frac{\tau_F}{\tau_R} \right)^{\frac{\tau_R}{\tau_R - \tau_F}} \right)^2} \quad (4.3)$$

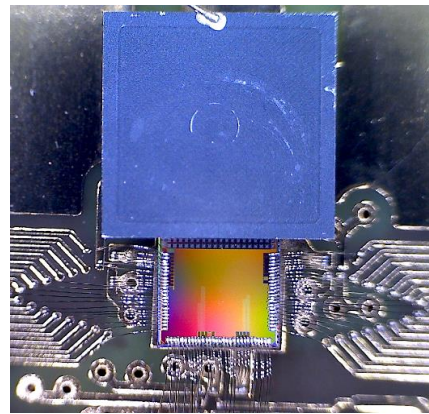
$$ENC_v^2 = \frac{\frac{4 \cdot k \cdot T \cdot \gamma}{g_{m1}} \frac{R_F^2 \cdot C_T^2}{4 \cdot \tau_R \cdot \tau_F \cdot (\tau_R + \tau_F)}}{\left(\frac{q}{C_F} \left(\frac{\tau_F}{\tau_R} \right)^{\frac{\tau_R}{\tau_R - \tau_F}} \right)^2} \quad (4.4)$$

Osiągnięcie satysfakcjonujących rezultatów przy pracy na granicy limitów technologicznych wymaga licznych analiz symulacyjnych na poziomie post-ekstrakcyjnym, ponieważ wpływ na przetwarzanie impulsu nawet z pozoru najmniej istotnych elementów pasożytniczych (głównie pojemności) może okazać się zauważalny w kształcie przebiegu wyjściowego wzmacniacza CSA jak i w końcowym rachunku szumowym. Rysunek 4.3a przedstawia przebiegi wyjściowe wzmacniacza CSA dla dwóch trybów pracy otrzymane drogą symulacji na poziomie post-ekstrakcyjnym. Przebieg dla trybu *FAST*, ze względu na pracę z mniejszym prądem I_{D1} (mniejsza wartość transkonduktancji g_{m1}), posiada przerzut (ang. *overshoot*) – stopień wejściowy pracuje na granicy stabilności. Przebieg dla trybu *FAST* można potraktować jako przebieg wyjściowy typu bipolarnego, podczas gdy dla trybu *FAST_HC* jako typu unipolarnego. Dzięki możliwości konfiguracji wzmacniacza CSA we wspomnianych trybach zweryfikowano ich efektywność podczas pracy z wiązką promieniowania o dużym natężeniu.

Wyprodukowany układ scalony został przetestowany wraz z dołączonym do niego, zbierającym dziury, detektorem krzemowym o grubości 320 μm i spolaryzowanym napięciem 150 V (rys. 4.3b). Dla zastosowanych ustawień pobór mocy przez pojedynczy piksel wynosił 45 μW dla trybu *FAST* oraz 100 μW dla trybu *FAST_HC*. Tabela 4.1 zawiera wartości parametrów analogowych układu, które zostały zmierzone za pomocą monochromatycznego źródła



a)



b)

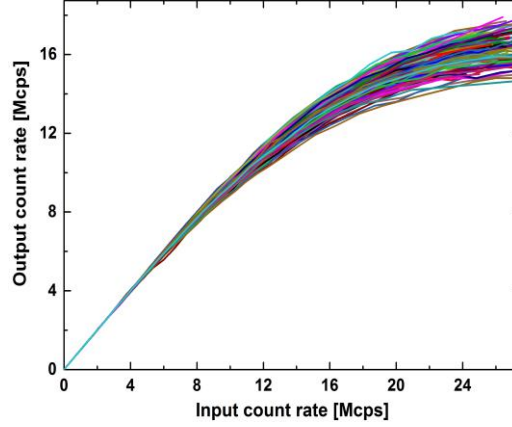
Rys. 4.3. a) Przebiegi wyjściowe wzmacniacza CSA dla dwóch trybów pracy – wyniki symulacji post-ekstrakcyjnej, b) zdjęcie układu *PXF40* z dołączonym do niego detektorem krzemowym [H5].

Tab. 4.1. Zmierzone analogowe parametry układu *PXF40* w funkcji trybu pracy i prądu I_{KRUM} [H5].

I_{KRUM} [nA]	FAST mode						FAST_HC mode					
	Gain [$\mu V/e^-$]		ENC [e^- rms]		10% dead time loss input rate [#] [Mcps]		Gain [$\mu V/e^-$]		ENC [e^- rms]		10% dead time loss input rate [#] [Mcps]	
	m.v.	st. dev.	m.v.	st. dev.	m.v.	st. dev.	m.v.	st. dev.	m.v.	st. dev.	m.v.	st. dev.
60	29.5	0.75	153	7.0	6.44	0.59	26.7	2.39	147	7.7	6.22	0.52
140	24.0	0.72	176	6.0	9.79	1.15	21.6	1.65	158	6.3	10.42	1.27
230	20.4	0.67	212	7.2	12.24	1.46	17.7	1.46	185	7.0	12.16	1.41

m. v. – mean value ; st. dev. – standard deviation,

[#] calculated assuming $N_{OUT}/N_{IN} = 0.9$.



Rys. 4.4. Charakterystyka szybkościowa dla wzmacniacza ładunkowego CSA pracującego w trybie *FAST_HC* dla prądu $I_{KRUM} = 230$ nA [H5].

promieniowania X o energii 8 keV dla trzech wybranych ustawień prądu I_{KRUM} (determinujących efektywną wartość rezystancji R_F): 60 nA ($R_F \approx 2.9$ M Ω), 140 nA ($R_F \approx 1.3$ M Ω) oraz 230 nA ($R_F \approx 0.9$ M Ω). Największą szybkość pracy układu uzyskuje się dla prądu $I_{KRUM} = 230$ nA, kiedy to układ może pracować z intensywnością promieniowania równą 1.2 Gcps/mm² (na podstawie parametru 10%-owej straty liczenia impulsów wejściowych) przy poziomie szumów $ENC = 212$ e^- rms dla trybu *FAST* oraz $ENC = 185$ e^- rms dla trybu *FAST_HC*. Charakterystyka szybkościowa dla toru odczytowego pracującego w trybie *FAST_HC* jest zaprezentowana na rys. 4.4. Otrzymane rezultaty zostały wyznaczone eksperymentalnie przez Habilitanta w trakcie prowadzonych testów w AGH w Krakowie oraz w Rigaku Corporation w Tokio. **W tym miejscu warto podkreślić, że dzięki zastosowanym przez Habilitanta technikom badawczym, układ**

Tab. 4.2. Porównanie parametrów układu *PXF40* z innymi pikselowymi wielokanałowymi układami scalonymi ASIC pracującymi w trybie zliczania pojedynczych fotonów SPC [H5].

Chip [ref]	Medipix 3RX [23]	PXD18k [30]	Eiger [26]	UFXC32k [27]	PXF40	
					FAST_HC	FAST
Process	130 nm	180 nm	250 nm	130 nm	40 nm	
Pixel size [μm^2]	55×55	100×100	75×75	75×75	100×100	
Power/pix. [μW]	9	23	–	26	100	45
ENC [e^- rms]	80	168	175	235	185	212
10% dead time loss input rate [#] [cps/mm ²]	0.87×10^8	0.61×10^8	1.46×10^8	2.20×10^8	1.216×10^9	1.224×10^9

*static PWR consumption for minimum dead time τ_p of the front-end electronics .

[#] calculated using minimum dead time and assuming $N_{OUT}/N_{IN} = 0.9$ according to the formula: $N_{OUT} = N_{IN} \cdot \exp(-N_{IN} \cdot \tau_p)$.

scalony *PXF40* był pierwszym, który przekroczył granicę pracy z intensywnością promieniowania 1 Gcps/mm² i do momentu pojawienia się specjalizowanego układu scalonego *SPHIRD-1* (w którym Habilitant odpowiadał za projekt części analogowej toru odczytowego), był najszybciej liczącym układem na świecie pracującym w trybie zliczania pojedynczych fotonów *SPC* – patrz Tab. 4.2 [H6, 31].

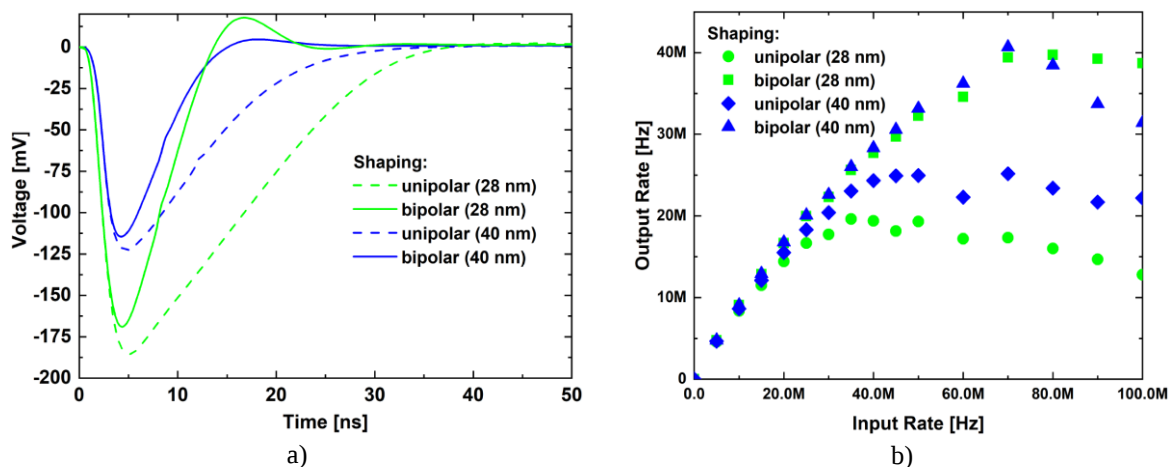
4.2. Układ scalony *SPHIRD-1*

Prototypowy specjalizowany układ scalony *SPHIRD-1* powstał w ramach współpracy pomiędzy Zespołem Mikroelektroniki (AGH) a Grupą Detektorową z ośrodka *ESRF* we Francji [H7]. Do najważniejszych wymagań tego projektu należały: praca z detektorami zbierającymi elektrony/dziury wykonanymi z krzemu lub półprzewodników o wysokiej liczbie atomowej *Z*, poprawność zliczania w trybie *SPC* padających fotonów o energii z zakresu 10 – 35 keV i intensywności około 25 Mcps/kanal (na podstawie 10%-wej straty liczenia impulsów wejściowych), wymiar piksela rzędu 50 μm × 50 μm oraz implementacja technik pozwalających na wykrycie i poprawne zliczenie spiętrzonych impulsów.

Ze względu na wysoki poziom opisanych wymagań (zdecydowanie przekraczający istniejące współcześnie systemy typu *SPC*), Habilitant rozpoczął opracowywanie docelowego rozwiązania od wstępnej analizy porównawczej części analogowych zaprojektowanych w dwóch technologiach nanometrycznych CMOS o wymiarze technologicznym 40 nm i 28 nm. Punktem wyjścia była architektura zastosowana w układzie scalonym *PXF40*, a wnioski tychże analiz zawarł w pracy [H6]. Mniejszy wymiar technologiczny oznacza w uproszczeniu szybszy układ i mniejszą zajmowaną powierzchnię krzemu, co jest niekwestionowaną zaletą z punktu widzenia układów cyfrowych. Z kolei, w odniesieniu do układów analogowych, przykładowo z punktu widzenia tranzystora wejściowego wzmacniacza *CSA* typu PMOS o wymiarach *W/L* = 18 μm/0.16 μm pracującego z prądem *I_D* = 20 μA, wybrana odmiana (ang. *flavor*) technologii 28 nm pozwala uzyskać wyższą wartość transkonduktacji *g_m*, a jednocześnie, wskutek wyższej wartości pasożytniczej pojemności przekrywającej *C_{dd}* (ang. *overlapping capacitance*), niższą wartość pola wzmocnienia *GBW* (Tab. 4.3). Rysunki 4.5a i 4.5b przedstawiają przebiegi wyjściowe wzmacniacza *CSA* oraz charakterystyki szybkościowe dla danego typu formowania impulsu oraz dla zadanych parametrów elementów sprzężenia zwrotnego. Co istotne, otrzymane wyniki symulacji na poziomie schematu są do siebie zbliżone (dla rozpatrywanych technologii) i tym samym proces nowszy nie jest faworyzowany. Zatem, w przypadku rozważań prowadzonych nad analogowymi blokami układu elektroniki front-end, zastosowanie nowszej technologii może nie dać znacznie lepszych parametrów analogowych (gdy nie stosuje się w nich minimalnych wymiarów tranzystorów dostępnych w danej technologii ze względu na inne ograniczenia).

Tab. 4.3. Parametry nominalnego tranzystora typu PMOS o wymiarach *W/L* = 18 μm/0.16 μm i prądzie drenu *I_D* = 20 μA w danej technologii nanometrycznej [H6].

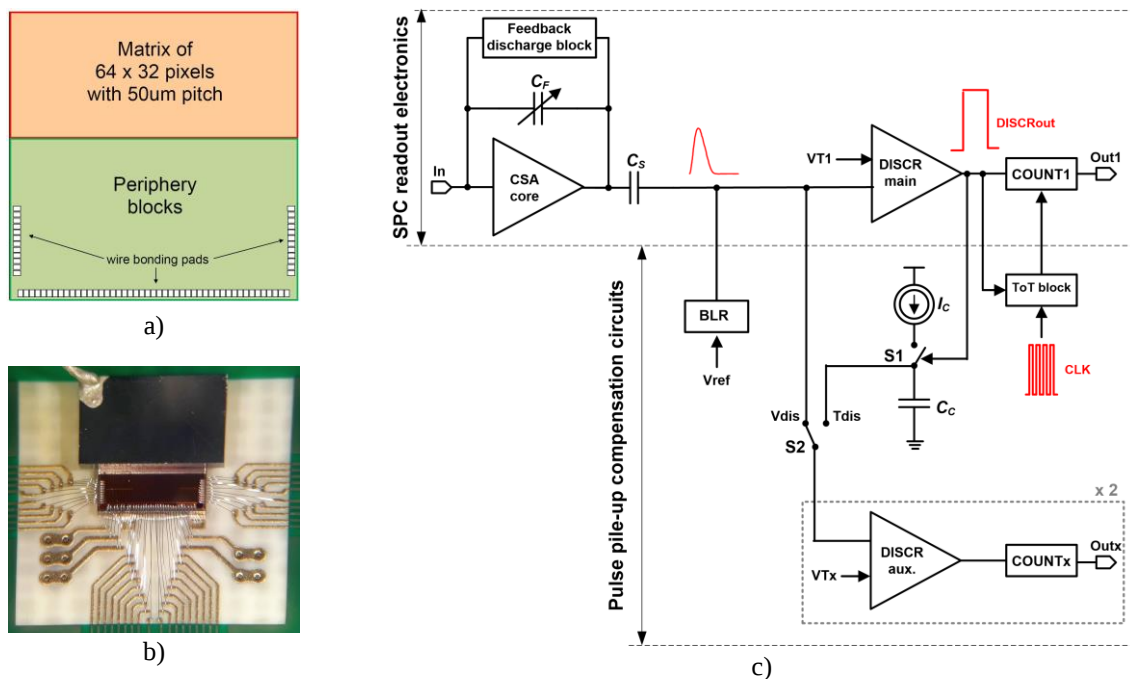
CMOS technology	<i>g_m/g_{ds}</i> [V/V]	<i>g_m</i> [μA/V]	<i>g_{ds}</i> [μA/V]	<i>g_m/I_D</i> [1/V]	<i>GBW</i> [GHz]	<i>V_{gs}</i> [mV]	<i>V_{th}</i> [mV]	<i>C_{gg}</i> [fF]	<i>C_{ss}</i> [fF]	<i>C_{dd}</i> [fF]	<i>t_{ox}</i> [nm]
28 nm	55.0	533	9.7	26.8	8.97	426	515	21.8	13.6	4.6	1.6
40 nm	27.8	385	13.9	19.3	9.4	463	484	20.5	17.9	2.6	2.7



Rys. 4.5. Porównanie technologii nanometrycznych CMOS 40 nm i 28 nm – symulacje na poziomie schematu: a) przebiegi wyjściowe wzmacniacza CSA, b) charakterystyki szybkościowe [H6].

Dodatkowo, biorąc pod uwagę koszty produkcji, ostatecznie technologia TSMC 40 nm CMOS została wybrana do implementacji układu odczytowego.

Rdzeniem układu *SPHIRD-1* jest matryca 64×32 pikseli o wymiarze $50 \mu\text{m} \times 50 \mu\text{m}$. Układy peryferyjne zawierają bloki do sterowania i polaryzacji części analogowej pikseli oraz układy wejścia/wyjścia do komunikacji z systemem nadrzędnym (rys. 4.6a i 4.6b). Pojedynczy piksel składa się ze wzmacniacza ładunkowego CSA, układu przywracania poziomu bazowego *BLR* (ang. *baseline restorer*) oraz trzech komparatorów: głównego (ang. *main*) i dwóch pomocniczych (ang. *auxiliary*) wraz z dołączonymi do nich *trimDAC*-ami i układami do ustawienia

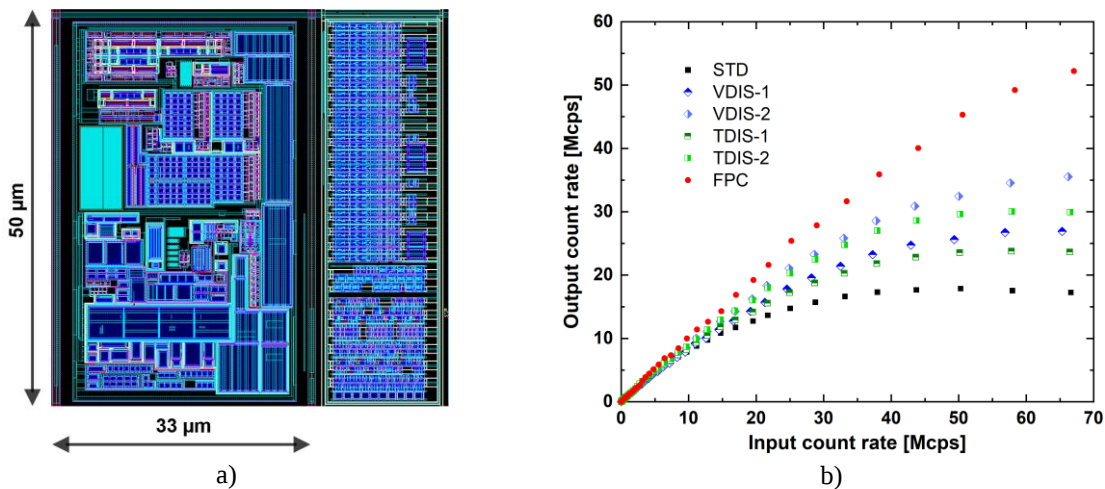


Rys. 4.6. Układ scalony *SPHIRD-1*: a) układ z zaznaczonym podziałem funkcjonalnym, b) zdjęcie z dołączonym detektorem krzemowym, c) schemat blokowy pojedynczego pikseli [H7].

napięć progowych. Dodatkowo, każdy z pikseli wyposażony jest w 32-u bitowy asynchroniczny licznik binarny, który, w zależności od trybu pracy, może być dzielony na dwa lub trzy niezależnie pracujące liczniki (rys. 4.6c).

Wzmacniacz ładunkowy CSA bazuje na architekturze zastosowanej w układzie scalonym *PXF40*, jednak, ze względu na specyfikację projektową, wymagał modyfikacji. Mowa tu m. in. o przystosowaniu do zbierania na wejściu elektronów oraz użyciu na jego wyjściu wzmacniacza odwracającego o wzmocnieniu -1 V/V umożliwiającego pracę toru także z dziurami. Pętla sprzężenia zwrotnego wzmacniacza CSA zawiera pojemność C_F o programowanej wartości w zakresie od 2 fF do $2 + (0.5, 1, 1.5)$ fF oraz blok rezystancyjny o nominalnej efektywnej rezystancji $R_F \approx 0.8\text{ M}\Omega$. Dodatkową zmianą w sposobie procesowania sygnału wyjściowego wzmacniacza CSA było dodanie układu przywracania poziomu bazowego *BLR*, dzięki czemu znacząco zmniejszono zmiany poziomu bazowego na wyjściu wzmacniacza CSA. Aby sprostać wymaganiom szybkościowym istotne było zastosowanie dodatkowych bloków zwiększających szybkość zliczania (poprzez wykrywanie spiętrzeń impulsów) omówionych poniżej.

Bazując na głównym dyskryminatorze prezentowany układ może zliczać impulsy wejściowe pracując w trybie standardowym (*STD*) przy progu ustawionym w połowie energii padających fotonów oraz w trybie ich ułamkowego/częściowego zliczania *FPC* (ang. *Fractional Photon Counting*). Tryb *FPC* jest implementacją techniki pomiaru typu „czas ponad próg” *TOT* (ang. *Time-over-Threshold*), gdzie czas, w trakcie którego przebieg napięciowy jest ponad ustawionym progiem, jest bramkowany i liczony za pomocą sygnału zegara, po czym kalibrowany na podstawie liczby impulsów zegara odpowiadającej nominalnemu impulsowi wyjściowemu wzmacniacza CSA. W omawianym układzie sygnał zegara o częstotliwości 100 MHz (lub 200 MHz) dostarczany jest z systemu nadrzędnego. Dodatkowo, dwa pomocnicze niezależne komparatory (występujące w każdym pikselu) pozwalają na zastosowanie technik napięciowych *VDIS* (ang. *voltage method*) bądź czasowych *TDIS* (ang. *time method*) znacząco poprawiających charakterystyki szybkościowe. W metodzie napięciowej *VDIS* na wejściach dyskryminatorów pomocniczych pojawia się ten sam przebieg co na wejściu dyskryminatora głównego (klucz S2



Rys. 4.7. Układ scalony *SPHIRD-1*: a) plan masek topologicznych pojedynczego piksela (część analogowa oraz cyfrowa), b) zmierzone charakterystyki szybkościowe dla różnych trybów pracy [H7].

w pozycji V_{dis} na rys. 4.6c), a ich próg jest ustawiony powyżej amplitudy odpowiadającej nominalnemu ładunkowi wejściowemu, tak aby móc wykryć zjawisko spiętrzenia się dwóch i trzech (lub więcej) impulsów. Z kolei w metodzie czasowej *TDIS* na wejście dyskryminatorów pomocniczych podawany jest narastający liniowo sygnał napięciowy będący wynikiem ładowania pojemności C_C przez źródło prądowe I_C (klucz S_2 w pozycji T_{dis} na rys. 4.6c). Czas załączenia tego klucza jest zależny od długości trwania t_w impulsu wyjściowego dyskryminatora głównego. Progi napięciowe dyskryminatorów pomocniczych są ustawione tak, aby móc wykryć czas odpowiedzi dyskryminatora dłuższy od nominalnego i tym samym wykryć dwa i trzy (lub więcej) spiętrzenia impulsów.

Plan masek topologicznych pojedynczego piksela, składającego się z części analogowej i cyfrowej, zaimplementowanego w technologii TSMC 40 nm CMOS, jest przedstawiony na rys. 4.7a. Wymiary piksela wynoszą $50\ \mu\text{m} \times 50\ \mu\text{m}$, a części analogowej $50\ \mu\text{m} \times 33\ \mu\text{m}$. Układ scalony *SPHIRD-1* został przetestowany wraz z dołączonym do niego detektorem krzemowym (zbierającym elektrony) o grubości $400\ \mu\text{m}$ i spolaryzowanym napięciem $-200\ \text{V}$ (rys. 4.6b). Dla zastosowanych napięć zasilania i ustawień, pobór mocy przez pojedynczy piksel wynosił $18\ \mu\text{W}$ dla trybu *STD*, $27\ \mu\text{W}$ dla trybu pracy z dwoma dyskryminatorami pomocniczymi oraz $33\ \mu\text{W}$ dla trybu *FPC*. Dla ustawień nominalnych poziom szumów *ENC* wynosił $188\ e^- \text{ rms}$, a czas trwania impulsu wyjściowego t_w wzmacniacza *CSA* wynosił $18\ \text{ns}$. Rysunek 4.7b oraz Tabela 4.4 zawierają wyniki pomiarów eksperymentalnych przeprowadzonych na synchrotronie *ESRF-EBS* we współpracy z tamtejszą grupą naukowców. W trybie *VDIS1* zastosowano jeden dyskryminator pomocniczy, a w trybie *VDIS2* dwa. Analogiczna konfiguracja dotyczy trybów *TDIS1* i *TDIS2*.

Tab. 4.4. Zmierzone parametry szybkościowe układu scalonego *SPHIRD-1* [H7].

Mode	10% dead time loss [Mcps]	Dead time [ns]
STD	4.4	22.8
VDIS-1	5.9	16.9
VDIS-2	12.0	8.3
TDIS-1	5.1	19.6
TDIS-2	7.5	13.3
FPC	28.9	3.5

Tab. 4.5. Porównanie parametrów układu *SPHIRD-1* z innymi pikselowymi wielokanałowymi układami scalonymi *ASIC* pracującymi w trybie zliczania pojedynczych fotonów *SPC* [H7].

Chip [ref]	Medipix3RX [23]	PXD18k [30]	Eiger [26]	UFCX32k [27]	IBEX [9]	PXF40 [H5]	SPHIRD-1 STD/VDIS2/FPC
Process	130 nm	180 nm	250 nm	130 nm	110 nm	40 nm	40 nm
Pixel size [μm^2]	55×55	100×100	75×75	75×75	75×75	100×100	50×50
Power/pix. [μW]	9	23	–	26	8	45	17.6/26.6/32.9
ENC [$e^- \text{ rms}$]	80	168	175	235	90	212	188
10% dead time loss input rate # [Mcps/mm ²]	87	61	146	220	197	1224	1760/4800/11560

* static PWR consumption for minimum dead time τ_p of the front-end electronics

calculated using minimum dead time and assuming $N_{OUT}/N_{IN} = 0.9$ according to the formula: $N_{OUT} = N_{IN} \cdot \exp(-N_{IN} \cdot \tau_p)$

Zastosowanie dyskryminatorów pomocniczych znacząco poprawiło zdolności szybkościowe toru odczytowego względem trybu standardowego *STD*, podczas gdy tryb *FPC* pozwolił uzyskać nienotowaną do tej pory i co więcej kilkukrotnie przewyższającą dostępne rozwiązania charakterystykę szybkościową. Tabela 4.5 przedstawia porównanie parametrów omawianego układu z innymi pikselowymi wielokanałowymi układami scalonymi pracującymi w trybie zliczania pojedynczych fotonów *SPC*, w której można dostrzec, że układ *SPHIRD-1* przekracza kolejne granice intensywności promieniowania, z którymi mogą pracować układy odczytowe w trybie *SPC*.

Podsumowując, prototypowy układ *SPHIRD-1* posiada najlepsze parametry szybkościowe notowane w literaturze przedmiotu przy jednocześnie akceptowalnym, z punktu widzenia eksperymentów z fotonami o niskiej energii, poziomie szumów *ENC* oraz poziomie rozpraszanej mocy. Otrzymane obiecujące rezultaty stanowiły podstawę do opracowania drugiej prototypowej wersji układu *SPHIRD-2* dedykowanego do przygotowywanych nowej generacji eksperymentów synchrotronowych w ośrodku *ESRF* z ultra wysokimi intensywnościami fotonów.

Bibliografia

- [1] R. Kłeczek, "Filtracja i szybkie kształtowanie sygnału w układach elektroniki front-end w technologiach submikronowych CMOS", rozprawa doktorska, Kraków, czerwiec, 2014.
- [2] K. Korbel, "Układy Elektroniki Front-End", Uczelniane Wydawnictwa Naukowo-Dydaktyczne, Kraków, 2000.
- [3] B. Razavi, "Design of Analog CMOS Integrated Circuits", 2nd Edition, McGraw-Hill Education, 2017.
- [4] P. Grybos, "Front-end Electronics for Multichannel Semiconductor Detector Systems", WUT Publishing House, 2012.
- [5] G. F. Knoll, "Radiation Detection and Measurement", 4th Edition, Wiley, 2010.
- [6] D. Lee et al., "Energy-correction photon counting pixel for photon energy extraction under pulse pile-up", Nucl. Instruments Methods Phys. Res. Sect. A Accel. Spectrometers, Detect. Assoc. Equip., vol. 856, pp. 36–46, February 2017, doi: 10.1016/j.nima.2017.02.084
- [7] A. Rivetti, "CMOS front-end electronics for radiation sensors", CRC Press, 2015.
- [8] T. Loeliger et al., "The new PILATUS3 ASIC with instant retrigger capability", 2012 IEEE Nuclear Science Symposium and Medical Imaging Conference Record (NSS/MIC), Anaheim, CA, USA, 2012, pp. 610-615, doi: 10.1109/NSSMIC.2012.6551180
- [9] M. Bochenek et al., "IBEX: Versatile Readout ASIC With Spectral Imaging Capability and High Count Rate Capability", IEEE Transactions on Nuclear Science, vol. 65, no. 6, pp. 1285-1291, June 2018, doi: 10.1109/TNS.2018.2832464
- [10] S. Kappler et al., "Quantum-counting CT in the regime of count-rate paralysis: introduction of the pile-up trigger method", Proc. SPIE. 7961, Medical Imaging 2011: Physics of Medical Imaging, doi: 10.1117/12.877939
- [11] E. Kraft et al., "Counting and Integrating Readout for Direct Conversion X-ray Imaging: Concept, Realization and First Prototype Measurements", IEEE Transactions on Nuclear Science, vol. 54, no. 2, pp. 383-390, April 2007, doi: 10.1109/TNS.2007.891571
- [12] M. Gustavsson et al., "A High-Rate Energy-Resolving Photon-Counting ASIC for Spectral Computed Tomography", IEEE Transactions on Nuclear Science, vol. 59, no. 1, pp. 30-39, Feb. 2012, doi: 10.1109/TNS.2011.2169811
- [13] R. Kleczek et al., "Circuit solutions towards 100 Mcps per pixel in pixel detectors for X-rays",

- 11th International Meetings on Front-End Electronics, 20-25 may 2018 r., Jouvence, Kanada
<https://indico.cern.ch/event/688153/timetable/?print=1&view=standard> (dostęp on-line 27.09.2023)
- [14] P. Grybos et al., “*Pixel readout IC for CdTe detectors operating in single photon counting mode with interpixel communication*”, Journal of Instrumentation, vol. 17, Jan. 2022, C01036. DOI 10.1088/1748-0221/17/01/C01036
 - [15] P. Grybos et al., “*Small pixel high-spatial resolution photon-counting prototype IC for synchrotron applications*”, Journal of Instrumentation, vol. 18, Jan. 2023, C01052. DOI 10.1088/1748-0221/18/01/C01052
 - [16] <https://www.cbm.gsi.de/> (dostęp on-line 27.09.2023)
 - [17] <https://fair-center.eu/> (dostęp on-line 27.09.2023)
 - [18] M. Gumiński et al., “Systemy elektroniczne dla toru odczytu danych w eksperymencie CBM”, Elektronika - konstrukcje, technologie, zastosowania, vol. 1, no. 5, pp. 10-19, 2018. DOI:10.15199/13.2018.5.1
 - [19] R. Kleczek et al., “*Low power analog readout front-end electronics for time and energy measurements*”, Nucl. Instruments Methods Phys. Res. Sect. A Accel. Spectrometers, Detect. Assoc. Equip., vol. 748, pp. 54–60, June 2014, <https://doi.org/10.1016/j.nima.2014.02.018>.
 - [20] K. Kasinski et al., “*STS-XYTER, a high count-rate self-triggering silicon strip detector readout IC for high resolution time and energy measurements*”, IEEE Nuclear Science Symposium and Medical Imaging Conference, Seattle, WA, USA, 2014, pp. 1-6, doi: 10.1109/NSSMIC.2014.7431048
 - [21] K. Kasinski et al., “*Characterization of the STS/MUCH-XYTER2, a 128-channel time and amplitude measurement IC for gas and silicon microstrip sensors*”, Nucl. Instruments Methods Phys. Res. Sect. A Accel. Spectrometers, Detect. Assoc. Equip., vol. 908, pp. 225–235, Nov. 2018, <https://doi.org/10.1016/j.nima.2018.08.076>
 - [22] F. Krummenacher, “*Pixel detectors with local intelligence: An IC designer point of view*”, Nucl. Instruments Methods Phys. Res. Sect. A Accel. Spectrometers, Detect. Assoc. Equip., vol. 305, no. 3, pp. 527–532, Aug. 1991, [https://doi.org/10.1016/0168-9002\(91\)90152-G](https://doi.org/10.1016/0168-9002(91)90152-G)
 - [23] E. Frojdh et al., “*Count rate linearity and spectral response of the Medipix3RX chip coupled to a 300 silicon sensor under high flux conditions*”, Journal of Instrumentation, vol. 9, C04028, April 2014, DOI 10.1088/1748-0221/9/04/C04028.
 - [24] E. Frojdh et al., “*Timepix3: first measurements and characterization of hybrid-pixel detector working in event driven mode*”, Journal of Instrumentation, vol. 10, C01039, Jan. 2015, DOI 10.1088/1748-0221/10/01/C01039.
 - [25] R. Bellazzini et al., “*PIXIE III: a very large area photon-counting CMOS pixel ASIC for sharp X-ray spectral imaging*”, Journal of Instrumentation, vol. 10, C01032, Jan. 2015, DOI 10.1088/1748-0221/10/01/C01032.
 - [26] R. Dinapoli et al., “*EIGER characterization results*”, Nucl. Instruments Methods Phys. Res. Sect. A Accel. Spectrometers, Detect. Assoc. Equip., vol. 731, pp. 68–73, Dec. 2013, <https://doi.org/10.1016/j.nima.2013.04.047>
 - [27] P. Grybos et al., “*32k Channel Readout IC for Single Photon Counting Pixel Detectors with 75 μ m Pitch, Dead Time of 85 ns, 9 e⁻ rms Offset Spread and 2% rms Gain Spread*”, IEEE Transactions on Nuclear Science, vol. 63, no. 2, pp. 1155-1161, April 2016, doi: 10.1109/TNS.2016.2523260
 - [28] <https://www.rigaku.com/products/detectors/xspa-400er?index=1> (dostęp on-line 26.09.2023)
 - [29] Rigaku Corp., “How X-rays are empowering better batteries”, Nature Index Japan, 08 March 2023.
 - [30] P. Maj et al., “*18k Channels single photon counting readout circuit for hybrid pixel detector*”, Nucl. Instruments Methods Phys. Res. Sect. A Accel. Spectrometers, Detect. Assoc. Equip., vol. 697, pp. 32–39, Jan. 2013, <https://doi.org/10.1016/j.nima.2012.08.103>
 - [31] R. Ballabriga et al., “*Photon Counting Detectors for X-Ray Imaging With Emphasis on CT*”, IEEE Transactions on Radiation and Plasma Medical Sciences, vol. 5, no. 4, pp. 422-440, July 2021, doi: 10.1109/TRPMS.2020.3002949

5. Informacja o wykazywaniu się istotną aktywnością naukową albo artystyczną realizowaną w więcej niż jednej uczelni, instytucji naukowej lub instytucji kultury, w szczególności zagranicznej.

Habilitant brał czynny udział w sześciu projektach realizowanych przez Grupę Mikroelektroniczną we współpracy z:

- Wykonawca w dwóch projektach badawczych „*Prototyp pikselowej struktury o wysokiej rozdzielczości energetycznej dla dwuwymiarowego detektora pikselowego*” i „*Finalna pikselowa struktura o wysokiej rozdzielczości energetycznej dla dwuwymiarowego detektora pikselowego*” we współpracy z japońską firmą Rigaku Corporation (Detector Development Group X-ray Instrumentation Division), lata 2017-2022. W ramach współpracy Habilitant pracował w Japonii podczas dwumiesięcznego stażu (*lipiec-sierpień 2010*) w trakcie którego był zaangażowany w rozwój nowej kamery promieniowania X oraz w trakcie trzech wyjazdów (*listopad 2016, październik 2022, kwiecień 2023*) dedykowanym pomiarom szybkościowym opracowanych skalonych układów odczytowych w laboratorium badawczym Detector Development Group X-ray Instrumentation Division oraz na synchrotronie RIKEN SPring-8 Center. Rezultaty wynikające z tej współpracy znajdują się w publikacjach: **H3, H5, C1** oraz zostały zaprezentowane na konferencjach naukowych:
 - ESSCIRC 2019, IEEE 45th European Solid State Circuits Conference: 24 –26 wrzesień, 2019, Kraków,
 - 2017 International Image Sensor Workshop (IISW), 30 maj – 2 czerwiec, 2017, Hiroshima, Japonia.
- Wykonawca w projekcie badawczym “*Fast prototype ASIC with three energy thresholds for hybrid pixel detector*” we współpracy z grupą detektorową z Synchrotron Soleil (Saint-Aubin, Francja), lata 2020-2023. W ramach współpracy Habilitant odbył wyjazd do centrum synchrotronowego Soleil (wrzesień 2023), w trakcie którego prowadził badania eksperymentalne dotyczące weryfikacji szybkości pracy opracowanego prototypowego układu scalonego. Otrzymane w ramach współpracy rezultaty zostały zaprezentowane na konferencji naukowej:
 - 24th International Workshop on Radiation Imaging Detectors IWORID, 25 – 29 czerwiec 2023, Oslo, Norwegia.
- Wykonawca w projekcie badawczym “*Development of an efficient detector with small pixels and high count rate capabilities optimised for coherent X-ray scattering experiments and suitable to make optimum use of the ESRF-EBS*” we współpracy z grupą detektorową z European Synchrotron Radiation Facility (ESRF, Grenoble, Francja), lata 2020-2023. Efektem tej współpracy są publikacje: **H7** oraz [15]. Otrzymane rezultaty zostały zaprezentowane także na konferencjach naukowych:
 - 23rd International Workshop on Radiation Imaging Detectors IWORID, 26 – 30 czerwiec 2022, Riva del Garda, Włochy,

- 24th International Workshop on Radiation Imaging Detectors IWORID, 25 – 29 czerwiec 2023, Oslo, Norwegia,
- 2022 IEEE Nuclear Science Symposium, Medical Imaging Conference (NSS/MIC) and Room Temperature Semiconductor Detector Conference, 5 – 12 listopad, Milan, Włochy.
- Wykonawca w projekcie badawczym „*Development of a full-size prototype readout ASIC for the CBM Silicon Tracking System*” we współpracy z ośrodkiem badawczym GSI Helmholtzzentrum für Schwerionenforschung GmbH (Darmstadt, Germany), lata 2010 – 2018. Efektem tej współpracy są publikacje: H1, H2 oraz:
 - [4, 11, 14, 16, 23, 24, 25, 26, 27, 29, 30 35, 37, 38] (numeracja według załącznika nr 4 do wniosku, sekcja przed uzyskaniem stopnia doktora),
 - [45, 47, 52, 57, 58, 63, 65] (numeracja według załącznika nr 4 do wniosku, sekcja po uzyskaniu stopnia doktora),
- Współwykonawca w ramach projektu badawczego „*Prototypowy ASIC dla detektora półprzewodnikowego*” we współpracy z fińską firmą DT - Detection Technology, lata 2017 – 2020. Otrzymane rezultaty zostały opublikowane w pracy nr [46] (numeracja według załącznika nr 4 do wniosku, sekcja przed uzyskaniem stopnia doktora).

6. Informacja o osiągnięciach dydaktycznych, organizacyjnych oraz popularyzujących naukę lub sztukę.

W 2014 roku Habilitant współuczestniczył w powstaniu nowego kierunku studiów *Mikroelektronika w Technice i Medycynie* (MTM – www.mtm.agh.edu.pl) na Wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej (AGH w Krakowie), za co otrzymał wyróżnienie w postaci zespołowej nagrody dydaktycznej I stopnia Rektora AGH. Dodatkowo, w ramach działalności dydaktycznej opracował i wdrożył autorskie zajęcia dla w/w kierunku oraz Inżynierii Biomedycznej w ramach kursów: Technika Obliczeniowa i Symulacyjna (wykład + laboratorium), Układy Elektroniki Analogowej 1 i 2 (laboratorium), Podstawy Projektowania Analogowych Układów VLSI (wykład), Projektowanie Zaawansowanych Bloków Analogowych VLSI dla systemów sensorowych (wykład) i Mikroelektronika (wykład). Autor wniosku był także opiekunem 7 prac magisterskich i 18 prac inżynierskich.

W ramach przedsięwzięć popularyzujących naukę Habilitant w latach 2014-2020 był związany z *Ogólnopolską Olimpiadą Wiedzy Elektrycznej i Elektronicznej (OOWEE)*, gdzie początkowo był członkiem Komitetu Głównego, a następnie pełnił funkcję zastępcy sekretarza będąc współodpowiedzialnym za etap krakowski oraz finałowy Olimpiady (w szkole-gospodarza). OOWEE to zawody tematyczne dla uczniów szkół średnich realizowane w kilku kategoriach tematycznych pod patronatem Ministra Edukacji i Nauki oraz Rektora AGH. Autor wielokrotnie brał udział w dniach otwartych AGH oraz w spotkaniach z kandydatami na studia w trakcie których promował kierunek MTM. Jest także członkiem Jury w corocznym konkursie na najlepszą pracę dyplomową oraz aplikacyjną „*Diamenty AGH*”.

Habilitant jest członkiem międzynarodowego stowarzyszenia *Institute of Electrical and Electronics Engineers (IEEE)* oraz członkiem grupy założycielskiej *IEEE Solid-State Circuits Society Chapter Poland*, gdzie obecnie pełni funkcję sekretarza, a także w ramach której brał udział w organizacji międzynarodowej konferencji *45th European Solid-State Circuits Conference (ESSCIRC/ESSDERC)* w Krakowie, 23-26 wrzesień 2019. Autor wniosku 38 razy był recenzentem artykułów naukowych w renomowanych czasopismach o zasięgu międzynarodowym, przykładowo: *IEEE Transactions on Circuits and Systems II: Express Briefs* (19 recenzji), *IEEE Access* (9), *Elsevier Nuclear Science and Techniques* (4).

Habilitant jest obecnie także członkiem Rady Dyscypliny Automatyki, Elektroniki, Elektrotechniki i Technologii Kosmicznych, AGH w Krakowie.

7. Oprócz kwestii wymienionych w pkt. 1-6, wnioskodawca może podać inne informacje, ważne z jego punktu widzenia, dotyczące jego kariery zawodowej.

Habilitant, w ramach konkursu ogłoszonego przez MNiSW, otrzymał stypendium dla wybitnego młodego naukowca w latach 2014 – 2017.

Autor wniosku otrzymał następujące nagrody Rektora AGH jako uznanie za zaangażowanie w prace naukowo-dydaktyczne oraz organizacyjne:

- indywidualna II stopnia za osiągnięcia naukowe w 2021 r.,
- indywidualna III stopnia za osiągnięcia naukowe w 2012 r., 2013 r., 2014 r., 2018 r.,
- indywidualna II stopnia za osiągnięcia dydaktyczne w 2015 r.,
- zespołowa I stopnia za osiągnięcia dydaktyczne w 2014 r.,
- zespołowa III stopnia za osiągnięcia dydaktyczne w 2016 r., 2017 r.,
- zespołowa II stopnia za osiągnięcia organizacyjne w 2015 r.

.....
(podpis wnioskodawcy)