



AGH UNIVERSITY OF SCIENCE AND TECHNOLOGY

FIELD OF SCIENCE: ENGINEERING AND TECHNOLOGY

SCIENTIFIC DISCIPLINE: AUTOMATION, ELECTRONICS, AND ELECTRICAL
ENGINEERING

DOCTORAL THESIS

Design and optimization of architectures for
successive approximation time-to-digital converters

Author: Jakub Szyduczyński, M.Sc.

First supervisor: Marek Miśkowicz, D.Sc.
Assisting supervisor: Dariusz Kościelnik, Ph.D.

Completed in:
AGH University of Science and Technology
Faculty of Computer Science, Electronics, and Telecommunications
Institute of Electronics

Kraków, 2022



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

DZIEDZINA NAUK INŻYNIERYJNO-TECHNICZNYCH
DYSCYPLINA AUTOMATYKA, ELEKTRONIKA I ELEKTROTECHNIKA

ROZPRAWA DOKTORSKA

Projektowanie i optymalizacja architektur
przetworników analogowo-cyfrowych
do przetwarzania interwałów czasu
metodą sukcesywnej aproksymacji

Autor: mgr inż. Jakub Szyduczyński

Promotor rozprawy: dr hab. inż. Marek Miśkiewicz, prof. AGH
Promotor pomocniczy: dr inż. Dariusz Kościelnik

Praca wykonana:
Akademia Górniczo-Hutnicza im. S. Staszica w Krakowie
Wydział Informatyki, Elektroniki i Telekomunikacji
Instytut Elektroniki

Kraków, 2022

I would like to express my sincere gratitude to PROFESSOR MAREK MIŚKOWICZ for invaluable help and contribution to expanding my scientific knowledge, and for supervising the research presented in this dissertation. I am also very thankful to DR DARIUSZ KOŚCIELNIK for constructive discussions and valuable advice that contributed to the submission of this thesis. I would also like to thank my whole FAMILY for support that gave me strength and motivation to act.

DESIGN AND OPTIMIZATION OF ARCHITECTURES FOR SUCCESSIVE APPROXIMATION TIME-TO-DIGITAL CONVERTERS

JAKUB SZYDUCZYŃSKI

Abstract

Microelectronics and integrated circuit designs are heavily driven by technology scaling. With a reduction of the supply voltage in deep-submicron CMOS technologies, the resolution of encoding signal edges in the time domain is enhanced, while the resolution of encoding the voltage amplitude is decreased. In Time-Mode Signal Processing (TMSP), which is an alternative to classical signal processing performed in the voltage domain, the information is represented by the time interval between digital events. Time-to-digital converters (TDCs) are key building blocks of digitally intensive time-mode circuits and enablers for digital processing of analog signals encoded in time.

The research objective of this dissertation is focused on the design and implementation of the successive approximation time-to-digital converters (SA-TDCs). The dissertation includes the original enhancements for SA-TDCs either with feedforward, or feedback-based architectures. The proposition to optimize the feedforward SA-TDC architecture is based on a reduction of the number of sets of delay lines to one at the expense of a slight increase of logic complexity. The use of only one instead of two sets of delay lines allows to reduce twice the number of inverters in the high resolution feedforward SA-TDC architecture. The optimized SA-TDC topology with single set of delay lines has been implemented in 180 nm CMOS technology with additional enhancements aimed to improve the time resolution and reduce INL and DNL nonlinearities.

The further part of the dissertation concerns the design of SA-TDCs with feedback-based architecture. For this purpose, the relevant system enhancements have been proposed to meet the challenges associated with the design of high-resolution feedback-based SA-TDCs. To improve the TDC performance weakened by circuit non-idealities, two calibration protocols have been presented. The proposed feedback-based SA-TDC with built-in fast self-calibration engine has been fabricated in 28 nm LP CMOS and verified by the measurements results. In addition, an innovative concept of the dynamic

delay equalization for feedback-based SA-TDC was presented, which allows to minimize its conversion time to the theoretical limit. Furthermore, the work includes the comprehensive analysis of the conversion time of the SA-TDC converter both for feedforward and feedback-based architectures.

**PROJEKTOWANIE I OPTYMALIZACJA ARCHITEKTUR
PRZETWORNIKÓW ANALOGOWO-CYFROWYCH DO PRZETWARZANIA
INTERWAŁÓW CZASU METODĄ SUKCESYWNEJ APROKSYMACJI**

JAKUB SZYDUCZYŃSKI

Streszczenie

Rozwój mikroelektroniki i metod projektowania układów scalonych jest określany przez systematyczną redukcję współczynnika charakterystycznego technologii fabrykacji. Wraz ze zmniejszeniem napięcia zasilania w submikronowych technologiach CMOS zwiększa się rozdzielczość kodowania zboczy sygnału w dziedzinie czasu, natomiast zmniejszeniu ulega rozdzielczość kodowania amplitudy w dziedzinie napięcia. Jedną z nowych technik projektowania układów analogowych stało się odwzorowanie przyrostów napięcia elektrycznego w postaci interwałów czasu (TMSP - Time Mode Signal Processing). W systemach TMSP informacja jest reprezentowana przez interwał czasu między dyskretnymi zdarzeniami. Kluczowym blokiem systemów TMSP jest układ przetwornika analogowo-cyfrowego do przetwarzania interwałów czasu (TDC - Time-to-Digital Converter), który umożliwia przetwarzanie sygnałów zakodowanych w czasie przy użyciu techniki cyfrowej.

Zakres niniejszej rozprawy dotyczy projektowania i implementacji przetworników analogowo-cyfrowych do przetwarzania interwałów czasu metodą sukcesywnej aproksymacji (SA-TDCs). Praca zawiera szereg udoskonaleń zarówno dla architektury kaskadowej przetwornika SA-TDC, jak i architektury ze sprzężeniem zwrotnym. W przypadku optymalizacji architektury kaskadowej przetwornika SA-TDC, w pracy przedstawiono nowatorską koncepcję systemu z pojedynczym zestawem linii opóźniających oraz dekodowaniem wyjściowego słowa cyfrowego. Zastosowanie pojedynczego zamiast podwójnego, jak to jest w podstawowej wersji układu, zestawu linii opóźniających pozwala przy dużej rozdzielczości bitowej na redukcję o niemal połowę złożoności układowej, wyrażonej w liczbie inwerterów wykorzystywanych do budowy przetwornika. Zoptymalizowana topologia przetwornika SA-TDC z pojedynczym zestawem linii opóźniających została zaimplementowana w technologii CMOS o parametrze charakterystycznym 180 nm wraz z dodatkowymi rozwiązaniami

układowymi mającymi na celu poprawę rozdzielczości czasowej oraz zmniejszenie błędów nieliniowości różniczkowej i całkowej.

Dalsza część rozprawy dotyczy projektowania przetworników SA-TDC w architekturze ze sprzężeniem zwrotnym. Przedstawione zostały istotne rozwiązania układowe związane z projektowaniem przetworników SA-TDC o wysokiej rozdzielczości z dwoma algorytmami kalibracji w celu zmniejszenia błędów nieliniowości różniczkowej i całkowej. Zaprojektowany przetwornik SA-TDC ze sprzężeniem zwrotnym wraz z wbudowanym układem kalibracji został sfabrykowany w technologii CMOS o parametrze charakterystycznym 28 nm, a następnie zweryfikowany eksperymentalnie poprzez pomiary prototypu. Ponadto, dla konwertera SA-TDC ze sprzężeniem zwrotnym przedstawiono nowatorską koncepcję systemu z dynamiczną korekcją opóźnień, która umożliwia skrócenie czasu przetwarzania tego przetwornika do wartości minimalnej, wynikającej z samej metody przetwarzania. Ponadto jednym z istotnych aspektów zawartych w niniejszej pracy jest analiza czasu przetwarzania konwertera SA-TDC oraz przedstawienie analitycznej zależności pomiędzy czasem przetwarzania a długością przetwarzanego interwału czasu.

Contents

List of Figures	11
List of Tables	15
1. Introduction	16
1.1. Description and Aim of Dissertation.....	19
1.2. Hypotheses	20
2. Overview of Time-to-Digital Converters	24
2.1. Sampling TDCs.....	25
2.1.1. Analog-based TDCs.....	25
2.1.2. Counter TDCs	27
2.1.3. Delay line TDCs	29
2.1.4. Vernier delay line TDCs	32
2.1.5. Successive-approximation TDCs.....	34
2.1.6. Pulse-shrinking TDCs.....	35
2.2. Noise-shaping TDCs	37
2.2.1. Gated-ring oscillator TDCs.....	37
2.2.2. Switched-ring oscillator TDCs	39
2.2.3. MASH TDCs	41
2.2.4. $\Delta\Sigma$ TDCs.....	42
2.3. Stochastic TDCs.....	43
2.4. FPGA-based TDCs.....	46
3. Successive Approximation Time-to-Digital Conversion	50
3.1. Schemes of Successive Approximation in Analog-to-Digital Conversion	50
3.2. Time-to-Digital Conversion Based on Monotone Successive Approximation Scheme.....	53
3.3. Basic Feedforward SA-TDC Architecture	55
3.3.1. Feedforward SA-TDC Architecture for Bipolar Input	55
3.3.2. Feedforward SA-TDC Architecture for Unipolar Input	57
3.4. Basic Feedback-Based SA-TDC Architecture	57

3.5.	Related Works for SA-TDCs Based on the Monotone Successive Approximation.....	59
3.6.	Other Successive Approximation Time-to-Digital Conversion Algorithms....	61
3.6.1.	Time-to-Digital Conversion Based on Decision-Select Successive Approximation.....	61
3.6.2.	Time-to-Digital Conversion Based on Successive Approximation with Continuous Disassembly	64
4.	Conversion Time in SA-TDCs.....	66
4.1.	Theoretical Analysis for SA-TDC Architecture for Unipolar Input	66
4.2.	Theoretical Analysis for SA-TDC Architecture for Bipolar Input	74
5.	Design and Implementation of Feedforward SA-TDC	77
5.1.	SA-TDC with Single Set of Delay Lines	77
5.1.1.	SA-TDC with Single Set of Delay Lines and Output Decoding	79
5.1.2.	Compensation of Logic Propagation Delays	81
5.1.3.	Evaluation of SA-TDC Circuit Complexity by Proposed Design Optimization	82
5.2.	Implementation of Feedforward SA-TDC in 180 nm CMOS Technology.....	84
5.2.1.	Delay Lines	84
5.2.2.	Time Comparator	86
5.2.3.	Preliminary Tests of SA-TDC with T_m	87
5.2.4.	Reducing T_m Delay by Symmetrizing Multiplexer Design.....	92
5.2.5.	Analysis of Device Mismatch and Time Jitter.....	96
5.2.6.	Impact of Temperature and Supply Voltage Variations	98
6.	Design and Implementation of Feedback-Based SA-TDC	100
6.1.	Requirements for Proper Operation of Feedback-Based SA-TDC	100
6.2.	Power-Efficient Architectural Enhancements.....	102
6.3.	Implementation of Feedback-Based SA-TDC in 28 nm CMOS Technology	105
6.3.1.	Circuit implementation	105
6.3.2.	SA-TDC Self Calibration.....	111
6.3.2.1.	Working Principle of Self Calibration	111
6.3.2.2.	Operation of Mismatch and Linearity Calibration	113
6.3.3.	Experimental Results	114
6.4.	Optimization of Basic Feedback-Based SA-TDC Architecture in Terms of Conversion Time	116
6.4.1.	Feedback-Based SA-TDC Architecture with Dynamic Delay Equalization	117

6.4.2. Modelling Approaches of Feedback-Based SA-TDC Architecture with Dynamic Delay Equalization.....	121
7. Summary.....	126
Author's Achievements.....	129
Bibliography	134