

**PROJEKTOWANIE I OPTYMALIZACJA ARCHITEKTUR  
PRZETWORNIKÓW ANALOGOWO-CYFROWYCH DO PRZETWARZANIA  
INTERWAŁÓW CZASU METODĄ SUKCESYWNEJ APROKSYMACJI**

JAKUB SZYDUCZYŃSKI

## **Streszczenie**

Rozwój mikroelektroniki i metod projektowania układów scalonych jest określany przez systematyczną redukcję współczynnika charakterystycznego technologii fabrykacji. Wraz ze zmniejszeniem napięcia zasilania w submikronowych technologiach CMOS zwiększa się rozdzielczość kodowania zboczy sygnału w dziedzinie czasu, natomiast zmniejszeniu ulega rozdzielczość kodowania amplitudy w dziedzinie napięcia. Jedną z nowych technik projektowania układów analogowych stało się odwzorowanie przyrostów napięcia elektrycznego w postaci interwałów czasu (TMSP - Time Mode Signal Processing). W systemach TMSP informacja jest reprezentowana przez interwał czasu między dyskretnymi zdarzeniami. Kluczowym blokiem systemów TMSP jest układ przetwornika analogowo-cyfrowego do przetwarzania interwałów czasu (TDC - Time-to-Digital Converter), który umożliwia przetwarzanie sygnałów zakodowanych w czasie przy użyciu techniki cyfrowej.

Zakres niniejszej rozprawy dotyczy projektowania i implementacji przetworników analogowo-cyfrowych do przetwarzania interwałów czasu metodą sukcesywnej aproksymacji (SA-TDCs). Praca zawiera szereg udoskonaleń zarówno dla architektury kaskadowej przetwornika SA-TDC, jak i architektury ze sprzężeniem zwrotnym. W przypadku optymalizacji architektury kaskadowej przetwornika SA-TDC, w pracy przedstawiono nowatorską koncepcję systemu z pojedynczym zestawem linii opóźniających oraz dekodowaniem wyjściowego słowa cyfrowego. Zastosowanie pojedynczego zamiast podwójnego, jak to jest w podstawowej wersji układu, zestawu linii opóźniających pozwala przy dużej rozdzielczości bitowej na redukcję o niemal połowę złożoności układowej, wyrażonej w liczbie inwerterów wykorzystywanych do budowy przetwornika. Zoptymalizowana topologia przetwornika SA-TDC z pojedynczym zestawem linii opóźniających została zaimplementowana w technologii CMOS o parametrze charakterystycznym 180 nm wraz z dodatkowymi rozwiązaniami układowymi mającymi na

celu poprawę rozdzielczości czasowej oraz zmniejszenie błędów nieliniowości różniczkowej i całkowej.

Dalsza część rozprawy dotyczy projektowania przetworników SA-TDC w architekturze ze sprzężeniem zwrotnym. Przedstawione zostały istotne rozwiązania układowe związane z projektowaniem przetworników SA-TDC o wysokiej rozdzielczości z dwoma algorytmami kalibracji w celu zmniejszenia błędów nieliniowości różniczkowej i całkowej. Zaprojektowany przetwornik SA-TDC ze sprzężeniem zwrotnym wraz z wbudowanym układem kalibracji został sfabrykowany w technologii CMOS o parametrze charakterystycznym 28 nm, a następnie zweryfikowany eksperymentalnie poprzez pomiary prototypu. Ponadto, dla konwertera SA-TDC ze sprzężeniem zwrotnym przedstawiono nowatorską koncepcję systemu z dynamiczną korekcją opóźnień, która umożliwia skrócenie czasu przetwarzania tego przetwornika do wartości minimalnej, wynikającej z samej metody przetwarzania. Ponadto jednym z istotnych aspektów zawartych w niniejszej pracy jest analiza czasu przetwarzania konwertera SA-TDC oraz przedstawienie analitycznej zależności pomiędzy czasem przetwarzania a długością przetwarzanego interwału czasu.

23.05.2022 Jakub Spolczyński

**DESIGN AND OPTIMIZATION OF ARCHITECTURES  
FOR SUCCESSIVE APPROXIMATION TIME-TO-DIGITAL CONVERTERS**

JAKUB SZYDUCZYŃSKI

## **Abstract**

Microelectronics and integrated circuit designs are heavily driven by technology scaling. With a reduction of the supply voltage in deep-submicron CMOS technologies, the resolution of encoding signal edges in the time domain is enhanced, while the resolution of encoding the voltage amplitude is decreased. In Time-Mode Signal Processing (TMSP), which is an alternative to classical signal processing performed in the voltage domain, the information is represented by the time interval between digital events. Time-to-digital converters (TDCs) are key building blocks of digitally intensive time-mode circuits and enablers for digital processing of analog signals encoded in time.

The research objective of this dissertation is focused on the design and implementation of the successive approximation time-to-digital converters (SA-TDCs). The dissertation includes the original enhancements for SA-TDCs either with feedforward, or feedback-based architectures. The proposition to optimize the feedforward SA-TDC architecture is based on a reduction of the number of sets of delay lines to one at the expense of a slight increase of logic complexity. The use of only one instead of two sets of delay lines allows to reduce twice the number of inverters in the high resolution feedforward SA-TDC architecture. The optimized SA-TDC topology with single set of delay lines has been implemented in 180 nm CMOS technology with additional enhancements aimed to improve the time resolution and reduce INL and DNL nonlinearities.

The further part of the dissertation concerns the design of SA-TDCs with feedback-based architecture. For this purpose, the relevant system enhancements have been proposed to meet the challenges associated with the design of high-resolution feedback-based SA-TDCs. To improve the TDC performance weakened by circuit non-idealities, two calibration protocols have been presented. The proposed feedback-based SA-TDC with built-in fast self-calibration engine has been fabricated in 28 nm LP CMOS and verified by the measurements results. In addition, an innovative concept of the dynamic delay equalization for feedback-based SA-TDC was presented, which allows to minimize its conversion time to the theoretical limit.

Furthermore, the work includes the comprehensive analysis of the conversion time of the SA-TDC converter both for feedforward and feedback-based architectures.

23.05.2022 Yehya Syduyash