

prof. dr hab. inż. Ryszard SZPLET  
Wydział Elektroniki  
Wojskowa Akademia Techniczna

Warszawa, 31 sierpnia 2022 r.

S E K R E T A R I A T  
Rady Dyscypliny AEE

Wpłynęło dnia ..... 04. 10. 2022 .....  
Zarejestrowano pod nr .....  
Podpis ..... *dr*

## RECENZJA

rozprawy doktorskiej mgr. inż. Jakuba SZYDUCZYŃSKIEGO  
na temat

### **„PROJEKTOWANIE I OPTYMALIZACJA ARCHITEKTUR PRZETWORNIKÓW ANALOGOWO-CYFROWYCH DO PRZETWARZANIA INTERWAŁÓW CZASU METODĄ SUKCESYWNEJ APROKSYMACJI”**

#### **1. Ogólna charakterystyka i cel rozprawy**

Przedstawiona do recenzji rozprawa doktorska jest poświęcona zagadnieniom szybkiego przetwarzania analogowo-cyfrowego, a w szczególności analizie i projektowaniu scalonych przetworników czasowo-cyfrowych opartych na metodzie sukcesywnej aproksymacji.

Stosunkowo duża i wciąż rosnąca popularność aplikacyjna przetworników czasowo-cyfrowych powoduje między innymi naturalny wzrost stawianych im wymagań. Oprócz oczywistej konieczności osiągnięcia coraz wyższych rozdzielczości i precyzji przetwarzania, wymagania te dotyczą także możliwie dużej szybkości konwersji i jak najmniejszej powierzchni płytki krzemowej koniecznej do realizacji przetwornika. Przesłanki te powodują, że poszukiwane są wciąż nowe metody przetwarzania, a znane rozwiązania są regularnie ulepszone. Metoda konwersji oparta na sukcesywnej aproksymacji jest metodą znaną i od wielu lat stosowaną w przetwarzaniu analogowo-cyfrowym, głównie do kodowania amplitudy w dziedzinie napięcia. Użycie tej metody do konwersji odcinków czasu zaproponował A. Mantyniemi w 2009 r., realizując przetwornik w scalonym układzie specjalizowanym. Od tamtej pory w literaturze przedmiotu raportowano o kolejnych tego typu opracowaniach. Ich liczba nie jest jednak duża, głównie z uwagi na trudności implementacyjne jakie stwarza metoda w odniesieniu do dziedziny czasu. Z tego właśnie powodu do praktycznej realizacji scalonych przetworników czasowo-cyfrowych opartych na sukcesywnej aproksymacji nie stosuje się na przykład, wygodnych w badaniach i prototypowaniu, programowalnych matryc bramkowych FPGA, wykorzystywanych powszechnie do implementacji konwerterów bazujących na innych metodach przetwarzania. Koniecznym staje się natomiast użycie układów specjalizowanych, zapewniających niezbędną swobodę projektowania, ale wymagających bardziej złożonego, dłuższego i kosztowniejszego procesu projektowo-wytwórczego.

Większa trudność realizacyjna sukcesywnej aproksymacji skutkuje wspomnianą już mniej liczną jej reprezentacją wśród opisywanych rozwiązań, ale także brakiem wyczerpującej analizy parametrów opartych na niej przetworników. Z drugiej strony metoda charakteryzuje się dużym potencjałem, zwłaszcza w zakresie możliwej redukcji zasobów logicznych niezbędnych do wykonania przetwornika (w porównaniu do innych metod) oraz, wynikającego stąd, potencjalnego ograniczenia mocy strat.

Zatem zarówno z uwagi na względnie duże bieżące zainteresowanie zagadnieniami precyzyjnego i szybkiego przetwarzania czasowo-cyfrowego, jak i wybrane metodę przetwarzania i platformę technologiczną, temat rozprawy jest aktualny, a zważywszy na rozległość związanych z nim zagadnień, wydaje się też stosunkowo trudny.

Recenzowana rozprawa liczy 150 stron i jest podzielona na 7 rozdziałów, uzupełnionych o wykazy rysunków i tabel, syntetyczny wykaz osiągnięć Autora oraz obszerną bibliografię. Zamieszczony wykaz literatury zawiera bowiem 198 pozycji, wyłącznie w języku angielskim, w tym 6 pozycji, których współautorem jest p. Jakub Szyduczyński.

W rozdziale wprowadzającym Autor w sposób przekonujący uzasadnia potrzebę wykonania przeprowadzonych prac projektowo-badawczych w zakresie szybkiego przetwarzania czasowo-cyfrowego oraz anonsuje zastosowane metodę konwersji i platformę technologiczną. Następnie formułuje cel rozprawy, którym jest przede wszystkim zaprezentowanie nowych rozwiązań zaproponowanych przez Autora w zakresie projektowania i analizy przetwornika czas-cyfra opartego na sukcesywnej aproksymacji, o architekturze zarówno kaskadowej, jak i ze sprzężeniem zwrotnym. Dalszym celem rozprawy jest analityczna i eksperymentalna weryfikacja postawionych w tymże rozdziale ośmiu hipotez dotyczących poprawności działania proponowanych rozwiązań układowych i wybranych parametrów przetwornika.

W następnym rozdziale pracy Autor przeprowadza szczegółowy przegląd stosowanych obecnie metod przetwarzania czasowo-cyfrowego, identyfikując 11 takich metod, oraz dokonuje ich klasyfikacji, korzystając z kryteriów zaczerpniętych z klasycznej teorii przetworników analogowo-cyfrowych.

W kolejnym, trzecim rozdziale Autor zajmuje się zagadnieniami podstawowymi dla podjętej tematyki, w szczególności zaś analizuje algorytmy sukcesywnej aproksymacji znane z rozwiązań w obszarze konwersji analogowo-cyfrowej realizowanej w odniesieniu do amplitudy sygnałów, a następnie opisuje zasadę działania przetwornika czasowo-cyfrowego opartego, siłą rzeczy w kontekście konwersji w domenie czasu, na monotonicznej aproksymacji sukcesywnej. Szczególnie dokładnie analizowane są dwie kardynalne architektury takiego przetwornika, a mianowicie o budowie kaskadowej i ze sprzężeniem zwrotnym, które są głównym przedmiotem dalszych badań opisanych w rozprawie.

Zasadnicze wyniki własnej pracy analityczno-projektowej Autora prezentowane są w trzech kolejnych rozdziałach dysertacji. Rozdział czwarty zawiera efekty przeprowadzonej przez Autora szczegółowej i konsekwentnej analizy jednego z głównych parametrów przetwornika czasowo-cyfrowego, tj. czasu konwersji. Analiza wykonana została dla obydwu wspomnianych wcześniej architektur przetwornika, zarówno dla z góry określonej kolejności impulsów wejściowych (unipolar input), jak i bez takiego założenia (bipolar input).

W obszernych rozdziałach piątym i szóstym opisane są propozycje licznych modyfikacji projektowych przetworników opartych na sukcesywnej aproksymacji, w odniesieniu odpowiednio do architektury kaskadowej (rozdział piąty) i ze sprzężeniem zwrotnym (rozdział szósty). Modyfikacje te, mające na celu przede wszystkim (1) redukcję liczby elementów logicznych układu cyfrowego niezbędnych do realizacji przetwornika i idące w ślad za tym ograniczenie zajmowanej powierzchni krzemu, oraz (2) poprawę parametrów metrologicznych (rozdzielczości, liniowości i szybkości przetwarzania) i elektrycznych (w szczególności mocy strat), zostały wprowadzone do projektów przetworników opracowanych do realizacji w technologii CMOS o rozmiarach charakterystycznych 180 nm (architektura kaskadowa) i 28 nm (architektura ze sprzężeniem zwrotnym). Skuteczność proponowanych rozwiązań ilustrowana jest wynikami badań symulacyjnych (dotyczy projektów obydwu przetworników) i eksperymentalnych (tylko przetwornik ze sprzężeniem zwrotnym), odniesionych częściowo również do wcześniejszych opracowań tego typu (tabela 5.4).

Podsumowanie dysertacji, znajdujące się w rozdziale siódmym, w sposób bardzo zwięzły reasumuje wkład wszystkich opisanych w rozprawie propozycji Autora w ulepszenie budowy i poprawę parametrów przetwornika czasowo-cyfrowego w dwóch analizowanych konfiguracjach. Jednocześnie potwierdzona zostaje pozytywna weryfikacja wszystkich postawionych na wstępie hipotez, formułowanych w bezpośrednim związku z proponowanymi modyfikacjami.

## **2. Charakter rozprawy**

Pod względem objętościowym w pracy dominują fragmenty dotyczące różnych aspektów analiz metod i technik przetwarzania czasowo-cyfrowego, uzupełnione o merytorycznie powiązane wprowadzenie teoretyczne oraz wyniki modelowania układowego i badań symulacyjnych. Rozdziały poświęcone tym zagadnieniom zajmują ponad 2/3 treści rozprawy, podczas gdy opis nowych propozycji układowych, a w szczególności ich projektów mieści się w kilku podrozdziałach rozdziałów piątego i szóstego o łącznej objętości mniej więcej 20 stron. Strona stricte eksperymentalna zrealizowanych prac badawczych reprezentowana jest w rozprawie jedynie, przytoczonymi w pojedynczym podrozdziale (rozd. 6.3.3), parametrami elektrycznymi

(akapit pod rys. 6.12) i metrologicznymi (rys. 6.13 ilustrujący nieliniowości przetwarzania) jednego z wykonanych układów. Zatem rozprawę kwalifikuję jako analityczno-projektową.

### **3. Źródła literaturowe i sposób ich analizy**

Wykaz literatury podany przez Autora zawiera zdecydowaną większość ważnych, fundamentalnych publikacji dotyczących tematyki poruszanej w rozprawie. Analiza stanu wiedzy jest zakrojona szeroko i przeprowadzona konsekwentnie. Poświęcono jej aż dwa rozdziały pracy, obejmujące wpieryw obszerny, 26-stronicowy, przegląd znanych rozwiązań przetworników czasowo-cyfrowych (rozdział 2), a następnie szczegółową, 16-stronicową, analizę rodzajów i własności przetworników opartych na metodzie sukcesywnej aproksymacji (rozdział 3), będących zasadniczym obiektem badań i modyfikacji Doktoranta. Należy zatem stwierdzić, że przedstawiony w rozprawie przegląd dotychczasowych rozwiązań w zakresie jej tematyki jest bez wątpienia bardzo dogłębny, a konsekwentny sposób ich analizy świadczy o dużym rozeznaniu Autora zarówno w ujęciu merytorycznym problemu, jak i samej literaturze przedmiotu.

### **4. Rozwiązanie postawionego zadania**

Ogólne podejście do rozwiązania postawionego zadania jest prawidłowe. Autor bada najpierw przesłanki teoretyczne i formułuje wnioski będące podstawą założeń projektowych. Następnie w sposób przemyślany i analitycznie uzasadniony proponuje szereg modyfikacji układowych zmierzających do wieloaspektowych ulepszeń przetwornika z sukcesywną aproksymacją, po czym przechodzi do projektowania, implementacji oraz badań dwóch wersji takiego przetwornika. Proces projektowy realizowany jest z wykorzystaniem adekwatnych komputerowych środowisk projektowych (*Cadence Virtuoso*) i obliczeniowych (*Matlab*). Sposób rozwiązania prezentowany w rozprawie jest więc koncepcyjnie kompletny i obejmuje główne etapy procesu projektowo-badawczego od założeń, przez opracowanie układu, aż po weryfikację prawidłowości jego działania i uzyskanych parametrów. Wyniki badań opracowanych układów potwierdzają z kolei poprawność merytoryczną zaproponowanych modyfikacji.

### **5. Oryginalność rozprawy**

Zdefiniowany przez autora cel pracy, dotyczący zaprojektowania istotnie zmodyfikowanych wersji przetwornika czasowo-cyfrowego opartego na sukcesywnej aproksymacji i ich implementacji w układach specjalizowanych, to zamierzenie ambitne i rozległe tematycznie. Jego realizacja wymagała dużej wiedzy teoretycznej i sporej sprawności projektowej w zakresie mikroelektroniki. Sposoby i efekty pomyślnej

realizacji zadań prowadzących do osiągnięcia tego celu są opisane w rozprawie, która zawiera co najmniej kilka elementów będących istotnymi oryginalnymi osiągnięciami Autora. Do najważniejszych należą:

- Dokonanie szczegółowej i systematycznej analizy zakresu potencjalnych wartości jednego z zasadniczych parametrów przetworników czasowo-cyfrowych, a mianowicie czasu konwersji. Analizę przeprowadzono w odniesieniu do przetwornika z sukcesywną aproksymacją w wersjach (1) kaskadowej i (2) ze sprzężeniem zwrotnym oraz dla (3) określonej kolejności mierzonych sygnałów wejściowych oraz (4) bez jej określania. Ponadto, analiza wykonana została dla przetwornika idealnego oraz rzeczywistego, tj. z uwzględnieniem niezerowych opóźnień elementów w torach sygnałowych przetwornika. W wyniku przeprowadzonych prac, dla wskazanych wcześniej przypadków wyznaczone zostały zależności analityczne określające przedziały potencjalnych wartości czasu konwersji w funkcji mierzonego odcinka czasu. Co ważne, zależności te umożliwiają względnie łatwą identyfikację, na przykład, minimalnych wartości tego parametru, co z kolei pozwala oszacować maksymalną częstość konwersji dla danego przetwornika. Wartościowym efektem prac w tym zakresie są również, prezentowane w pracy, wykresy ilustrujące wartości analizowanych czasów propagacji, znormalizowane względem zakresu pomiarowego przetwornika, z uwzględnieniem nieoczywistego wpływu błędu kwantyzacji (np. rys. 4.7 i 4.8). Mimo, że generalnie czas konwersji nie jest dla typowego przetwornika parametrem najważniejszym, za istotniejsze na ogół uznaje się precyzję, rozdzielczość oraz zakres pomiarowy, to w wybranych aplikacjach jego wartość może być decydująca o możliwości zastosowania. Zatem uzupełnienie i uporządkowanie informacji w tym zakresie ma istotne znaczenie dla jakości wiedzy dotyczącej przetwarzania czasowo-cyfrowego z sukcesywną aproksymacją zwłaszcza, że systematycznych badań w tym zakresie dotychczas nie prowadzono.
- Zaproponowanie nowatorskiej modyfikacji projektu przetwornika o budowie kaskadowej nakierowanej na znaczącą redukcję zasobów logicznych układu cyfrowego niezbędnych do wykonania przetwornika. Najistotniejszym założeniem proponowanej modyfikacji jest zastąpienie w projekcie przetwornika dwóch zestawów dyskretnych linii opóźniających zestawem pojedynczym, jednakże skojarzonym z szybkimi układami decyzyjnymi umożliwiającymi wykorzystanie elementów linii w obydwu torach sygnałowych przetwornika. Pomyślna realizacja takiego przetwornika wymagała od Autora rozwiązania dodatkowych problemów projektowych, takich jak opisane w rozprawie: (1) szybkie multipleksowanie międzykanałowe, (2) umiejętne dekodowanie stanów wyjściowych przetwornika oraz (3) precyzyjne kompensowanie opóźnień wewnątrz układowych. Szczególne znaczenie dla finalnej jakości zaproponowanego konwertera miało rozwiązanie ostatniego problemu, które ze swej natury powinno być gwarantem kompromisu

pomiędzy wysoką wiarygodnością przetwarzania, uzyskiwaną w wyniku eliminacji stanów metastabilnych w układzie, a możliwie krótkim czasem konwersji i jak najmniejszą zajętością powierzchni układu scalonego. Efekt zaproponowanych przez Autora modyfikacji układowych jest bardzo istotny. Złożoność zmodyfikowanego przetwornika, wyrażona w liczbie tranzystorów koniecznych do jego implementacji, w zależności od jego rozdzielczości jest od około 20% (dla przetwornika 8-bitowego) do niemal 50% (dla przetwornika 12-bitowego) mniejsza niż złożoność adekwatnego przetwornika o typowej architekturze. Dodatkowe zabiegi projektowe, polegające przede wszystkim na symetryzacji wybranych układów, doprowadziły ponadto do znacznej poprawy parametrów metrologicznych opracowanego przetwornika, którego finalna charakterystyka przetwarzania cechuje się błędami liniowości wyraźnie mniejszymi od wartości rozdzielczości, a mianowicie  $DNL = 0.14 \text{ LSB}$ , a  $INL = 0.16 \text{ LSB}$  (wartości rms).

- Wykonanie szczegółowej analizy czasowej przetwornika opartego na sukcesywnej aproksymacji i architekturze ze sprzężeniem zwrotnym, której efektem było zidentyfikowanie wymagań dotyczących minimalnych wartości dodatkowych opóźnień w torach sygnałów mierzonych, wtrącanych celem kompensacji czasów propagacji bloków funkcjonalnych tych torów (detektor fazy i multiplexer). Kompensacja taka jest niezbędna dla zapewnienia poprawności działania przetwornika i oczywiście była ona realizowana we wszystkich dotychczasowych konwerterach. Jednakże, wartości dodatkowych opóźnień były szacowane zgrubnie z dużym naddatkiem względem rzeczywistych potrzeb, co odbijało się negatywnie na szybkości działania przetworników. Przeprowadzona przez Autora analiza pozwoliła zidentyfikować minimalne konieczne wartości dodatkowych opóźnień zarówno dla wersji przetwornika z określoną kolejnością sygnałów wejściowych (unipolar, FSR/2), jak i bez ustalonej kolejności (bipolar, FSR/4). Istotność tej analizy można stosunkowo łatwo wykazać odnosząc jej wyniki do wybranych opracowań, opisanych wcześniej w literaturze. I tak na przykład, wykorzystanie wyników analizy w rozwiązaniu z 2009 r. (Mantyniemi et al.), pozwoliłoby skrócić zastosowane w nim opóźnienia nawet 20-krotnie, co istotnie zwiększyłoby szybkość przetwornika i zredukowało wymaganą powierzchnię układu scalonego.
- Zaproponowanie rozwiązań układowych umożliwiających znaczną redukcję mocy strat przetwornika o architekturze ze sprzężeniem zwrotnym. Przedstawiona propozycja opiera się na zastosowaniu dyskretnej linii opóźniającej z dynamicznie odłączanymi segmentami linii, które nie są wykorzystywane w konkretnym etapie konwersji. To koncepcyjnie stosunkowo proste rozwiązanie, które wymaga jednakowoż szybkiego układu decyzyjnego, pozwala na ograniczenie niemal o połowę (47 %) mocy strat linii opóźniającej przetwornika.

- Opracowanie i zaimplementowanie wieloetapowej procedury autokalibracji przetwornika o architekturze ze sprzężeniem zwrotnym. Typowa procedura kalibracyjna precyzyjnego przetwornika czasowo-cyfrowego polega w istocie na możliwie dokładnej identyfikacji jego charakterystyki przetwarzania, która przechowywana w pamięci przetwornika jest wykorzystywana do określania wyników realizowanych później pomiarów. Procedura zaproponowana w rozprawie jest bardziej złożona i koncentruje się na dynamicznym korygowaniu parametrów czasowych torów sygnałowych przetwornika. Etapy zaproponowanej autokalibracji obejmują: (1) wyrównywanie niezrównoważenia wstępnego pętli opóźnieniowych (*calibration of loop fixed delays*), (2) redukcję rozrzutów opóźnień przetworników cyfra-czas w obydwu pętlach opóźnieniowych (*calibration of DTC mismatch*) i (3) uzyskanie możliwie dokładnie binarnej relacji pomiędzy opóźnieniami wnoszonymi w kolejnych krokach przetwarzania (*calibration of DTC linearity*). Procedura ta w efekcie umożliwia linearyzację charakterystyki przetwarzania układu i redukcję błędu offsetu. Jej skuteczność została potwierdzona w badaniach eksperymentalnych, w których błędy liniowości DNL i INL zostały w kolejnych etapach procedury zmniejszone z odpowiednio 71.5 ps i 87.5 ps do 10.8 ps i 6.6 ps (rys. 6.13), czyli ponad siedmio- i niemal trzynastokrotnie.
- Zaproponowanie, zamodelowanie i zweryfikowanie w badaniach symulacyjnych modyfikacji układowej przetwornika o architekturze ze sprzężeniem zwrotnym, umożliwiającej dynamiczne korygowanie opóźnień (*dynamic delay equalization*) w pętlach przetwornika, adekwatnie do aktualnego wyniku konwersji, w celu zapewnienia potencjalnej możliwości skrócenia dodatkowych opóźnień w torach sygnałów mierzonych i linearyzacji charakterystyki przetwarzania. Skuteczność zaproponowanego rozwiązania została potwierdzona w wyniku symulacyjnych badań porównawczych z użyciem modeli numerycznego (Matlab) i behawioralnego (Verilog-A).

## 6. Poprawność przedstawienia uzyskanych wyników

Oceniając strukturę przedłożonej rozprawy, należy stwierdzić, że jest ona klarowna i generalnie poprawna. Pewien niedosyt w zakresie prezentacji wyników pozostawia jedynie zasygnalizowana już w recenzji słaba ekspozycja etapu badań eksperymentalnych. Wyraźnie brakuje w pracy opisu stanowisk badawczych i zastosowanych procedur testowych. Podstawowa choćby informacja na ten temat podniosłaby wartość prezentowanych wyników i zapewniła możliwość ewentualnego porównywania z rezultatami innych opracowań. W pracy brak jest również informacji na temat etapu projektowania topograficznego (*layoutu*) proponowanych układów.

Praca jest natomiast bardzo starannie przygotowana zarówno pod względem edytorskim, jak i językowym. Warte podkreślenia jest w tym kontekście opracowanie

przez Autora rozprawy w języku angielskim, co bez wątpienia zwiększa jej potencjalny zasięg oraz możliwość upowszechnienia proponowanych rozwiązań. Zauważyć również należy, że pracę czyta się bardzo dobrze, a Autor nie zmusza czytelnika do kilkakrotnego analizowania tych samych fragmentów pracy w celu jej zrozumienia. Ponadto, Autor unika używania pojęć żargonowych lub stosowanych w wąskich kręgach specjalistów.

## 7. Krytyczna ocena zawartości merytorycznej rozprawy

Zgodnie ze sformułowaną wcześniej opinią, ogólna koncepcja pracy i sposób rozwiązania postawionego zadania są poprawne, a uzyskane wyniki oceniane bardzo wysoko. Szczegółowa lektura rozprawy ujawnia jednak pewne braki i elementy dyskusyjne.

### A. Uwagi o charakterze dyskusyjnym

- Jedną z głównych motywacji do podjęcia prac modyfikacyjnych opisanych w rozprawie był zamiar istotnej redukcji zasobów logicznych układu cyfrowego niezbędnych do realizacji przetwornika czasowo-cyfrowego opartego na sukcesywnej aproksymacji. W przypadku pierwszego z opisanych przetworników, o architekturze kaskadowej, stopień redukcji koniecznych zasobów w wyniku zaproponowanej modyfikacji układowej jest znaczny, i w zależności od rozdzielczości wynosi od 20% do nawet 50%. Jest to wynik bez wątpienia potwierdzający zasadność podjętych prac, zwłaszcza że uzyskanie pełnej poprawności działania zmodyfikowanego przetwornika wymagało jedynie pewnych prac korekcyjnych (symetryzacja multipleksera), a nie angażowało dodatkowych zasobów. Jednakże w przypadku przetwornika o architekturze ze sprzężeniem zwrotnym, duża złożoność jego finalnego projektu, zawierającego w każdej pętli sprzężenia m.in. po cztery przetworniki cyfrowo-czasowe (5- i 3-bitowy Main DTC oraz 3- i 7-bitowy Compensation DTC), prowokuje do zastanowienia, czy zasadnicze zalety przetwornika, takie jak chociażby duża szybkość konwersji i oszczędność zasobów logicznych, zostały w nim zachowane. Interesującym w tym kontekście wydaje się przeprowadzenie analizy porównawczej z przetwornikami opartymi na innych metodach konwersji, w szczególności zaś z prostym przetwornikiem zbudowanym z użyciem dyskretnej linii opóźniającej.
- Opisy obydwu zaproponowanych w rozprawie rozwiązań zawierają podrozdziały o tytułach sugerujących ich układową realizację. Dotyczy to podrozdziałów 5.2. *Implementation of Feedforward SA-TDC in 180 nm CMOS Technology* i 6.3. *Implementation of Feedback-Based SA-TDC in 28 nm CMOS Technology*. Jednak brak jest w pracy jednoznacznej informacji, że obydwa przetworniki zostały wykonane jako układy scalone. O ile opis drugiego przetwornika zawiera zdjęcie układu scalonego i wyniki badań, które mimo braku wyraźnego stwierdzenia można



uznać za wyniki badań eksperymentalnych, to w przypadku pierwszego z przetworników jego działanie ilustrowane jest wyłącznie wynikami badań symulacyjnych. Wątpliwości co do wytworzenia przetworników pogłębia brak w rozprawie informacji o badaniach eksperymentalnych układów, o czym już w recenzji wspomiano. W tym kontekście wskazanym byłoby omówienie w czasie publicznej obrony zakresu prac projektowych i badawczych jakim zaproponowane rozwiązania zostały przez Autora poddane.

#### B. Uwagi krytyczne mniejszej wagi

Jak już zauważono praca została bardzo starannie przygotowana zarówno pod względem językowym jak i edytorskim. Jednakże, mimo niewątpliwie dużego zaangażowania Autora w jej opracowanie, dostrzeżono jeszcze kilka drobnych usterek.

- Sporą niedogodnością, utrudniającą czytanie tekstu i śledzenie myśli Autora, jest brak w rozprawie wykazu zastosowanych oznaczeń i skrótów.
- W polskim streszczeniu rozprawy (str. 7) dość nieszczęśliwie użyto czasownika „*sfabrykowany*”, jako odpowiednika angielskiego „*fabricated*”. W języku polskim czasownik „*sfabrykować*” ma zabarwienie pejoratywne (patrz Słownik Języka Polskiego lub jeszcze wyraźniej DobrySłownik.pl) i lepiej w wymienionym kontekście używać „*wytworzony*”, „*wykonany*” lub „*wyprodukowany*”.
- W podrozdziale 2.1.2. Autor zawarł stwierdzenie, że „*The conversion time of the counter-based TDC equals zero...*”, które jest sformułowaniem co najmniej kontrowersyjnym. Zamysł Autora jest wprawdzie dość jasny, gdyż zaraz uzasadnia, że „*the counting result is known almost immediately after termination of  $T_m$* ”, jednak tak kategoryczne stwierdzenie jest po prostu nieprawdziwe, zwłaszcza w obliczu pikosekundowych odcinków czasu, którymi Autor się zajmuje.
- Na str. 56 błędnie opisano działanie zatrzasku pokazanego na rys. 3.8.
- Opis osi odciętych na rys. 5.11b wydaje się nieprawidłowy.

Należy wyraźnie podkreślić, iż powyższe uwagi krytyczne i dyskusyjne, acz istotne, nie kwestionują wysokiej wartości merytorycznej opisanego przez doktoranta rozwiązania, a odnoszą się głównie do sposobu jego charakteryzacji.

#### 8. Wnioski końcowe

Rozprawa mgr. inż. Jakuba Szyduczyńskiego wnosi nowe istotne elementy do ważnego i aktualnego problemu projektowania szybkich scalonych przetworników czasowo-cyfrowych. W szczególności Autor proponuje kilka nowatorskich modyfikacji układowych pozwalających w znacznym stopniu (1) zredukować zasoby logiczne układu cyfrowego niezbędne do realizacji przetwornika, (2) ograniczyć jego moc strat oraz

(3) zwiększyć szybkość konwersji. Autor opracował także wieloetapową procedurę autokalibracji przetwornika, umożliwiającą szybką i skuteczną linearyzację charakterystyki przetwarzania. Ponadto, wykonał szczegółową i systematyczną analizę zakresu potencjalnych wartości jednego z zasadniczych parametrów przetworników czasowo-cyfrowych, a mianowicie czasu konwersji. Przedstawione w rozprawie metody rozwiązania zadań badawczych, uzyskane wyniki oraz sposoby ich prezentacji powodują, że praca jest ciekawa i wartościowa naukowo. Autor wykazał przy tym dobre przygotowanie teoretyczne oraz umiejętności prowadzenia pracy naukowej i inżynierskiej.

**Uważam, że przedłożona rozprawa w pełni spełnia wymagania określone przez *Ustawę o stopniach i tytule naukowym* i może stanowić podstawę nadania stopnia doktora nauk technicznych w dyscyplinie *Automatyka, Elektronika i Elektrotechnika*. Wnoszę o jej dopuszczenie do publicznej obrony.**



## RECENZJA

rozprawy doktorskiej mgr. inż. Jakuba SZYDUCZYŃSKIEGO  
na temat

### **„PROJEKTOWANIE I OPTYMALIZACJA ARCHITEKTUR PRZETWORNIKÓW ANALOGOWO-CYFROWYCH DO PRZETWARZANIA INTERWAŁÓW CZASU METODĄ SUKCESYWNEJ APROKSYMACJI”**

#### **1. Ogólna charakterystyka i cel rozprawy**

Przedstawiona do recenzji rozprawa doktorska jest poświęcona zagadnieniom szybkiego przetwarzania analogowo-cyfrowego, a w szczególności analizie i projektowaniu scalonych przetworników czasowo-cyfrowych opartych na metodzie sukcesywnej aproksymacji.

Stosunkowo duża i wciąż rosnąca popularność aplikacyjna przetworników czasowo-cyfrowych powoduje między innymi naturalny wzrost stawianych im wymagań. Oprócz oczywistej konieczności osiągnięcia coraz wyższych rozdzielczości i precyzji przetwarzania, wymagania te dotyczą także możliwie dużej szybkości konwersji i jak najmniejszej powierzchni płytki krzemowej koniecznej do realizacji przetwornika. Przesłanki te powodują, że poszukiwane są wciąż nowe metody przetwarzania, a znane rozwiązania są regularnie ulepszone. Metoda konwersji oparta na sukcesywnej aproksymacji jest metodą znaną i od wielu lat stosowaną w przetwarzaniu analogowo-cyfrowym, głównie do kodowania amplitudy w dziedzinie napięcia. Użycie tej metody do konwersji odcinków czasu zaproponował A. Mantyniemi w 2009 r., realizując przetwornik w scalonym układzie specjalizowanym. Od tamtej pory w literaturze przedmiotu raportowano o kolejnych tego typu opracowaniach. Ich liczba nie jest jednak duża, głównie z uwagi na trudności implementacyjne jakie stwarza metoda w odniesieniu do dziedziny czasu. Z tego właśnie powodu do praktycznej realizacji scalonych przetworników czasowo-cyfrowych opartych na sukcesywnej aproksymacji nie stosuje się na przykład, wygodnych w badaniach i prototypowaniu, programowalnych matryc bramkowych FPGA, wykorzystywanych powszechnie do implementacji konwerterów bazujących na innych metodach przetwarzania. Koniecznym staje się natomiast użycie układów specjalizowanych, zapewniających niezbędną swobodę projektowania, ale wymagających bardziej złożonego, dłuższego i kosztowniejszego procesu projektowo-wytwórczego.

Większa trudność realizacyjna sukcesywnej aproksymacji skutkuje wspomnianą już mniej liczną jej reprezentacją wśród opisywanych rozwiązań, ale także brakiem wyczerpującej analizy parametrów opartych na niej przetworników. Z drugiej strony metoda charakteryzuje się dużym potencjałem, zwłaszcza w zakresie możliwej redukcji zasobów logicznych niezbędnych do wykonania przetwornika (w porównaniu do innych metod) oraz, wynikającego stąd, potencjalnego ograniczenia mocy strat.

Zatem zarówno z uwagi na względnie duże bieżące zainteresowanie zagadnieniami precyzyjnego i szybkiego przetwarzania czasowo-cyfrowego, jak i wybrane metodę przetwarzania i platformę technologiczną, temat rozprawy jest aktualny, a zważywszy na rozległość związanych z nim zagadnień, wydaje się też stosunkowo trudny.

Recenzowana rozprawa liczy 150 stron i jest podzielona na 7 rozdziałów, uzupełnionych o wykazy rysunków i tabel, syntetyczny wykaz osiągnięć Autora oraz obszerną bibliografię. Zamieszczony wykaz literatury zawiera bowiem 198 pozycji, wyłącznie w języku angielskim, w tym 6 pozycji, których współautorem jest p. Jakub Szyduczyński.

W rozdziale wprowadzającym Autor w sposób przekonujący uzasadnia potrzebę wykonania przeprowadzonych prac projektowo-badawczych w zakresie szybkiego przetwarzania czasowo-cyfrowego oraz anonsuje zastosowane metodę konwersji i platformę technologiczną. Następnie formułuje cel rozprawy, którym jest przede wszystkim zaprezentowanie nowych rozwiązań zaproponowanych przez Autora w zakresie projektowania i analizy przetwornika czas-cyfra opartego na sukcesywnej aproksymacji, o architekturze zarówno kaskadowej, jak i ze sprzężeniem zwrotnym. Dalszym celem rozprawy jest analityczna i eksperymentalna weryfikacja postawionych w tymże rozdziale ośmiu hipotez dotyczących poprawności działania proponowanych rozwiązań układowych i wybranych parametrów przetwornika.

W następnym rozdziale pracy Autor przeprowadza szczegółowy przegląd stosowanych obecnie metod przetwarzania czasowo-cyfrowego, identyfikując 11 takich metod, oraz dokonuje ich klasyfikacji, korzystając z kryteriów zaczerpniętych z klasycznej teorii przetworników analogowo-cyfrowych.

W kolejnym, trzecim rozdziale Autor zajmuje się zagadnieniami podstawowymi dla podjętej tematyki, w szczególności zaś analizuje algorytmy sukcesywnej aproksymacji znane z rozwiązań w obszarze konwersji analogowo-cyfrowej realizowanej w odniesieniu do amplitudy sygnałów, a następnie opisuje zasadę działania przetwornika czasowo-cyfrowego opartego, siłą rzeczy w kontekście konwersji w domenie czasu, na monotonicznej aproksymacji sukcesywnej. Szczególnie dokładnie analizowane są dwie kardynalne architektury takiego przetwornika, a mianowicie o budowie kaskadowej i ze sprzężeniem zwrotnym, które są głównym przedmiotem dalszych badań opisanych w rozprawie.

Zasadnicze wyniki własnej pracy analityczno-projektowej Autora prezentowane są w trzech kolejnych rozdziałach dysertacji. Rozdział czwarty zawiera efekty przeprowadzonej przez Autora szczegółowej i konsekwentnej analizy jednego z głównych parametrów przetwornika czasowo-cyfrowego, tj. czasu konwersji. Analiza wykonana została dla obydwu wspomnianych wcześniej architektur przetwornika, zarówno dla z góry określonej kolejności impulsów wejściowych (unipolar input), jak i bez takiego założenia (bipolar input).

W obszernych rozdziałach piątym i szóstym opisane są propozycje licznych modyfikacji projektowych przetworników opartych na sukcesywnej aproksymacji, w odniesieniu odpowiednio do architektury kaskadowej (rozdział piąty) i ze sprzężeniem zwrotnym (rozdział szósty). Modyfikacje te, mające na celu przede wszystkim (1) redukcję liczby elementów logicznych układu cyfrowego niezbędnych do realizacji przetwornika i idące w ślad za tym ograniczenie zajmowanej powierzchni krzemu, oraz (2) poprawę parametrów metrologicznych (rozdzielczości, liniowości i szybkości przetwarzania) i elektrycznych (w szczególności mocy strat), zostały wprowadzone do projektów przetworników opracowanych do realizacji w technologii CMOS o rozmiarach charakterystycznych 180 nm (architektura kaskadowa) i 28 nm (architektura ze sprzężeniem zwrotnym). Skuteczność proponowanych rozwiązań ilustrowana jest wynikami badań symulacyjnych (dotyczy projektów obydwu przetworników) i eksperymentalnych (tylko przetwornik ze sprzężeniem zwrotnym), odniesionych częściowo również do wcześniejszych opracowań tego typu (tabela 5.4).

Podsumowanie dysertacji, znajdujące się w rozdziale siódmym, w sposób bardzo zwięzły reasumuje wkład wszystkich opisanych w rozprawie propozycji Autora w ulepszenie budowy i poprawę parametrów przetwornika czasowo-cyfrowego w dwóch analizowanych konfiguracjach. Jednocześnie potwierdzona zostaje pozytywna weryfikacja wszystkich postawionych na wstępie hipotez, formułowanych w bezpośrednim związku z proponowanymi modyfikacjami.

## **2. Charakter rozprawy**

Pod względem objętościowym w pracy dominują fragmenty dotyczące różnych aspektów analiz metod i technik przetwarzania czasowo-cyfrowego, uzupełnione o merytorycznie powiązane wprowadzenie teoretyczne oraz wyniki modelowania układowego i badań symulacyjnych. Rozdziały poświęcone tym zagadnieniom zajmują ponad 2/3 treści rozprawy, podczas gdy opis nowych propozycji układowych, a w szczególności ich projektów mieści się w kilku podrozdziałach rozdziałów piątego i szóstego o łącznej objętości mniej więcej 20 stron. Strona stricte eksperymentalna zrealizowanych prac badawczych reprezentowana jest w rozprawie jedynie, przytoczonymi w pojedynczym podrozdziale (rozdz. 6.3.3), parametrami elektrycznymi

(akapit pod rys. 6.12) i metrologicznymi (rys. 6.13 ilustrujący nieliniowości przetwarzania) jednego z wykonanych układów. Zatem rozprawę kwalifikuję jako analityczno-projektową.

### **3. Źródła literaturowe i sposób ich analizy**

Wykaz literatury podany przez Autora zawiera zdecydowaną większość ważnych, fundamentalnych publikacji dotyczących tematyki poruszanej w rozprawie. Analiza stanu wiedzy jest zakrojona szeroko i przeprowadzona konsekwentnie. Poświęcono jej aż dwa rozdziały pracy, obejmujące wprawdzie obszerny, 26-stronicowy, przegląd znanych rozwiązań przetworników czasowo-cyfrowych (rozdział 2), a następnie szczegółową, 16-stronicową, analizę rodzajów i własności przetworników opartych na metodzie sukcesywnej aproksymacji (rozdział 3), będących zasadniczym obiektem badań i modyfikacji Doktoranta. Należy zatem stwierdzić, że przedstawiony w rozprawie przegląd dotychczasowych rozwiązań w zakresie jej tematyki jest bez wątpienia bardzo dogłębny, a konsekwentny sposób ich analizy świadczy o dużym rozeznaniu Autora zarówno w ujęciu merytorycznym problemu, jak i samej literaturze przedmiotu.

### **4. Rozwiązanie postawionego zadania**

Ogólne podejście do rozwiązania postawionego zadania jest prawidłowe. Autor bada najpierw przesłanki teoretyczne i formułuje wnioski będące podstawą założeń projektowych. Następnie w sposób przemyślany i analitycznie uzasadniony proponuje szereg modyfikacji układowych zmierzających do wieloaspektowych ulepszeń przetwornika z sukcesywną aproksymacją, po czym przechodzi do projektowania, implementacji oraz badań dwóch wersji takiego przetwornika. Proces projektowy realizowany jest z wykorzystaniem adekwatnych komputerowych środowisk projektowych (*Cadence Virtuoso*) i obliczeniowych (*Matlab*). Sposób rozwiązania prezentowany w rozprawie jest więc koncepcyjnie kompletny i obejmuje główne etapy procesu projektowo-badawczego od założeń, przez opracowanie układu, aż po weryfikację prawidłowości jego działania i uzyskanych parametrów. Wyniki badań opracowanych układów potwierdzają z kolei poprawność merytoryczną zaproponowanych modyfikacji.

### **5. Oryginalność rozprawy**

Zdefiniowany przez autora cel pracy, dotyczący zaprojektowania istotnie zmodyfikowanych wersji przetwornika czasowo-cyfrowego opartego na sukcesywnej aproksymacji i ich implementacji w układach specjalizowanych, to zamierzenie ambitne i rozległe tematycznie. Jego realizacja wymagała dużej wiedzy teoretycznej i sporej sprawności projektowej w zakresie mikroelektroniki. Sposoby i efekty pomyślnej

realizacji zadań prowadzących do osiągnięcia tego celu są opisane w rozprawie, która zawiera co najmniej kilka elementów będących istotnymi oryginalnymi osiągnięciami Autora. Do najważniejszych należą:

- Dokonanie szczegółowej i systematycznej analizy zakresu potencjalnych wartości jednego z zasadniczych parametrów przetworników czasowo-cyfrowych, a mianowicie czasu konwersji. Analizę przeprowadzono w odniesieniu do przetwornika z sukcesywną aproksymacją w wersjach (1) kaskadowej i (2) ze sprzężeniem zwrotnym oraz dla (3) określonej kolejności mierzonych sygnałów wejściowych oraz (4) bez jej określania. Ponadto, analiza wykonana została dla przetwornika idealnego oraz rzeczywistego, tj. z uwzględnieniem niezerowych opóźnień elementów w torach sygnałowych przetwornika. W wyniku przeprowadzonych prac, dla wskazanych wcześniej przypadków wyznaczone zostały zależności analityczne określające przedziały potencjalnych wartości czasu konwersji w funkcji mierzonego odcinka czasu. Co ważne, zależności te umożliwiają względnie łatwą identyfikację, na przykład, minimalnych wartości tego parametru, co z kolei pozwala oszacować maksymalną częstość konwersji dla danego przetwornika. Wartościowym efektem prac w tym zakresie są również, prezentowane w pracy, wykresy ilustrujące wartości analizowanych czasów propagacji, znormalizowane względem zakresu pomiarowego przetwornika, z uwzględnieniem nieoczywistego wpływu błędu kwantyzacji (np. rys. 4.7 i 4.8). Mimo, że generalnie czas konwersji nie jest dla typowego przetwornika parametrem najważniejszym, za istotniejsze na ogół uznaje się precyzję, rozdzielczość oraz zakres pomiarowy, to w wybranych aplikacjach jego wartość może być decydująca o możliwości zastosowania. Zatem uzupełnienie i uporządkowanie informacji w tym zakresie ma istotne znaczenie dla jakości wiedzy dotyczącej przetwarzania czasowo-cyfrowego z sukcesywną aproksymacją zwłaszcza, że systematycznych badań w tym zakresie dotychczas nie prowadzono.
- Zaproponowanie nowatorskiej modyfikacji projektu przetwornika o budowie kaskadowej nakierowanej na znaczącą redukcję zasobów logicznych układu cyfrowego niezbędnych do wykonania przetwornika. Najistotniejszym założeniem proponowanej modyfikacji jest zastąpienie w projekcie przetwornika dwóch zestawów dyskretnych linii opóźniających zestawem pojedynczym, jednakże skojarzonym z szybkimi układami decyzyjnymi umożliwiającymi wykorzystanie elementów linii w obydwu torach sygnałowych przetwornika. Pomyślna realizacja takiego przetwornika wymagała od Autora rozwiązania dodatkowych problemów projektowych, takich jak opisane w rozprawie: (1) szybkie multipleksowanie międzykanałowe, (2) umiejętne dekodowanie stanów wyjściowych przetwornika oraz (3) precyzyjne kompensowanie opóźnień wewnątrz układowych. Szczególne znaczenie dla finalnej jakości zaproponowanego konwertera miało rozwiązanie ostatniego problemu, które ze swej natury powinno być gwarantem kompromisu

pomiędzy wysoką wiarygodnością przetwarzania, uzyskiwaną w wyniku eliminacji stanów metastabilnych w układzie, a możliwie krótkim czasem konwersji i jak najmniejszą zajętością powierzchni układu scalonego. Efekt zaproponowanych przez Autora modyfikacji układowych jest bardzo istotny. Złożoność zmodyfikowanego przetwornika, wyrażona w liczbie tranzystorów koniecznych do jego implementacji, w zależności od jego rozdzielczości jest od około 20% (dla przetwornika 8-bitowego) do niemal 50% (dla przetwornika 12-bitowego) mniejsza niż złożoność adekwatnego przetwornika o typowej architekturze. Dodatkowe zabiegi projektowe, polegające przede wszystkim na symetryzacji wybranych układów, doprowadziły ponadto do znacznej poprawy parametrów metrologicznych opracowanego przetwornika, którego finalna charakterystyka przetwarzania cechuje się błędami liniowości wyraźnie mniejszymi od wartości rozdzielczości, a mianowicie  $DNL = 0.14 \text{ LSB}$ , a  $INL = 0.16 \text{ LSB}$  (wartości rms).

- Wykonanie szczegółowej analizy czasowej przetwornika opartego na sukcesywnej aproksymacji i architekturze ze sprzężeniem zwrotnym, której efektem było zidentyfikowanie wymagań dotyczących minimalnych wartości dodatkowych opóźnień w torach sygnałów mierzonych, wtrącanych celem kompensacji czasów propagacji bloków funkcjonalnych tych torów (detektor fazy i multiplexer). Kompensacja taka jest niezbędna dla zapewnienia poprawności działania przetwornika i oczywiście była ona realizowana we wszystkich dotychczasowych konwerterach. Jednakże, wartości dodatkowych opóźnień były szacowane zgrubnie z dużym naddatkiem względem rzeczywistych potrzeb, co odbijało się negatywnie na szybkości działania przetworników. Przeprowadzona przez Autora analiza pozwoliła zidentyfikować minimalne konieczne wartości dodatkowych opóźnień zarówno dla wersji przetwornika z określoną kolejnością sygnałów wejściowych (unipolar, FSR/2), jak i bez ustalonej kolejności (bipolar, FSR/4). Istotność tej analizy można stosunkowo łatwo wykazać odnosząc jej wyniki do wybranych opracowań, opisanych wcześniej w literaturze. I tak na przykład, wykorzystanie wyników analizy w rozwiązaniu z 2009 r. (Mantyniemi et al.), pozwoliłoby skrócić zastosowane w nim opóźnienia nawet 20-krotnie, co istotnie zwiększyłoby szybkość przetwornika i zredukowało wymaganą powierzchnię układu scalonego.
- Zaproponowanie rozwiązań układowych umożliwiających znaczną redukcję mocy strat przetwornika o architekturze ze sprzężeniem zwrotnym. Przedstawiona propozycja opiera się na zastosowaniu dyskretnej linii opóźniającej z dynamicznie odłączanymi segmentami linii, które nie są wykorzystywane w konkretnym etapie konwersji. To koncepcyjnie stosunkowo proste rozwiązanie, które wymaga jednakowoż szybkiego układu decyzyjnego, pozwala na ograniczenie niemal o połowę (47 %) mocy strat linii opóźniającej przetwornika.



- Opracowanie i zaimplementowanie wieloetapowej procedury autokalibracji przetwornika o architekturze ze sprzężeniem zwrotnym. Typowa procedura kalibracyjna precyzyjnego przetwornika czasowo-cyfrowego polega w istocie na możliwie dokładnej identyfikacji jego charakterystyki przetwarzania, która przechowywana w pamięci przetwornika jest wykorzystywana do określania wyników realizowanych później pomiarów. Procedura zaproponowana w rozprawie jest bardziej złożona i koncentruje się na dynamicznym korygowaniu parametrów czasowych torów sygnałowych przetwornika. Etapy zaproponowanej autokalibracji obejmują: (1) wyrównywanie niezrównoważenia wstępnego pętli opóźnieniowych (*calibration of loop fixed delays*), (2) redukcjonowanie rozrzutów opóźnień przetworników cyfra-czas w obydwu pętlach opóźnieniowych (*calibration of DTC mismatch*) i (3) uzyskanie możliwie dokładnie binarnej relacji pomiędzy opóźnieniami wnoszonymi w kolejnych krokach przetwarzania (*calibration of DTC linearity*). Procedura ta w efekcie umożliwia linearyzację charakterystyki przetwarzania układu i redukcję błędu offsetu. Jej skuteczność została potwierdzona w badaniach eksperymentalnych, w których błędy liniowości DNL i INL zostały w kolejnych etapach procedury zmniejszone z odpowiednio 71.5 ps i 87.5 ps do 10.8 ps i 6.6 ps (rys. 6.13), czyli ponad siedmio- i niemal trzynastokrotnie.
- Zaproponowanie, zamodelowanie i zweryfikowanie w badaniach symulacyjnych modyfikacji układowej przetwornika o architekturze ze sprzężeniem zwrotnym, umożliwiającej dynamiczne korygowanie opóźnień (*dynamic delay equalization*) w pętlach przetwornika, adekwatnie do aktualnego wyniku konwersji, w celu zapewnienia potencjalnej możliwości skrócenia dodatkowych opóźnień w torach sygnałów mierzonych i linearyzacji charakterystyki przetwarzania. Skuteczność zaproponowanego rozwiązania została potwierdzona w wyniku symulacyjnych badań porównawczych z użyciem modeli numerycznego (Matlab) i behawioralnego (Verilog-A).

## 6. Poprawność przedstawienia uzyskanych wyników

Oceniając strukturę przedłożonej rozprawy, należy stwierdzić, że jest ona klarowna i generalnie poprawna. Pewien niedosyt w zakresie prezentacji wyników pozostawia jedynie zasygnalizowana już w recenzji słaba ekspozycja etapu badań eksperymentalnych. Wyraźnie brakuje w pracy opisu stanowisk badawczych i zastosowanych procedur testowych. Podstawowa choćby informacja na ten temat podniosłaby wartość prezentowanych wyników i zapewniła możliwość ewentualnego porównywania z rezultatami innych opracowań. W pracy brak jest również informacji na temat etapu projektowania topograficznego (*layoutu*) proponowanych układów.

Praca jest natomiast bardzo starannie przygotowana zarówno pod względem edytorskim, jak i językowym. Warte podkreślenia jest w tym kontekście opracowanie

przez Autora rozprawy w języku angielskim, co bez wątpienia zwiększa jej potencjalny zasięg oraz możliwość upowszechnienia proponowanych rozwiązań. Zauważyć również należy, że pracę czyta się bardzo dobrze, a Autor nie zmusza czytelnika do kilkakrotnego analizowania tych samych fragmentów pracy w celu jej zrozumienia. Ponadto, Autor unika używania pojęć żargonowych lub stosowanych w wąskich kręgach specjalistów.

## 7. Krytyczna ocena zawartości merytorycznej rozprawy

Zgodnie ze sformułowaną wcześniej opinią, ogólna koncepcja pracy i sposób rozwiązania postawionego zadania są poprawne, a uzyskane wyniki oceniane bardzo wysoko. Szczegółowa lektura rozprawy ujawnia jednak pewne braki i elementy dyskusyjne.

### A. Uwagi o charakterze dyskusyjnym

- Jedną z głównych motywacji do podjęcia prac modyfikacyjnych opisanych w rozprawie był zamiar istotnej redukcji zasobów logicznych układu cyfrowego niezbędnych do realizacji przetwornika czasowo-cyfrowego opartego na sukcesywnej aproksymacji. W przypadku pierwszego z opisanych przetworników, o architekturze kaskadowej, stopień redukcji koniecznych zasobów w wyniku zaproponowanej modyfikacji układowej jest znaczny, i w zależności od rozdzielczości wynosi od 20% do nawet 50%. Jest to wynik bez wątpienia potwierdzający zasadność podjętych prac, zwłaszcza że uzyskanie pełnej poprawności działania zmodyfikowanego przetwornika wymagało jedynie pewnych prac korekcyjnych (symetryzacja multipleksera), a nie angażowało dodatkowych zasobów. Jednakże w przypadku przetwornika o architekturze ze sprzężeniem zwrotnym, duża złożoność jego finalnego projektu, zawierającego w każdej pętli sprzężenia m.in. po cztery przetworniki cyfrowo-czasowe (5- i 3-bitowy Main DTC oraz 3- i 7-bitowy Compensation DTC), prowokuje do zastanowienia, czy zasadnicze zalety przetwornika, takie jak chociażby duża szybkość konwersji i oszczędność zasobów logicznych, zostały w nim zachowane. Interesującym w tym kontekście wydaje się przeprowadzenie analizy porównawczej z przetwornikami opartymi na innych metodach konwersji, w szczególności zaś z prostym przetwornikiem zbudowanym z użyciem dyskretnej linii opóźniającej.
- Opisy obydwu zaproponowanych w rozprawie rozwiązań zawierają podrozdziały o tytułach sugerujących ich układową realizację. Dotyczy to podrozdziałów 5.2. *Implementation of Feedforward SA-TDC in 180 nm CMOS Technology* i 6.3. *Implementation of Feedback-Based SA-TDC in 28 nm CMOS Technology*. Jednak brak jest w pracy jednoznacznej informacji, że obydwa przetworniki zostały wykonane jako układy scalone. O ile opis drugiego przetwornika zawiera zdjęcie układu scalonego i wyniki badań, które mimo braku wyraźnego stwierdzenia można

uznać za wyniki badań eksperymentalnych, to w przypadku pierwszego z przetworników jego działanie ilustrowane jest wyłącznie wynikami badań symulacyjnych. Wątpliwości co do wytworzenia przetworników pogłębia brak w rozprawie informacji o badaniach eksperymentalnych układów, o czym już w recenzji wspomiano. W tym kontekście wskazany byłoby omówienie w czasie publicznej obrony zakresu prac projektowych i badawczych jakim zaproponowane rozwiązania zostały przez Autora poddane.

#### B. Uwagi krytyczne mniejszej wagi

Jak już zauważono praca została bardzo starannie przygotowana zarówno pod względem językowym jak i edytorskim. Jednakże, mimo niewątpliwie dużego zaangażowania Autora w jej opracowanie, dostrzeżono jeszcze kilka drobnych usterek.

- Sporą niedogodnością, utrudniającą czytanie tekstu i śledzenie myśli Autora, jest brak w rozprawie wykazu zastosowanych oznaczeń i skrótów.
- W polskim streszczeniu rozprawy (str. 7) dość nieszczęśliwie użyto czasownika „*sfabrykowany*”, jako odpowiednika angielskiego „*fabricated*”. W języku polskim czasownik „*sfabrykować*” ma zabarwienie pejoratywne (patrz Słownik Języka Polskiego lub jeszcze wyraźniej DobrySłownik.pl) i lepiej w wymienionym kontekście używać „*wytworzony*”, „*wykonany*” lub „*wyprodukowany*”.
- W podrozdziale 2.1.2. Autor zawarł stwierdzenie, że „*The conversion time of the counter-based TDC equals zero...*”, które jest sformułowaniem co najmniej kontrowersyjnym. Zamysł Autora jest wprawdzie dość jasny, gdyż zaraz uzasadnia, że „*the counting result is known almost immediately after termination of  $T_m$* ”, jednak tak kategoryczne stwierdzenie jest po prostu nieprawdziwe, zwłaszcza w obliczu pikosekundowych odcinków czasu, którymi Autor się zajmuje.
- Na str. 56 błędnie opisano działanie zatrasku pokazanego na rys. 3.8.
- Opis osi odciętych na rys. 5.11b wydaje się nieprawidłowy.

Należy wyraźnie podkreślić, iż powyższe uwagi krytyczne i dyskusyjne, acz istotne, nie kwestionują wysokiej wartości merytorycznej opisanego przez doktoranta rozwiązania, a odnoszą się głównie do sposobu jego charakteryzacji.

#### 8. Wnioski końcowe

Rozprawa mgr. inż. Jakuba Szyduczyńskiego wnosi nowe istotne elementy do ważnego i aktualnego problemu projektowania szybkich scalonych przetworników czasowo-cyfrowych. W szczególności Autor proponuje kilka nowatorskich modyfikacji układowych pozwalających w znacznym stopniu (1) zredukować zasoby logiczne układu cyfrowego niezbędne do realizacji przetwornika, (2) ograniczyć jego moc strat oraz

(3) zwiększyć szybkość konwersji. Autor opracował także wieloetapową procedurę autokalibracji przetwornika, umożliwiającą szybką i skuteczną linearyzację charakterystyki przetwarzania. Ponadto, wykonał szczegółową i systematyczną analizę zakresu potencjalnych wartości jednego z zasadniczych parametrów przetworników czasowo-cyfrowych, a mianowicie czasu konwersji. Przedstawione w rozprawie metody rozwiązania zadań badawczych, uzyskane wyniki oraz sposoby ich prezentacji powodują, że praca jest ciekawa i wartościowa naukowo. Autor wykazał przy tym dobre przygotowanie teoretyczne oraz umiejętności prowadzenia pracy naukowej i konstruktorskiej.

**Uważam, że przedłożona rozprawa w pełni spełnia wymagania określone przez *Ustawę o stopniach i tytule naukowym* i może stanowić podstawę nadania stopnia doktora nauk technicznych w dyscyplinie *Automatyka, Elektronika i Elektrotechnika*. Wnoszę o jej dopuszczenie do publicznej obrony.**

