

*Prof. dr hab. inż. Marcin Janicki*

-----  
tytuł, stopień, imię i nazwisko

*Katedra Mikroelektroniki i Technik Informatycznych*

*Wydział Elektrotechniki, Elektroniki, Informatyki i Automatyki*

*Politechnika Łódzka*

*Łódź, 23 września 2022 r.*

-----  
data

**S E K R E T A R I A T**  
Rady Dyscypliny AEE

Wpłynęło dnia ..... **28. 09. 2022** .....  
Zarejestrowano pod nr .....  
Podpis .....

**RECENZJA ROZPRAWY DOKTORSKIEJ  
DLA RADY NAUKOWEJ DYSCYPLINY AUTOMATYKA,  
ELEKTRONIKA I ELEKTROTECHNIKA  
AKADEMII GÓRNICZO-HUTNICZEJ W KRAKOWIE**

**Tytuł oryginalny:** „*Design and optimization of architectures for successive approximation time-to-digital converters*”.

**Tytuł w języku polskim:** „*Projektowanie i optymalizacja architektur przetworników analogowo-cyfrowych do przetwarzania interwałów czasu metodą sukcesywnej aproksymacji*”.

**Autor rozprawy:** *mgr inż. Jakub Szyduczyński*

**1. Jakie zagadnienie naukowe/badawcze jest rozpatrzone w pracy (cel i teza rozprawy) i czy zostało ono dostatecznie jasno sformułowane przez autora?**

Recenzowana Rozprawa doktorska napisana przez mgr. inż. Jakuba Szyduczyńskiego dotyczy układów elektronicznych, których działanie oparte jest na przetwarzaniu interwałów czasu (TMSP - Time Mode Signal Processing). Współczesne układy, szczególnie te o niskim poborze mocy często wykorzystywane w urządzeniach mobilnych, zasilane są coraz niższym napięciem, nawet poniżej 1 V. Zdecydowana większość tych układów zawiera przetworniki analogowo-cyfrowe. Przy niskiej amplitudzie sygnału napięciowego uzyskanie wysokiej rozdzielczości i odporności na szумы staje się praktycznie niemożliwe. Z tego powodu coraz powszechniej stosowane są układy, w których informacja kodowana jest w postaci interwałów czasu następujących pomiędzy określonymi zdarzeniami zachodzącymi w ścieżkach sygnałowych. Kluczowym elementem składowym układów TMSP są przetworniki analogowo-cyfrowe przetwarzające interwały czasu (TDC - Time-to-Digital Converters), umożliwiające przetwarzanie sygnałów kodowanych w czasie przy użyciu układów cyfrowych, które wydatnie ograniczają udział powierzchniochłonnych układów analogowych.

Na wstępie Rozprawy Doktorant dokonał dogłębnej analizy aktualnego stanu wiedzy na temat przetworników TDC wykorzystujących sukcesywną aproksymację (SA-TDC) i wskazał możliwe kierunki badań umożliwiające ich dalszą optymalizację prowadzącą do zmniejszenia powierzchni oraz skrócenia czasu przetwarzania. Swoje zamierzenia przedstawił na zakończenie Rozdziału 1 w postaci hipotez naukowych, które zostaną poddane weryfikacji w Rozprawie. Pewne zdziwienie może budzić fakt, że jest ich aż osiem oraz to, że, poza pierwszymi dwoma, są one w pewien sposób od siebie wzajemnie zależne. Ponadto, zawierają one liczne wzory matematyczne, których zrozumienie nie jest w pełni możliwe bez zapoznania się z zawartością kolejnych rozdziałów. Sformułowanie powyższych hipotez wyznaczyło główne cele Rozprawy, które osiągnięto głównie poprzez symulacyjną weryfikację hipotez. W skrócie hipotezy te można podsumować następująco:

- możliwe jest zaprojektowanie architektury kaskadowej przetwornika SA-TDC z pojedynczym zestawem linii opóźniających dzięki zastosowaniu przełączania ścieżek sygnałowych oraz dodatkowemu dekodowaniu słowa wyjściowego przetwornika, co pozwala na blisko dwukrotne zmniejszenie powierzchni układu scalonego dla przetworników o wysokiej rozdzielczości,
- dzięki dopasowaniu czasów opóźnień w ścieżkach sygnałów cyfrowych propagujących chwile oznaczające początek i koniec przetwarzanych interwałów czasu możliwa jest znaczna redukcja nieliniowych błędów różniczkowych i całkowitych przetworników SA-TDC, min. poprzez symetryczne zaprojektowanie bramek logicznych i multiplexerów,
- możliwe jest liczbowe określenie czasów przetwarzania rzeczywistych oraz idealnych, tzn. o zerowych czasach propagacji elementów logicznych, unipolarnych i bipolarnych n-bitowych przetworników SA-TDC, zarówno o architekturze kaskadowej, jak i ze sprzężeniem zwrotnym,
- dzięki zastosowaniu odpowiednich sekwencji uczących możliwa jest fizyczna realizacja układu autokalibracji przetworników SA-TDC ze sprzężeniem zwrotnym pozwalającego na korektę opóźnień wynikających z rozrzutów technologicznych parametrów oraz poprawę liniowości charakterystyki przetwarzania,
- zagwarantowanie poprawnego działania algorytmu monotonicznej sukcesywnej aproksymacji w unipolarnych i bipolarnych n-bitowych przetwornikach SA-TDC ze sprzężeniem zwrotnym wymaga zastosowania pewnego minimalnego czasu offsetu, który może zostać skrócony dzięki wykorzystaniu mechanizmu dynamicznego wyrównywania opóźnień, co skraca także czas przetwarzania pozwalając się zbliżyć do teoretycznych limitów określonych dla przetworników o architekturze kaskadowej.

## **2. Czy w rozprawie przeprowadzono w sposób właściwy analizę źródeł, w tym literatury światowej, stanu wiedzy i zastosowań w przemyśle?**

Niewątpliwie jedną z największych zalet Rozprawy jest bardzo obszerny przegląd literatury światowej dotyczącej poruszanej w niej tematyki, zawarty głównie w Rozdziałach 1-3. W sumie Doktorant powołuje się na blisko 200 źródeł, przy czym w większości to pozycje opublikowane w ciągu ostatniej dekady, co dowodzi niezbicie, że proponowana tematyka jest aktualna oraz tego, że Autor ma dobre rozeznanie w obecnym stanie wiedzy w kraju oraz na świecie.

Lista bibliograficzna zawiera źródła wyłącznie anglojęzyczne, w tym pozycje książkowe oraz artykuły naukowe publikowane w czasopismach krajowych i zagranicznych, a także prezentowane na konferencjach. Autor w właściwy sposób dokonał wyboru źródeł, co pozwoliło mu przedstawić omawiane architektury przetworników od strony teoretycznej, a także przedstawić ich realizacje praktyczne w konkretnych technologiach. Przeprowadzona analiza źródeł pozwoliła Doktorantowi należycie uzasadnić wybór tematyki i sformułować cele badawcze realizowane w Rozprawie.

Dorobek naukowy samego Doktoranta należałoby uznać za rozpoznawalny. Autor prezentując na zakończenie Rozprawy własne osiągnięcia wymienia 17 publikacji, których jest współautorem, choć tylko w 4 z nich jego nazwisko wymienione jest na pierwszym miejscu. W bazie danych Web of Science indeksowanych jest 11 z tych pozycji, z czego 3 zostały opublikowane w czasopismach punktowanych uwzględnionych na liście MEiN. Pewne zdziwienie może budzić fakt, że na 11 prac związanych z tematyką Rozprawy jedynie 6 z nich jest w niej cytowanych, a Autor trzykrotnie jest wymieniony na pierwszym miejscu. Dorobek naukowy Doktoranta uzupełnia jego współautorstwo w patencie krajowym i dwóch zgłoszeniach patentowych. Poza tym kierował on też projektem NCN Preludium bezpośrednio związanym z tematyką recenzowanej Rozprawy.

## **3. Czy autor rozwiązał przedstawione zagadnienia, czy użył właściwej do tego metody i czy przyjęte założenia są uzasadnione?**

Doktorant uzasadnił podjęcie poruszanej w Rozprawie tematyki badawczej oraz zaprezentował wcześniej omówione hipotezy badawcze w Rozdziale 1, które następnie pozytywnie zweryfikował w kolejnych rozdziałach właściwie dobierając metody analizy i proponując konkretne rozwiązania praktyczne. Przydatność nowych rozwiązań układowych zaproponowana przez Doktoranta pozwala na optymalizację przetworników TDC, min. ograniczenie powierzchni w przypadku przetworników kaskadowych, czy też skrócenie czasu przetwarzania przetworników ze sprzężeniem zwrotnym.

Rozdział 2 Rozprawy zawiera bardzo wszechstronny opis stosowanych w praktyce architektur przetworników TDC z próbkowaniem (analogowych, zliczających, a także wykorzystujących linie opóźniające, w tym linię Verniera, sukcesywną aproksymację oraz skracające czas trwania impulsu) i kształtujących charakterystykę szumu kwantyzacji poprzez nadpróbkowanie, w tym przetworniki zawierające oscylatory pierścieniowe, MASH oraz sigma-delta. Oddzielnie omówiono przetworniki stochastyczne, wykorzystujące rozrzuty technologiczne parametrów układach logicznych, a także przetworniki TDC implementowane w układach FPGA stanowiące tańszą alternatywę dla układów ASIC.

Przetworniki TDC wykorzystujące sukcesywną aproksymację (SA-TDC), będące przedmiotem dalszych badań, zostały szczegółowo przedstawione przez Autora w Rozdziale 3, lecz bez podania głębszego uzasadnienia wyboru tego typu przetwornika. Na wstępie rozdziału omówiono algorytmy sukcesywnej aproksymacji, zarówno ten klasyczny, gdy kolejne wagi stosowane są zawsze do tej samej ścieżki sygnałowej, jak i jego wersji monotonicznej, gdzie wagi są aplikowane do sygnału, który w danej chwili jest bardziej opóźniony, tzn., jak to obrazowo ujmuje w Rozprawie Doktorant, do niedociążanej szali wagi. Stosowanie wersji monotonicznej algorytmu wymaga dodatkowego dekodowania słowa wyjściowego, co nie sprawia jednakże większego problemu. W dalszej części tego Rozdziału Autor omawia architekturę kaskadową (ang. feedforward) przetworników SA-TDC oraz architekturę ze sprzężeniem zwrotnym (ang. feedback) w wersjach bipolarnych, gdy kolejność zdarzeń na wejściu przetwornika jest nieznana, i unipolarnych, jest ona z góry określona. Na koniec Rozdziału analizuje on różne rozwiązania spotykane do tej pory w literaturze dla przetworników SA-TDC, w których stosowano wersję monotoniczną algorytmu sukcesywnej aproksymacji.

Część teoretyczną Rozprawy zamyka Rozdział 4, który przedstawia dogłębne analizy czasów przetwarzania przetworników SA-TDC, oddzielnie dla układów unipolarnych o ustalonej kolejności zdarzeń w ścieżkach sygnałowych i bipolarnych, gdzie ta kolejność nie jest znana. Niewątpliwie ten rozdział porządkuje wiedzę dotyczącą czasów przetwarzania, jednakże nie zawiera on żadnych odniesień literaturowych, a za tym można domniemywać, że prezentuje on wyniki badań uzyskane przez Autora, choć nie jest to wyraźnie zaznaczone w tekście rozprawy.

Prezentację własnych osiągnięć projektowych Doktoranta rozpoczyna Rozdział 5 opisujący autorski projekt przetwornika SA-TDC o architekturze kaskadowej, który został zaprojektowany w technologii 180 nm. Autor zaproponował w nim wykorzystanie pojedynczej linii opóźniającej, wspólnej dla obu sygnałów wejściowych oznaczających początek i koniec interwału przetwarzania. Rozwiązanie to wymaga odpowiedniego przełączania ścieżek sygnałowych oraz końcowego dekodowania słowa wyjściowego, co jednakże można osiągnąć przy użyciu niewielkiej liczby dodatkowych elementów sterujących, głównie bramek logicznych i multiplexerów. Ponadto, przy odpowiednim zaprojektowaniu tych elementów można skompensować czasy opóźnień i skrócić minimalny wymagany czas offsetu. Na zakończenie tego Rozdziału Autor przeprowadził analizę wpływu temperatury i zmian napięcia zasilania na pracę przetwornika, choć nie opisano dokładnie w jaki sposób wyniki te uzyskano. Wszystkie te zabiegi projektanckie pozwoliły Doktorantowi na osiągnięcie bardzo dobrych parametrów przetwornika, zaprezentowanych w Tabeli 5.3, w tym rozdzielczości 25 ps, interwale przetwarzania (FSR) powyżej 6 ns oraz niskich wartościach błędu nieliniowości całkowitej i różniczkowej. Zaproponowane przez Doktoranta rozwiązanie jest również bardzo atrakcyjne pod względem kosztów realizacji układu, gdyż jak to pokazano w Tabeli 5.1 oraz na Rys. 5.8, pozwala ono znacznie ograniczyć całkowitą liczbę tranzystorów, nawet o blisko 50% dla przetworników 12-bitowych, a co za tym idzie wydatnie zmniejszyć powierzchnię układu.

Autorski projekt przetwornika SA-TDC o architekturze ze sprzężeniem zwrotnym przedstawia Rozdział 6. W przeciwieństwie do opisanego poprzednio przetwornika kaskadowego główny nacisk podczas procesu projektowania położono na zmniejszenie poboru mocy. Z nieznanymi względami projekt ten zaimplementowano w niskonapięciowej technologii o rozmiarze charakterystycznym 28 nm, co uniemożliwia jakiegokolwiek porównanie obu realizacji przetworników SA-TDC. Podobnie nie jest jasne kto ostatecznie zaprojektował layout przetwornika i przeprowadził eksperymentalną weryfikację jego działania na stanowisku testowym.

Rozdział niniejszy Autor rozpoczyna od omówienia podstawowych wymagań projektowych przetworników SA-TDC dotyczących czasów propagacji w pętli sprzężenia zwrotnego sygnałów oznaczających początek i koniec przetwarzanego interwału czasu na wejścia komparatora. Kolejny Doktorant zaproponował rozwiązanie projektowe pozwalające na obniżenie poboru mocy poprzez wyłączenie nie używanych sekcji linii opóźniających. W kolejnym podrozdziale zaprezentowano projekt 10-bitowego przetwornika o nominalnej rozdzielczości 0,55 ps zrealizowany w technologii 28 nm z wbudowanymi układami autokalibracji pozwalającymi na korektę opóźnień wynikających z rozrzutów technologicznych parametrów oraz poprawę liniowości charakterystyki przetwarzania. Przeprowadzone pomiary rzeczywistego układu na stacji testującej wykazały wysoką skuteczność zaproponowanych przez Autora mechanizmów autokalibracji pozwalając na znaczne zmniejszenie błędów nieliniowości. Na zakończenie rozdziału przedstawiono Autorskie rozwiązanie projektowe umożliwiające skrócenie czasu przetwarzania dzięki dynamicznemu wyrównywaniu opóźnień. Poprawność jego działania pokazano budując w środowisku Matlab oraz za pomocą języka Verilog-A odpowiednie modele behawioralne, które potem zostały ostatecznie zweryfikowane dla danej technologii poprzez symulacje na platformie Cadence Spectre. Rozdział 7 podsumowuje jedynie Rozprawę analizując ją po kącie udowodnienia postawionych na wstępie hipotez badawczych.

Podsumowując, należy stwierdzić, że zdecydowana większość wyników i analiz przedstawiona w Rozdziałach 5-6 została uzyskana na podstawie symulacji numerycznych. Jedynie podrozdział 6.3.3 prezentuje wyniki pomiarów eksperymentalnych, lecz Doktorant nie określił wyraźnie kto jest ich autorem. Nie zamieszczono też zdjęć stanowiska laboratoryjnego oraz samej struktury, poza Rys. 6.12 prezentującymi fragment topologii układu scalonego. Podobnie nie są znane dokładne dane techniczne wykorzystanego sprzętu i warunki pomiaru, np. nie zostało wyraźnie sprecyzowane czy układ został umieszczony w obudowie czy też wykorzystano do tego elektrody ostrzowe stacji testującej. Pomimo tych pewnych niedociągnięć należy niewątpliwie podkreślić fakt, że Doktorant zaproponował kilka ciekawych rozwiązań projektowych, które następnie pozytywnie zweryfikował, co niezbitnie świadczy o jego znacznej wiedzy teoretycznej i inżynierskiej intuicji.

#### ***4. Na czym polega oryginalność rozprawy, co stanowi samodzielny i oryginalny dorobek autora, jaka jest pozycja rozprawy w stosunku do stanu wiedzy i poziomu techniki reprezentowanych przez literaturę światową?***

Recenzowana Rozprawa, jak to już wcześniej wspomniano, dotyczy przede wszystkim bardzo aktualnej tematyki, o czym świadczy niezbitnie fakt, iż ponad 60% cytowanych pozycji literowych to publikacje z ostatniej dekady. Autor kierując się własną intuicją inżynierską zaproponował pewne innowacyjne rozwiązania układowe, które zostały zweryfikowane poprzez przeprowadzone symulacje numeryczne, a także częściowo poprzez pomiary rzeczywistych układów scalonych. O oryginalności przedstawionych przez Doktoranta rozwiązań świadczyć mogą także zgłoszenia patentowe dotyczące bezpośrednio tematyki Rozprawy. Podsumowując, za szczególnie istotne wnioski teoretyczne oraz rozwiązania praktyczne przedstawione przez Autora należy uznać przede wszystkim:

- przeprowadzenie wszechstronnej analizy oraz usystematyzowanie wiedzy dotyczącej czasów przetwarzania różnego rodzaju przetworników typu TDC,

- zaproponowanie dla kaskadowego przetwornika TDC rozwiązania układowego z pojedynczą linią opóźniającą, które to zostało pozytywnie zweryfikowane w symulacjach numerycznych, pozwalającego na znaczną redukcję powierzchni układu, a co za tym idzie także jego kosztu,
- projekt oraz praktyczna realizacja przetwornika TDC ze sprzężeniem zwrotnym posiadającym możliwość kalibracji pozwalającej na kompensację nieliniowości i niedopasowania opóźnień elementów wynikających min. z rozrzutu technologicznego procesu produkcji,
- opracowanie oraz symulacyjna weryfikacja autorskiej koncepcji mechanizmu dynamicznego wyrównywania opóźnień pozwalającego na skrócenie czasu przetwarzania.

**5. Czy autor wykazał umiejętność poprawnego i przekonującego przedstawienia uzyskanych przez siebie wyników (zwięzłość, jasność, poprawność redakcyjna rozprawy)?**

Rozprawa zawiera 151 numerowane strony. Rozpoczynają ją streszczenia w języku angielskim oraz polskim, a także spisy treści, rysunków i tabel. Zasadnicza część Rozprawy jest podzielona na 7 rozdziałów, a na jej zakończenie przedstawiono sylwetkę naukową Doktoranta oraz zamieszczono bardzo obszerną bibliografię. Część teoretyczna Rozprawy zajmuje w przybliżeniu około połowy jej całkowitej objętości.

Zatem oceniając stronę merytoryczną Rozprawy można powiedzieć, że jej część teoretyczna jest nieco nadmiernie rozbudowana oraz zbyt opisowa, a przede wszystkim brakuje w niej wyraźnej idei przewodniej uzasadniającej podjęte przez Autora decyzje oraz wybór konkretnych kierunków działania. Natomiast część praktyczna Rozprawy z powodzeniem mogłaby być obszerniejsza dzięki wzbogaceniu jej o niezbędne informacje dotyczące szczegółów wykonanych przez Doktoranta prac projektowych i przeprowadzonych badań eksperymentalnych.

Równie ważna, a może nawet najważniejsza jest kwestia niedostatecznie jasno określonego w tekście Rozprawy wkładu własnego Doktoranta, np. w Rozdziale 6 nie jest jasne kto faktycznie zaprojektował layout przetwornika i przeprowadził badania eksperymentalne wyprodukowanego układu scalonego. Ponadto Doktorant prezentując osiągnięcia własne w Rozdziałach 5-6 często powołuje się na publikacje, których nie jest autorem, np. [32], [34], [194]-[195], [198], co zmusza czytelnika do częstego odwoływania się do listy publikacji i weryfikowania wkładu Doktoranta. Zdecydowanie lepszym rozwiązaniem wydaje się użycie w Rozprawie oddzielnego oznakowania dla publikacji, których Doktorant jest współautorem.

Inne uwagi szczegółowe dotyczące strony formalno-merytorycznej recenzowanej Rozprawy można przedstawić następująco:

- Rozprawa szczegółowo analizuje działanie przetworników TDC, choć nie omówiono w niej ich istotnych parametrów, takich jak rozdzielczość, czas przetwarzania, czy też błędy nieliniowości różniczkowej i całkowitej, które są przez Autora wielokrotnie wykorzystywane w tekście,
- część teoretyczna Rozprawy, choć niewątpliwie niezwykle pożyteczna i interesująca, obejmuje nieco ponad połowę jej objętości, natomiast część praktyczna zdecydowanie powinna zostać rozszerzona o wspomniane wcześniej brakujące informacje,
- nie jest jasne w Rozdziale 5 na ile dodatkowe multipleksery i przełączanie sygnałów wydłużają czas przetwarzania, a informacje podane na końcu s. 81 są zbyt ogólnikowe,
- Rozdział 6 proponuje liczne modyfikacje układowe, lecz Doktorant nie analizuje ich wpływu na zwiększenie powierzchni układu,
- w podrozdziale 6.3.3 nie są podane szczegółowe informacje dotyczące dedykowanego układu polaryzacji oraz użytego analizatora stanów logicznych.

Pod względem edytorskim Rozprawa jest przygotowana bardzo starannie, chociaż Doktorant nie ustrzegł się pewnych drobnych błędów, co jest jednakże w pełni zrozumiałe biorąc pod uwagę znaczne rozmiary pracy i nie wpływa na jej jednoznacznie wysoką ocenę merytoryczną. Rozprawa oryginalna napisana jest w języku angielskim, a Doktorant swobodnie posługuje się poprawnym językiem technicznym, co zdecydowanie ułatwia jej odbiór. Uwagi szczegółowe dotyczące strony edytorsko-językowej zestawiono poniżej:

- podczas lektury Rozprawy odczuwa się brak spisu oznaczeń, tym bardziej, że indeksy używane przez Autora są często bardzo złożone i zawile, ponadto niektóre oznaczenia w tekście mają różne definicje, np.  $T_m$ , które na s. 20 jest określone jako czas propagacji układów logicznych, na s. 22 jest zdefiniowane jako czas offsetu,
- niektóre skróty, choć powszechnie znane dla specjalistów, są używane w tekście zanim zostaną zdefiniowane, np. INL i DNL pojawiają się już w streszczeniu, ale ich znaczenie wyjaśniono dopiero na s. 77 i to bez podania ich definicji,
- dosyć częste są błędy związane z nieprawidłowym użyciem, lub też brakiem rodzajników a/the, choć nie utrudnia to zrozumienia treści Rozprawy,
- niektóre rysunki, np. 3.14, mogłyby być znacznie większe, aby wykorzystać całą szerokość strony i poprawić ich czytelność,
- skrót LP, jak należy się domyślać oznaczający 'Low Power', użyty już w streszczeniu nie jest wyjaśniony w tekście Rozprawy,
- 'technologies offers', niezgodność osoby (s. 24, w. 15 od dołu),
- 'in anti-PVT design', brak rodzajnika a/the (s. 31, w. 3 od góry),
- 'TDCs distinguish higher time precisions', prawdopodobnie należało użyć strony biernej (s. 47, w. 7 od góry),
- 'the applying the ... scheme', raczej 'the application of the ... scheme' (s. 50, w. 5-6 od góry),
- 'principle operation', brak 'of' (s. 64, w. 16 od dołu),
- 'the both', błąd gramatyczny (s. 72 pod rys. 4.18),
- w podrozdziale 4.2 wyraźnie odczuwa się brak rysunków podobnych do 4.4-8 z poprzedniego podrozdziału dotyczącego przetworników unipolarnych,
- 'the both events', błąd gramatyczny (s. 77, w. 6 od góry),
- 'the output', warto byłoby dodać 'valid' (s. 81, w. 8 od dołu),
- 'The ... diagram ...SA-TDC', brakuje 'of' (s. 102, w. 6 od dołu),
- w tytule podrozdziału 6.3.2.2 lepiej byłoby użyć słowa 'Nonlinearity',
- 'number of introducing the event', brak słowa 'times' (s. 119, w. 3-4 od góry).

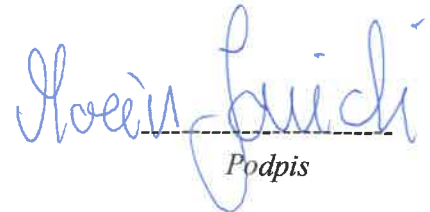
#### **6. Jaka jest przydatność Rozprawy dla nauk inżynierjno-technicznych?**

Niewątpliwie znaczenie praktyczne przedstawionych przez Doktoranta w Rozprawie rozważań teoretycznych oraz wyników badań symulacyjnych i eksperymentalnych jest niezwykle ważne dla nauk inżynierjno-technicznych. Rosnący udział układów o niskim napięciu zasilania i poborze mocy, w tym urządzeń mobilnych, powoduje, że systemy bazujące na przetwarzaniu interwałów czasu stają się obecnie coraz powszechniejsze. Niniejsza Rozprawa proponuje liczne udoskonalenia projektowe dla tego typu układów wnosząc istotny wkład do optymalizacji ich działania i dalszej miniaturyzacji.

## 7. Ocena końcowa

Tematyka Rozprawy, główne osiągnięcia i wkład merytoryczny Autora przynależą w całości do dyscypliny automatyka, elektronika i elektrotechnika dziedziny nauk inżynieryjno-technicznych. Recenzowana Rozprawa ma charakter w znacznej mierze teoretyczno-symulacyjny z niewielkim wkładem eksperymentalnym polegającym na częściowej weryfikacji praktycznej zaproponowanych przez Autora koncepcji projektowych. Doktorant wykazał się bardzo dobrą znajomością tematyki Rozprawy, a wszystkie hipotezy badawcze postawione przez niego na wstępie zostały pozytywnie zweryfikowane. Przedstawione w recenzji uwagi krytyczne mają jedynie charakter konstruktywny i nie obniżają zdecydowanie pozytywnej oceny Rozprawy.

W konkluzji stwierdzam, że Rozprawa doktorska zatytułowana „*Projektowanie i optymalizacja architektur przetworników analogowo-cyfrowych do przetwarzania interwałów czasu metodą sukcesywnej aproksymacji*” (oryginalny tytuł angielski ‘*Design and optimization of architectures for successive approximation time-to-digital converters*’) przygotowana przez mgr. inż. Jakuba Szydeczyńskiego spełnia wszystkie wymagania stawiane rozprawom doktorskim ustawy z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym oraz o stopniach i tytule w zakresie sztuki, wraz z późniejszymi zmianami. Zatem wnioskuję o jej dopuszczenie do publicznej obrony.

  
-----  
Podpis

