



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

DZIEDZINA NAUK INŻYNIERYJNO-TECHNICZNYCH

DYSCYPLINA AUTOMATYKA, ELEKTRONIKA I ELEKTROTECHNIKA

ROZPRAWA DOKTORSKA

Optymalizacja parametrów cyfrowych linearyzowanych modulatorów szerokości impulsów LPWM dla akustycznych wzmacniaczy klasy D

Autor: mgr inż. Wojciech Kołodziejcki

Promotor rozprawy: Prof. dr hab. inż. Stanisław Kuta

Praca wykonana: AGH, Wydział Informatyki, Elektroniki i Telekomunikacji

Kraków, 2021

Podziękowania

Serdecznie dziękuję mojemu promotorowi, prof. Stanisławowi Kucie, za pomoc i wsparcie w przeprowadzeniu tych badań i za wprowadzenie mnie w prowadzoną działalność naukową w Katedrze Elektroniki, Telekomunikacji i Mechatroniki w Państwowej Wyższej Szkole Zawodowej w Tarnowie.

Ogromne podziękowania
pragnę złożyć mojej żonie Krystynie
za miłość i wsparcie.

Spis treści

Spis literatury

Lista skrótów

Wykaz stosowanych symboli

Streszczenie

1. Wprowadzenie	17
1.1. Bezfiltrowe wzmacniacze klasy D	17
1.2. Osiągnięcia i kierunki rozwoju wzmacniaczy klasy D. Stosowane techniki modulacji PWM	18
1.3 Cele badawcze i tezy pracy	21
1.4 Zarys pracy doktorskiej	23
2. Porównanie cyfrowych modulacji UPWM z równomiernym próbkowaniem z naturalnymi modulacjami NPWM	26
2.1. Analogowe (naturalne) modulacje szerokości impulsów NPWM	26
2.1.1. Analityczne widma częstotliwościowe sygnałów z modulacją NPWM	27
2.1.2. Porównanie widm częstotliwościowych sygnałów z modulacją NPWM	30
2.1.3. Analiza spektralna sygnałów z modulacją NPWM w programie Matlab	31
2.2. Cyfrowe modulacje szerokości impulsów UPWM z równomiernym próbkowaniem	36
2.2.1. Analityczne widma częstotliwościowe sygnałów z modulacją UPWM	37
2.2.2. Analiza spektralna sygnałów z modulacją UPWM w programie Matlab. Współczynniki zawartości harmoniczných THD	40
3. Cyfrowe, linearyzowane modulacje szerokości impulsów	43
3.1. Ogólne metody linearyzacji cyfrowych modulatorów DPWM	43
3.1.1. Interpolacja	44
3.1.1.1. Rekonstrukcja sygnału ciągłego $x_a(t)$ na podstawie ciągu jego próbek dyskretnych	44
3.1.2. Algorytmy obliczania położenia początków i końców czasu trwania impulsów DPWM w linearyzowanych modulacjach LPWM	47

3.1.2.1. Linearyzowana modulacja LADS PWM	49
3.1.2.2. Linearyzowana modulacja LADD PWM	50
3.1.3. Rekwantyzacja. Algorytmy rekwantyzacji szumów	54
3.2. Analiza spektralna sygnałów z modulacją LPWM w programie Matlab	58
3.3. Współczynniki zawartości harmonicznych THD. Porównanie cyfrowych modulacji LPWM z naturalnymi modulacjami NPWM	62
4. Hybrydowe konwertery cyfrowo-czasowe DTC w cyfrowych modulatorach	
 LPWM dla akustycznych wzmacniaczy klasy D	65
4.1. Metody kwantyzacji cyfrowo-czasowej DTC stosowane w cyfrowych modulatorach DPWM	65
4.1.1. Kwantyzacja cyfrowo-czasowa oparta na metodzie licznikowej	65
4.1.2. Kwantyzacja cyfrowo-czasowa w oparciu o programowaną linię opóźniającą z odczepami PTDL	67
4.2. Hybrydowy konwerter cyfrowo-czasowych DTC w dwubrzgowych modulatorach linearyzowanych LADD	70
4.3. Projekt hybrydowego konwertera cyfrowo-czasowego DTC w dwubrzgowych modulatorach linearyzowanych LADD z pętlą synchronizacji opóźnienia DLL	72
4.3.1. Implementacja pętli synchronizacji opóźnienia DLL ze zgrubnym i precyzyjnym sterowaniem opóźnienia	77
5. Implementacja hybrydowego modulatora LBDD PWM w oparciu	
 o mikrokontroler STM32 i programowaną linię opóźniającą (PTDL)	79
5.1. Ogólna koncepcja hybrydowego modulatora LBDD PWM	79
5.1.1. Dobór częstotliwości zegara i synchronizacja uzależnień czasowych	80
5.1.2. Aproksymacja odcinkami prostoliniowymi cyfrowego sygnału akustycznego dla dwubrzgowej modulacji LBDD PWM	82
5.2. Architektura konwertera cyfrowo-czasowego DTC zrealizowanego w oparciu o mikrokontroler STM32 i programowaną linię opóźniającą PTDL	87
5.3. Wyniki symulacji hybrydowego modulatora LBDD PWM w programie Matlab i badania eksperymentalne praktycznie wykonanego modulatora	89
5.4. Ocena uzyskanych wyników	93
6. Wzmacniacze akustyczne klasy BD ze zrównoważonym wyjściem w trybie	
 wspólnym CM	95
6.1. Wprowadzenie	95

6.2. Wzmacniacze klasy BD ze zrównoważonym wyjściem wspólnym w trybie CM wykorzystujące rozbudowane modulatory LBDD PWM lub LPSC PWM	98
6.3. Wyniki symulacji w programie SPICE i badania eksperymentalne wzmacniaczy audio klasy DB ze zrównoważonym wyjściem wspólnym w trybie CM	102
6.4. Ocena uzyskanych wyników	107
7. Wnioski końcowe	108
Dodatki	
Dodatek A1	111
Dodatek A2	115
Dodatek A3	119
Dodatek A4	123
Dodatek A5	129

Spis literatury

1. W. Marshall Leach, Jr, "Introduction to Electroacoustics and Audio Amplifier Design, Second Edition - Revised Printing", published by Kendall/Hunt, 2001.
2. D. Dapkus, "Class-D audio power amplifiers: an overview", Digest of Technical Papers. Proc. of the International Conference on Consumer Electronics 2000, Los Angeles, CA, June 2000, pp. 400 – 40.
3. H.-S. Kim, S.-W. Jung, H.-M. Jung, J.-K. Shin, "Low Cost Implementation of Filterless Class D Audio Amplifier with Constant Switching Frequency", IEEE Transactions on Consumer Electronics, Vol. 52, No. 4, November, 2006, pp.1442-1446.
4. M. A. Teplechuk, A. Gribben, Ch. Amadi, "True Filterless Class-D Audio Amplifier", IEEE Journal of Solid-State Circuits, Vol. 46, No. 12, December 2011, pp. 2784-2793.
5. K.-H. Kong, Y.-W. Kim, S. Kim, K.-H. Baek, "Power-Efficient Digital Amplifier Using Input Dependent BitFlipping for Portable Audio Systems", IEEE Transactions on Consumer Electronics, Vol. 56, No. 4, November 2010, pp. 2406-2410.
6. A. Ikriannikov, N. A. Wilson, "New Concept for Class D Audio Amplifiers for Lower Cost and Better Performance", IEEE Transactions on Consumer Electronics, Vol. 57, No. 3, August 2011, pp. 1218-1226.
7. M. Berkhout, L. Dooper, "Class-D Audio Amplifiers in Mobile Applications". IEEE Transactions On Circuits And Systems-I: Regular Papers, Vol. 57, No. 5, , May 2010, pp. 991-1002.
8. P. P. Siniscalchi, R. K. Hester, "A 20W/channel class-D amplifier with near-zero common-mode radiated emissions", IEEE J. Solid-State Circuits, Vol. 44, No. 12, December 2009, pp.33264–33271.
9. J. Jasielski; **W. Kołodziejcki**; S.W. Kuta, "Cancellation of common-mode output signal in Class-BD audio amplifiers", IEEE Xplore, 2016 Int. Conf. on Signals and Electronic Systems (ICSES), 5-7 Sept. 2016. Krakow, Poland.
10. **W. Kołodziejcki**, S.W. Kuta, J. Jasielski, "Open-Loop Class-BD Audio Amplifiers with Balanced Common Mode Output", złożona do druku
11. P. Balmelli, J. M. Khoury, E. Viegas, P. Santos, V. Pereira, J. Alderson, R. Beale, "A Low-EMI 3-W Audio Class-D Amplifier Compatible With AM/FM Radio", IEEE Journal of Solid-State Circuits, Vol. 48, No. 8, August 2013, pp. 1771-1782.
12. Y. S. Hwang, J. H. Shen, J. J. Chen, M. R. Fan, " Performance comparison of integrated fully-differential filterless class-D amplifiers with different feedback techniques ", Analog Integrated Circuits and Signal Processing, 2013, Vol. 76, pp.167–177.
13. T. Ge J.S. Chang, "Filterless class D amplifiers: power-efficiency and power dissipation" IET Circuits, Devices and Systems, 2010, Vol. 4, Iss. 1, pp. 48–56.
14. Y.-S. Hwang, J.-H. Shen, J.-J. Chen, M.-R. Fan, "Performance comparison of integrated fully-differential filterless class-D amplifiers with different feedback techniques", Analog Integrated Circuits and Signal Processing, 2013, Vol.76, pp.167–177

15. T. Igarashi, N. Komine, L. Taihua, et al.: "New Method Class D Amplifier Which Enables Reduction of RF Noise and Signal Distortion" IEEE 10th International New Circuits and Systems Conference, Montreal, Quebec, Canada, 17-20 June 2012
16. L. Guo, Tong Ge, J. S. Chang, "A 101 dB PSRR, 0.0027% THD + N and 94% Power-Efficiency Filterless Class D Amplifier", IEEE J. Solid-State Circuits, Vol. 49, No. 11, November 2014, pp.2608-2617.
17. F. Guanzioli, R. Bassoli, C. Crippa, D. Devecchi, G. Nicollini, "A 1 W 104 dB SNR Filter-Less Fully-Digital Open-Loop Class D Audio Amplifier With EMI Reduction", IEEE Journal Of Solid-State Circuits, Vol. 47, No. 3, March 2012, pp. 686-698.
18. Maxim Integrated, "Reduce EMI from Class D Amplifiers Using New Modulation Techniques and Filter Architectures", Application Note 3878, Aug. 18, 2006, pp. 1-11.
19. P. Midya, W. J. Roeckner, "Filterless Class D Amplifiers: Power-Efficiency and Power Dissipation", IET Circuits, Devices & Systems, Vol. 4, Issue 1, January 2010, p. 48 - 56.
20. Shih-Hsiung Chien, Li-Te Wu, Ssu-Ying Chen, et al., "An Open-Loop Class-D Audio Amplifier with Increased Low-Distortion Output Power and PVT-Insensitive EMI Reduction", Proc. of the IEEE 2014 Custom Integrated Circuits Conference, San Jose, 15-17 Sept. 2014.
21. S.-H. Chien, Li-Te Wu, S.-Y. Chen, et al.: „An Open-Loop Class-D Audio Amplifier with Increased Low-Distortion Output Power and PVT-Insensitive EMI Reduction", Proc. of the IEEE Custom Integrated Circuits Conference, San Jose, CA, USA, 15-17 Sept.2014.
22. T. Mouton, B. Putzeys, "Digital Control of a PWM Switching Amplifier with Global Feedback", Proc. Of AES 37-th International Conference, Hillerod, Denmark, 209 August 28-30, pp.1-10.
23. R. Cellier, G. Pillonnet, A. Nagari, N. Abouchi, "A Review of Fully Digital Audio Class D Amplifiers Topologies, Circuits and Systems and TAISA Conference, 2009. NEWCAS-TAISA '09. Joint IEEE North-East Workshop, June 28-July 1, 2009.Y.
24. Yi Hwa Liu, "Novel Modulation Strategies for Class-D Amplifier", IEEE Trans. on Consumer Electronics, Vol. 53, Issue: 3, 2007, pp.987-994.
25. Copyright © 2021 Maxim Integrated, "Class D Amplifiers: Fundamentals of Operation and Recent Developments", Application Note 3977, 31 Jan, 2007.
26. J. M. Liu, S. H. Chien, T. H. Kuo, "A 100 W 5.1-Channel Digital Class-D Audio Amplifier With Single-Chip Design", IEEE J. Solid-State Circuits, Vol. 47, No. 6, June 2012, pp. 1344-1354.
27. Luo Shumeng and Li Dongmei, "A digital input class-D audio amplifier with sixth-order PWM", Journal of Semiconductors, Vol. 34, No. 11, November, 2013, pp. 115001-1 - 115001-6.
28. L. Dooper, M. Berkhout, "A 3.4 W Digital-In Class-D Audio Amplifier in 0.14 μm CMOS", IEEE Journal of Solid-State Circuits, Vol. 47, No. 7, July 2012, pp. 1524-1534.
29. M. Wang, X. Jiang, J. Song, T. L. Brooks, "A 120 dB Dynamic Range 400 mW Class-D Speaker Driver With Fourth-Order PWM Modulator", IEEE Journal of Solid-State Circuits, Vol. 45, No. 8, August 2010, pp. 1427-1435.
30. B.H. Gwee, J.S. Chang, V. Adrian, "A micropower low-distortion digital Class-D amplifier based on an algorithmic pulse width modulator", IEEE Transactions on Circuits and Systems I :Reg. Papers, Vol. 52. No. 10, pp. 2007-2022, Oct. 2005.

31. A. E. Grant, J. R. McKissick, A. E. Grant, J. H. Meadows: *Communication Technology Update and Fundamentals*. 2010, s. 232. ISBN 978-0-240-81475-9
32. S. W. Kuta. "Ograniczenia wzmacniaczy mocy z impulsową pracą elementów aktywnych", *Zeszyty Naukowe AGH, Nr. 914, Automatyka, Zeszyl 30*, , Kraków, 1982, ss. 1-131.
33. K. Nielsen, "Audio Power Amplifier Techniques With Energy Efficient Power Conversion", Ph. D. Thesis, Tech. Univ. of Denmark April 30, 1998.
34. M. Johansen, K. Nielsen, "'Parallel Phase Shifted Carrier Pulse Width Modulation (PSCPWM) - A Novel Approach to Switching Power Amplifier Design", 102nd AES Convention, March 22-25, Munich, Germany, 1997.
35. D. Jacobs, "Digital Puls Width Modulation for Class-D Audio Amplifier", Ph. D. Thesis, University of Stellenbosch, April, 2006.
36. F. S. Christensen, T. M. Frederiksen, K. Nielsen, "Paralleled Phase Shifted Carrier Pulse Width Modulation (PSCPWM) Schemes - a Fundamental Analysis". 106th AES Convention, 1999 May 9-11, Munich, Preprint 4917 (GJ3).
37. M. Bloechl, M. Bataineh, D. Harrell, "Class D Switching Power Amplifiers: Theory, Design, and Performance", IEEE SoutheastCon, 2004. Proceedings, pp.1-11
38. C. Pascual, Z. Song, P. T. Krein, et. al., "High-Fidelity PWM Inverter for Digital Audio Amplification: Spectral Analysis, Real-Time DSP Implementation, and Results", IEEE Transactions on Power Electronics, Vol. 18, No. 1, January, 2003, pp. 474-485.
39. S. M. Cox, Jun Yu, W. L. Goh, M . T. Tan, "Intrinsic Distortion of a Fully Differential BD-Modulated Class-D Amplifier With Analog Feedback ", IEEE Transactions on Circuits and Systems - I, Vol. 60, No. 1, January 2013, pp.63-73.
40. Ph. Dondon, M. Cifuentes, G.Tsenov, V. Mladenov, „A practical modelling for the design of a sigma delta class D power switching amplifier and its pedagogical application”, *Recent Researches in Circuits, Systems and Signal Processing*; ISBN: 978-1-61804-017-6, pp. 93-99.
41. M. J. Hawksford, "SDM versus PWM power digital-to-analogue converters (PDAC) in high-resolution digital audio applications", Audio Engineering Society, 118th Convention, 2005 May 28th–31st, Barcelona, Spain, pp. 1-24.
42. S. Norsworthy, "Optimal Nonrecursive Noise Shaping Filters For Oversampling Data Converters", 1993 IEEE International Symposium on Circuits and Systems Part 1: Theory, 3-6 May 1993, Chicago, IL, USA, pp.1353-1356.
43. J-W Jung, M. J. Hawksford, An Oversampled Digital PWM Linearization Technique for Digital-to-Analog Conversion, IEEE Transactions on Circuits and Systems—I: Regular Papers, Vol. 51, No. 9, pp. 1781 – 1789, September 2004.
44. S. R. Norsworthy, Optimal Nonrecursive Noise Shaping Filters For Oversampling Data Converters Part 1: Theory, Proc. of 1993 IEEE International Symposium on Circuits and Systems, 3-6 May 1993, Chicago, USA, IEEE Xplore: 06 August 2002.
45. **W. Kołodziej**ski, S. W. Kuta, „Linearized 9-Bit Hybrid LBDD PWMModulator for Digital Class-BD Amplifier”, *International Journal of Electronics and Telecommunications*, 2021, Vol. 67, No. 1, pp. 49-57, Impact Factor 0,81, SJR 0,193, *Afiljacja PWSZ w Tarnowi*

46. S. W. Kuta, **W. Kołodziejcki**, J. Jasielski, „Hybrid Linearized Class-BD Double Sided (LBDD) Digital Pulse Width Modulator (DPWM) for Class-BD Audio Amplifiers”, Science, Technology, Innovation, 2017, No.1, pp. 1-10, *Afiljacja PWSZ w Tarnowie*
47. J. Jasielski, St. Kuta, W. Machowski, **W. Kołodziejcki**, „Hybrid DPWM Implementation Using Coarse and Fine Programmable ADLL”, Microelectronics Journal, Elsevier, 2014, Vol. 45, Iss. 9, Pgs. 1202 – 1211. Impact Factor 1,48, SJR 1,48, *Afiljacja PWSZ w Tarnowie*
48. J. Jasielski, St. Kuta, W. Machowski, **W. Kołodziejcki**, I. Brzozowski, „Double edge class BD hybrid DPWM implementation using linearized LBDD algorithm”, Mixed Design of Integrated Circuits & Systems (MIXDES), 2014 Proceedings of the 21st International Conference, Date 19-21 June 2014, Pgs. 209 – 214. *Afiljacja PWSZ w Tarnowie*
49. J. Jasielski, St. Kuta, W. Machowski, **W. Kołodziejcki**, „Hybrid LBDD PWM Modulator for Digital Class-BD Audio Amplifier Based on STM32F407VGT6 Microcontroller and Analog DLL”, Mixed Design of Integrated Circuits & Systems (MIXDES), 2015 Proceedings of the 22st International Conference, Date 25-27 June 2015. *Afiljacja PWSZ w Tarnowie*
50. **W. Kołodziejcki**, St. Kuta, J. Jasielski, „Current controlled delay line elements' improvement study”, ICSES 2012, International Conference on Signals and Electronic Systems : 18–21 September 2012, Wrocław, Poland. *Afiljacja PWSZ w Tarnowie*
51. **W. Kołodziejcki**, St. Kuta, Jacek Jasielski; „Analog delay line elements with wide range controlled-delay „(Analogowe elementy linii opóźniającej o regulowanym w szerokim zakresie opóźnieniu), Elektronika : konstrukcje, technologie, zastosowania (Warszawa) ; ISSN 0033-2089 — Tytuł poprz.: Przegląd Elektroniki. — 2013 R. 54 nr 2, s. 26–32.
52. J. Jasielski, St. Kuta, W. Machowski, **W. Kołodziejcki**; “An Analog Dual Delay Locked Loop Using Coarse and Fine Programmable Delay Elements”, Proceedings of the 20-th International Conference MIXED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS MIXDES 2013, Gdynia, Poland, June 2013. *Afiljacja PWSZ w Tarnowie*
53. B. H. Gwee, J. S. Chang, H. Li, “A Micropower Low-Distortion Digital Pulsewidth Modulator for a Digital Class D Amplifier, IEEE Transactions on Circuits And Systems - Ii: Analog and Digital Signal Processing”, Vol. 49, No. 4, April 2002, pp.245-2256.
54. A. Syed, E. Ahmed, D. Maksimovic, E. Alarcon, Digital pulse width modulator architectures, Proc. IEEE Power Electron. Spec. Conf., Vol. 6, 2004, pp.4689-4695.
55. Ch. Morrison, S. Weiss, M. Macleod and R. Stewart, “Comparison of Single- and Double-Sided Pulse Width Modulated Signals with Non-Linear Predistortion”, Proceedings of the 5th European DSP Education and Research Conference, 2012, Amsterdam, pp. 271-275.
56. V. Yousefzadeh, T. Takayama, D. Maksimovic’, “Hybrid DPWM with digital delay-lockedloop”, in: Proceedings of the IEEE COMPEL Workshop, Rensselaer Polytechnic Institute, Troy, NY, USA, July 16-19, 2006, pp. 142–148.
57. A. de Castro, G. Sutter, S. C. Huerta, J. A. Cobos, “High Resolution Pulse Width Modulators in FPGA”, 3rd Southern Conference on Programmable Logic, (SPL '07), Feb. 2007, pp.137-142.
58. X. Shen, X. Wu, J. Lu, L. Qin, “Hybrid DPWM with Analog Delay Locked Loop”, Proc. of the International MultiConference of Engineers and Computer Scientists 2010, Vol II, IMCS 2010 March 17-19, 2010, Hong Kong.

59. S. C. Huerta , A. de Castro, O. Garcia, J. A. Cobos, "FPGA-based digital pulsewidth modulator with time resolution under 2 ns", *IEEE Trans. Power Electron.*, vol. 23, no. 6, 2008, pp.3135 -3141'
60. K. P. Sozański, "Digital Realization of a Click Modulator for an Audio Power Amplifier", *Przegląd Elektrotechniczny (Electrical Review)*, ISSN 0033-2097, R.86 NR 2/2010, pp. 353-357.
61. G. W. Roberts M. Ali-Bakhshian, "A Brief Introduction to Time-to-Digital and Digital-to-Time Converters", *IEEE Transactions on Circuits and Systems—II: Express Briefs*, Vol. 57, No. 3, March 2010, pp.153-157.
62. Hai Wang, Min Zhang, Yan Liu, "High-Resolution Digital-to-Time Converter Implemented in an FPGA Chip", *Applied Sciences*, 2017, Vol.7, Iss.52; pp. 1-11.
63. Y. B. Quek, "Class-D LC Filter Design", Application Report SLOA119A–April 2006–Revised January 2008, Texas Instruments, pp. 2 – 20.
64. H. W. Ott, "Understanding and Controlling Common-Mode Emissions in High-Power Electronics", Henry Ott Consultants Livingston, NJ 07039 (973) 992-1793, 2001, pp. 1-5
65. J. Cerezo, International Rectifie, "Class D Audio Amplifier Performance Relationship to MOSFET Parameters", Application Note AN-1070, pp. 1-14.
66. Ch. K. Lam, M. T. Tan, S. M. Cox, K. S. Yeo, Class-D Amplifier Power Stage With PWM Feedback Loop, *IEEE Transactions On Power Electronics*, Vol. 28, No. 8, pp. 3870 – 3881, August 2013.
67. J. Jasielski , S. W. Kuta, "Applied methods of power supply and galvanic isolation of gate drivers of power transistors in bridging end stages of Class D amplifiers and inverters", *Scienc, Technology, Innovation*, Iss.: 2 (1), 2018 pp. 31-41.
68. S. Park, T. M. Jahns, "A Self-Boost Charge Pump Topology for a Gate Drive High-Side Power Supply", *IEEE Transactions On Power Ele ctronics*, Vol. 20, No. 2, March 2005.
69. John Stevens, "Using a Single-Output Gate-Driver for High-Side or Low-Side Drive", Application Report SLUA669 – March 2013, Texas Instruments, pp. 1 – 7.
70. Se-Kyo Chung, Jung-Gyu Lim, "Design of Bootstrap Power Supply for Half-Bridge Circuits using Snubber Energy Regeneration", *Journal of Power Electronics*, Vol. 7, No. 4, October 2007, pp. 294-300.
71. Fairchild Semiconductor Corporation, "Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC" , AN-6076, 2008, , Rev. 1.0.0 • 9/30/08.
72. G. F. W. Khoo, D. R. H. Carter, and R. A. McMahan, "Analysis of a charge pump power supply with a floating voltage reference", *IEEE Trans. Circuits Syst.*, vol. 47, no. 10, pp. 1494–1501, Oct. 2000.
73. Ph. Meyer, J. Tucker, "Providing Continuous Gate Drive Using a Charge Pump", 2011, Texas Instruments Incorporated, SLVA444–February 2011.
74. S. K. Tewksbury, R. W. Hallock, „Oversampled Linear Predictive and Noise-Shaping Coders of Order $N > 1$, *IEEE Trans. Circuits Sys. CAS-25*, July 1978, pp. 437-447.
75. T. Zieliński, "Cyfrowe przetwarzanie sygnałów od teorii do zastosowań", WKiŁ, Warszawa, 2005.
76. R. E. Crochiere, L. R. Rabiner, Interpolation and Decimation of Digital Signals-A Tutorial Review, *Proceedings of IEEE*, Vol. 69, No. 3, March 1981, pp.300-331.

77. M. Nentwig, "Polyphase filter / Farrows interpolation", <http://www.dsprelated.com/showarticle/22.php>[2013-02-12].
78. Tutoriale, „Technika cyfrowa - przetwarzanie analogowo-cyfrowe. Próbkowanie”, <http://livesound.pl/tutoriale/kursy/3979-technika-cyfrowa-przetwarzanie-analogowo-cyfrowe-probkowanie>[2013-02-11].
79. ISO7420x Low-Power Dual-Channel Digital Isolators, SLLS984I –JUNE 2009–REVISED JULY 2015, Texas Instruments, www.ti.com
80. RM0090 Reference manual. STM32F40xxx, STM32F41xxx, STM32F42xxx, STM32F43xxx advanced ARM-based 32-bit MCUs.
81. STM32F405xx STM32F407xx, Datasheet, June 2013, DocID022152 Rev 4.
82. UM1472 User manual Discovery kit for STM32F407/417 lines, January 2014 DocID022256 Rev 4.
83. <http://www.cornucopioplastics.com/> 3-Bit Programmable FAST TTL Logic Delay

Lista skrótów

AD C	Analog to Digital Converter
Class-D	Systems using a digital PWM topology
CM	Common Mode
DAC	Digital to Analogue Converter
DM	Differential Mode
DPWM	Digital Pulse Width Modulation
DSP	Digital Signal Processing
DTC	Digital to Time Converter
FFT	Fast Fourier Transform
FIR	Finite Impulse Response
IC	Integrated Circuit
IIR	Infinite Impulse Response
IM	Intermodulation Components
LPWM	Linearized PWM
LSB	Least Significant Bit
MOSFET	Metal-Oxide Semiconductor Field Effect Transistor
MSB	Most Significant Bit
NBDD PWM	Natural sampling Class-BD Double sided modulation
NPWM	Natural Pulse Width Modulation
PCM	Pulse Code Modulation
PLL	Phase Lock Loop
PNPWM	Pseudo Natural Pulse Width Modulation
PSC PWM	Phase Shifted Carrier PWM
PSD	Power Spectral Density
PTDL	Programmable Tapped Delay Line
PWM	Pulse Width Modulation
SNR	Signal to Noise Ratio
SDM	Sigma-Delta Modulation
THD+N	Total Harmonic Distortion plus Noise
UPWM	Uniform Pulse Width Modulation

Wykaz stosowanych symboli

$\Omega_c = 2\pi F_c$	Pulsacja kluczowania
T_c	Okres kluczowania
$\omega_m = 2\pi f_m$	Pulsacja sygnału modulującego
f_{CLK}	Częstotliwość zegara przetwornika DTC przy metodzie licznikowej
f_{CLKh}	Częstotliwość zegara przetwornika DTC przy metodzie hybrydowej
f_{osc}	Częstotliwość oscylatora na magistralach AHB mikrokontrolera STM32
$f_{PCLK2} = f_{CLKh}$	Częstotliwość zegara sterującego PTDL
$T_{CONV} = T_c$	Okres próbkowania i przetwarzania sygnału audio w przetworniku ADC
t_{d1}	Czas opóźnienia okresu T_{CLKh} przez jeden segment PTDL
$t_p(n)$	Chwila początku impulsu PWM (zbocza narastającego) w n -tym okresie T_c
$t_k(n)$	Chwila końca impulsu PWM (zbocza opadającego) w n -tym okresie T_c
n	n -ty okres częstotliwości kluczowania f_c
$y_i(n)$	Próbka sygnału audio w n -tym okresie próbkowania nT_c
$S_{fi}(n)$	Próbka opadającego przebiegu trójkątnego w n -tym półokresie próbkowania nT_c
$S_{ri}(n)$	Próbka narastającego przebiegu trójkątnego w n -tym półokresie próbkowania nT_c
M	Indeks modulacji
J_n	Funkcja Bessel'a I-go rodzaju, rzędu n
n	Indeks harmonicznym sygnału modulującego
m	Indeks harmonicznym sygnału kluczuującego
Q	Współczynnik nadpróbkowania - częstotliwość nadpróbkowania QF_c Q dodatkowych próbkach w okresie kluczowania T_c .
N_q	Długość przetwarzanego słowa w bitach przed rekwantyzacją
N_{rq}	Długość przetwarzanego słowa w bitach po rekwantyzacji
$H(z)$	Dyskretna transmitancja
$NTF(z)$	Dyskretna transmitancja szumów
V_{OUT}^L	Napięcie na wyjściu lewej gałęzi mostka H
V_{OUT}^R	Napięcie na wyjściu prawej gałęzi mostka H
V_{OUT}^{DM}	Napięcie na wyjściu różnicowym mostka H (w trybie DM)
V_{OUT}^{CM}	Napięcie na wyjściu sumacyjnym mostka H (w trybie CM)
$i_D(t)$	Chwilowa wartość prądu drenu
η	Sprawność energetyczna wzmacniacza
P_L	Moc wydzielona w rezystancji obciążenia R_L wzmacniacza

Streszczenie

W pracy przedstawiono algorytmy przetwarzania sygnałów niezbędnych do konwersji cyfrowych danych audio, uzyskanych ze źródła, na cyfrowy sygnał o modulowanej szerokości impulsów do sterowania tranzystorów MOSFET stopnia końcowego akustycznego wzmacniacza klasy D. Skoncentrowano się na linearyzowanych, rozbudowanych modulatorach szerokości impulsów LBDD PWM z kompensacją wstępną, umożliwiającymi możliwie jak najwierniejszą emulację naturalnych modulacji NBDD PWM lub PSC PWM.

Algorytmy kompensacji wstępnej, składające się z bloków modułowych: interpolacji, obliczenia położenia początków i końców czasu trwania impulsu LBDD PWM w n -tych okresach kluczowania i kształtowania szumów kwantyzacji zostały zdefiniowane w teorii, zaprojektowane i przesymulowane w programie Matlab®, a następnie zostały zaimplementowane w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera STM32 i programowaną linię opóźniającą z odczepami PTDL.

W pracy przedstawiono oryginalne architektury hybrydowych modulatorów LBDD PWM, które konwertują rekwantyzowane dane cyfrowe określające położenie początków $t_p(n)$ (zboczy narastających) i końców $t_k(n)$ (zboczy opadających) impulsów DPWM w kolejnych n -tych okresach przełączania T_c w dwa fizyczne ciągi 1-bitowych sygnałów LBDD DPWM, sterujących stopniem wyjściowym wzmacniacza klasy BD.

Zaproponowano nowe architektury i implementacje cyfrowych wzmacniaczy akustycznych klasy BD z otwartą pętlą, charakteryzujących się zrównoważonym wyjściem dla sygnałów wspólnych, tj. posiadających stałe napięcie na wyjściu sumacyjnym.

Stopień wyjściowy proponowanych wzmacniaczy audio klasy BD zawiera typowy mostek H z czterema tranzystorami MOSFET oraz cztery dodatkowe przełączniki MOSFET, które równoważą i utrzymują stałą wartość napięcia na wyjściu sumacyjnym w trybie wspólnym.

Obszerne badania symulacyjne w programie SPICE oraz badania eksperymentalne wykazały, że proponowane wzmacniacze klasy BD mają podobne parametry jak prototypowy wzmacniacz klasy BD z optymalną modulacją NBDD, a jednocześnie mają zrównoważone wyjście dla sygnałów wspólnych o stałym napięciu, umożliwiając tym samym realizację bezfiltrowych wzmacniaczy klasy D, przy równoczesnej eliminacji lub znacznym ograniczeniu zakłóceń elektromagnetycznych radiacyjnych (EMI).

Abstract

Doctoral thesis presents the signal processing algorithms necessary for the conversion of digital audio data obtained from the source into a digital pulse width modulated signal for the control of the output stage MOSFETs of a Class-D audio amplifier. The focus was on linearized, extended LBDD PWM pulse width modulators with precompensation, allowing the most faithful emulation of natural NBDD PWM or PSC PWM modulations.

Precompensation algorithms, consisting of modular blocks: interpolation, calculations of the position of the positions of the $t_p(n)$ time (the rising edge) and the $t_k(n)$ time (falling edge) of the DPWM pulses within n -th period T_c of the switching frequency and noise shaping were defined in theory, designed and simulated in Matlab, and then implemented on the base of the hybrid method with the use of the STM32 microcontroller and a Programmable Tapped Delay Line (PTDL).

The original architectures of hybrid LBDD PWM modulators, which convert the requantized digital data defining the positions of the $t_p(n)$ time (the rising edge) and the $t_k(n)$ time (falling edge) of the DPWM pulses within n -th period T_c of the switching frequency into two physical sequences 1-bit LBDD DPWM signals, controlling the output stage of the BD class amplifier have been proposed.

New architectures and implementations of original Class-BD digital audio amplifiers with open loop, characterized by a balanced output for common signals, i.e. having a constant voltage at the CM output have been proposed. The output stage of each proposed amplifier includes the typical H-bridge with four MOSFETs and four additional MOSFET switches that balance and keep the common-mode output constant.

Extensive simulation studies in SPICE and experimental studies have shown that the proposed class BD amplifiers have similar parameters as the prototype Class-BD amplifier with optimal NBDD modulation, and at the same time have a balanced constant voltage CM output, thus enabling the implementation of filterless Class-D amplifiers, while eliminating or significantly reducing electromagnetic radiation interference (EMI).

Rozdział 1

1. Wprowadzenie

1.1. Bezfiltrowe wzmacniacze klasy D.

Pierwsze wzmacniacze klasy D sięgają lat pięćdziesiątych XX wieku [1-2]. Od tego czasu znalazły szerokie zastosowanie w elektronice użytkowej ze względu na ciągłe ulepszanie technologii półprzewodników mocy.

Stopnie końcowe wzmacniaczy klasy D skonfigurowane są w struktury pół-mostkowe lub mostkowe, w których tranzystory mocy MOSFET pełnią rolę przełączników (kluczy), sterowanych od stanu zamknięcia do stanu otwarcia. Charakterystyki statyczne tych elementów w granicznych stanach przewodzenia powinny być zbliżone do charakterystyk przełącznika w stanach zamknięcia i otwarcia, a czasy przełączania możliwie jak najkrótsze. Maksymalna moc obciążenia limitowana jest przez graniczne wartości prądów i napięć zastosowanych tranzystorów, a nie przez ich dopuszczalną moc strat. Straty mocy w tego typu wzmacniaczach składają się głównie z dwóch składników: strat mocy przewodzenia związanych ze spadkiem napięcia na załączonym tranzystorze oraz strat mocy związanych z procesem przełączania tranzystora, gdy jego punkt pracy przemieszcza się przez obszar aktywny i jednocześnie mogą wystąpić duże chwilowe wartości napięcia i prądu tranzystora. O sprawności energetycznej tych układów w dużym stopniu decyduje właściwy dobór elementów ze względu na ich szybkość działania, jak również dobór odpowiednich układów sterowania tranzystorów w celu zminimalizowania strat mocy związanych z procesami przełączania, bowiem ten składnik może być dominujący w ogólnym bilansie strat mocy.

Szybki rozwój technologii półprzewodników wywołał ponowne zainteresowanie wykorzystaniem wzmacniaczy mocy audio klasy D, zwłaszcza w aplikacjach mniejszej mocy, poniżej 50W na kanał [3–30]. Dzięki dużej sprawności energetycznej, małym rozmiarom, małym stratom mocy, a tym samym zmniejszeniu rozpraszania ciepła, wzmacniacze klasy D znalazły szerokie zastosowanie w wielu konsumenckich systemach elektronicznych, takich jak telewizja, systemy nagłośniujące, zestawy i systemy kina domowego, telefonia komórkowa, systemy radiokomunikacji ruchomej i inne, ponieważ czas między ładowaniami akumulatora może być dłuższy [3–7]. Wymagało to jednak rozwiązania wielu problemów w celu ulepszenia parametrów elektroakustycznych, energetycznych i kompatybilności elektromagnetycznej (EMI) oraz filtracji sygnału wyjściowego [3–30]. Ostatnio, bardzo popularnymi rozwiązaniami stały się tzw. bezfiltrowe wzmacniacze klasy D [3–18], w których wyjście wzmacniacza jest bezpośrednio podłączone do obciążenia, a samo obciążenie (głośnik) zapewnia filtrację, a tym samym demodulację sygnału dźwiękowego, przy znacznym ograniczeniu zakłóceń elektromagnetycznych i zapewnieniu kompatybilności elektromagnetycznej EMI.

1.2. Osiągnięcia i kierunki rozwoju wzmacniaczy klasy D. Stosowane techniki modulacji PWM.

W wielu komercyjnych instalacjach Audio -Video, sieciowe odtwarzacze przetwarzają pliki audio zapisane w formatach dźwiękowych: A/52 (*Dolby Digital*), ASF (*Advanced Systems Format*), MP3, WMA (*Windows Media Audio*), a powszechną tendencją jest aby odtwarzanie wszelkich typów plików multimedialnych obsługiwane było przez różne wersje

programu Windows Media Player [31]. We wspomnianych i innych systemach audio, najczęściej wielokanałowych, sygnały audio są zapamiętywane, przesyłane i przetwarzane w dziedzinie cyfrowej. Implementacja koncepcji wzmacniacza klasy D w takich systemach stwarza możliwość przetwarzania i wzmacniania sygnałów audio w dziedzinie cyfrowej, aż do stopnia końcowego mocy. W stopniu końcowym, najczęściej w konfiguracji mostka H, tranzystory mocy MOSFET pracują jako klucze, dzięki czemu uzyskuje się wysoką sprawność energetyczną wzmacniacza, a po filtracji dolnoprzepustowej wzmacniony sygnał akustyczny dołączony jest do głośników.

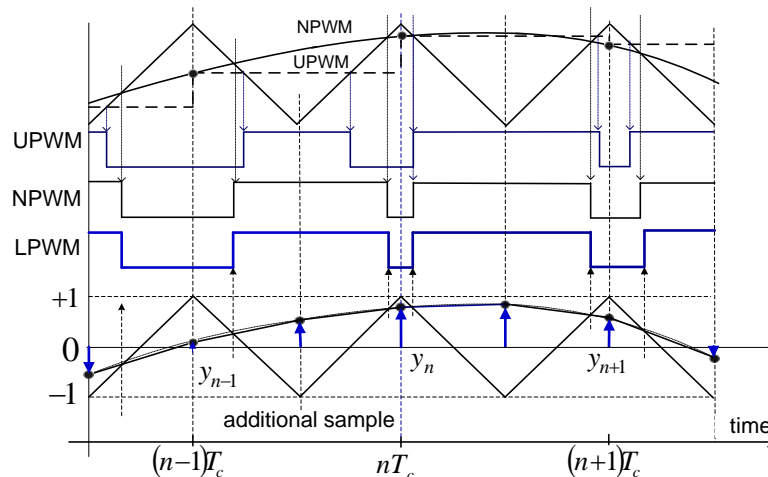
Architektury wzmacniaczy klasy D można ogólnie podzielić na dwie kategorie:

1. Wzmacniacze klasy D w otwartej pętli z analogową modulacją szerokości impulsu APWM (*Analog Pulse Width Modulation*), z próbkowaniem naturalnym NPWM (*Natural Sampled PWM*) lub jej cyfrową wersją DPWM (*Digital PWM*) z równomierną modulacją UPWM (*Uniform Sampled PWM*).
2. Wzmacniacze w zamkniętej pętli z modulacją Sigma Delta (Σ - Δ), stanowiącej odmianę modulacji gęstości impulsów.

Na rys. 1.1, pokazano sposoby próbkowania wejściowego sygnału modulującego stosowane w modulacjach APWM i DPWM we wzmacniaczach klasy D w otwartej pętli.

W modulacjach analogowych APWM stosuje się naturalne próbkowanie sygnału modulującego (NPWM), tzn. czasy trwania impulsów zmodulowanych PWM otrzymywane są w wyniku porównania analogowego sygnału modulującego z przebiegiem trójkątnym lub piłokształtnym.

W modulacjach cyfrowych DPWM, zamiast analogowego sygnału ciągłego wykorzystywany jest dyskretny sygnał modulujący, otrzymywany po wcześniejszym skwantowaniu sygnału analogowego. Szerokości zmodulowanych impulsów prostokątnych są proporcjonalne do dyskretnych wartości sygnału modulującego i przy próbkowaniu ze stałym okresem sygnału modulowanego otrzymujemy równomierną modulację UPWM.



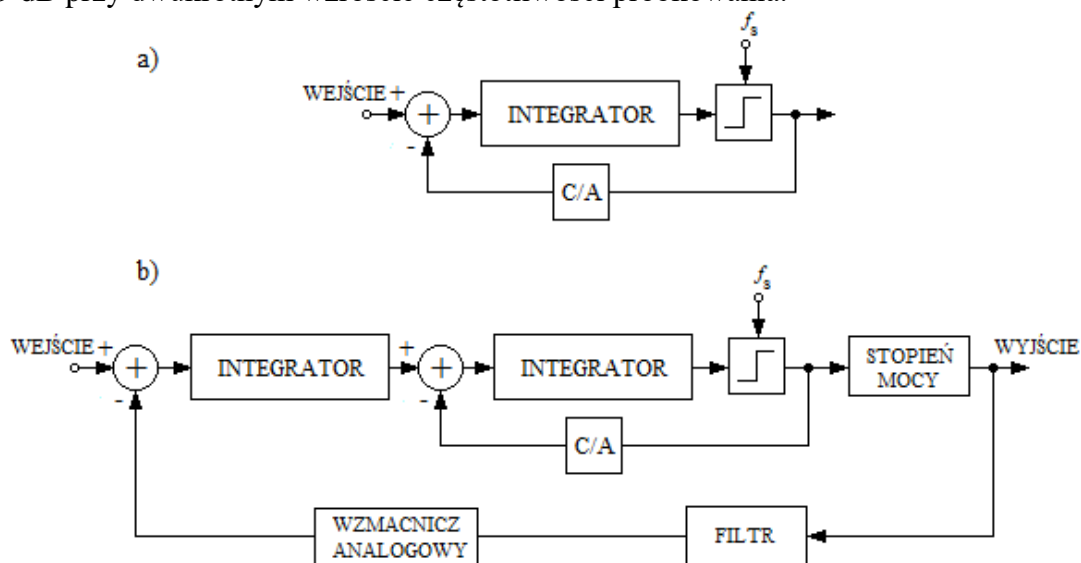
Rys. 1.1. Różnice pomiędzy modulacjami: NPWM, UPWM i LPWM

Stosując dodatkowe próbkowanie sygnału w okresie przełączania T_c , otrzymujemy dyskretny sygnał skwantowany bardziej zbliżony kształtem do pierwotnego sygnału analogowego, a zmodulowany sygnał DPWM jest bardziej zbliżony do zmodulowanego sygnału NPWM przy modulacji naturalnej. Ten rodzaj modulacji może być realizowany jako modulacja pseudo-naturalną - PNPWM (*Pseudo-Natural Pulse Width Modulation*) lub linearyzowana - LPWM (*Linearized Pulse Width Modulation*).

W każdej z wymienionych wyżej metod modulacji PWM, zarówno analogowych jak i cyfrowych, można wyróżnić modulację jednobrzegową (*Single sided modulation - S*) lub dwubrzegową (*Double sided modulation - D*). Sygnał PWM z modulacją dwubrzegową niesie

więcej informacji o sygnale modulującym, przy tej samej częstotliwości przebiegu modulowanego [32-39].

Wzmacniacze klasy D w zamkniętej pętli, zamiast opisanego wyżej modulatora PWM, wykorzystują modulację Sigma-Delta (Σ - Δ) z nadpróbkowaniem, kształtującym charakterystykę szumów kwantyzacji [40-44]. Na rys. 1.2.a przedstawiono standardowy, jednostopniowy modulator Σ - Δ zawierający: integrator, strobowany komparator, który w istocie jest dwupoziomowym kwantyzatorem o częstotliwości próbkowania f_s oraz jednobitowy przetwornik C/A sterowany sygnałem cyfrowym z wyjścia komparatora. Ujemne sprzężenie zwrotne wymusza, aby sygnał wyjściowy kwantyzatora nadażał za średnią wartość sygnału wejściowego modulatora. Występujące różnice pomiędzy sygnałem wejściowym modulatora, a wyjściowym kwantyzatora, akumulowane są w integratorze i korygowane. W jednostopniowym modulatorze Σ - Δ szumy kwantyzacji są redukowane o około 9 dB przy dwukrotnym wzroście częstotliwości próbkowania.



Rys. 1.2. Schematy blokowe: a). standardowego, jednostopniowego modulatora Σ - Δ ;
b). wzmacniacza klasy D z modulatorem Σ - Δ drugiego rzędu

Współczesne rozwiązania wzmacniaczy klasy D z modulatorem Σ - Δ używają pętli sprzężenia zwrotnego pracującej w trybie ciągłym, a nie pętli cyfrowej, jak w opisanym wcześniej modulatorze na rys. 1.2.a. Dzięki temu, informacja z wyjścia dostępna jest na wejściu, umożliwiając porównanie z sygnałem wejściowym i poprzez ujemne sprzężenia zwrotne korekcję zniekształceń wprowadzanych przez tranzystory MOSFET podczas przełączania. Ciągła praca pętli pozwala również na zmniejszenie poziomu zniekształceń wynikających ze zjawiska aliasingu, ponieważ pętla zawiera filtr antyaliasingowy, uniemożliwiający przedostanie się na wejście modulatora wyższych harmonicznych sygnału generowanych na wyjściu modulatora, niż dopuszczalna częstotliwość sygnału wejściowego. Na rys. 1.2.b przedstawiono jedno z wielu możliwych rozwiązań wzmacniacza klasy D z modulatorem Σ - Δ , 2-go rzędu, które łączy w sobie opisywane wyżej techniki [40-44]. W wielu pracach opisano różne modyfikacje rozwiązań układowych wzmacniaczy klasy D z modulatorami Σ - Δ , zarówno 2-go, jak i 3-go rzędu, w których wprowadzono sprzężenie „w przód”, emulujące sprzężenie zwrotne i poprawiające zakres dynamiczny integratorów, a także dodatkowe pętle selektywnego sprzężenia zwrotnego pomiędzy wyjściem komparatora a wejściami integratorów, zapewniając w niektórych pętlach cyfrowe sprzężenie zwrotne poprzez konwerter C/A obok sprzężenia ciągłego w pozostałych pętlach [22-30], [40-44]. [59-60].

Cyfrowe wzmacniacze klasy D małej mocy najczęściej używają modulatora opartego na wielobitowym modulatorze Σ - Δ . Algorytmiczna transformacja cyfrowego sygnału PCM na sygnał PWM jest przenoszona do zamkniętej pętli modulatora Σ - Δ , dzięki czemu szum i zniekształcenia generowane podczas transformacji są tłumione przez duże wzmocnienie pętli sprzężenia zwrotnego „w przód”. W porównaniu do LPWM, modulacja Σ - Δ wymaga znacznie wyższej częstotliwości przełączania tranzystorów MOSFET w stopniu wyjściowym, co powoduje obniżenie sprawności energetycznej wzmacniacza [7, 23, 35].

Zastosowanie klasycznych, analogowych wzmacniaczy klasy D w cyfrowych systemach audio, z wejściowym sygnałem cyfrowym PCM, wiąże się z koniecznością każdorazowego przetworzenia sygnału cyfrowego na sygnał analogowy w precyzyjnym przetworniku C/A, aby następnie przekształcić go na sygnał zmodulowany NPWM. To przekształcenie jest często nazywane konwersją PCM na PWM

Aby wyeliminować konieczność stosowania w konwerterach PCM na PWM dość skomplikowanych układów - precyzyjnych przetworników C/A – proces modulacji PWM można zrealizować bezpośrednio przy zastosowaniu algorytmów cyfrowej modulacji szerokości impulsów DPWM, gdzie wejściowy sygnał PCM jest przetwarzany bezpośrednio w ciąg 1-bitowych impulsów PWM [32-39], [45-49].

Standardowa DPWM z równomiernym próbkowaniem UPWM (ang. *Uniform PWM*), chociaż bardzo prosta, nie może być wykorzystana we wzmacniaczach akustycznych ze względu na jej wrodzoną naturalną nieliniowość [32- 35].

Algorytmy DPWM stosowane w akustycznych wzmacniaczach klasy D są dość złożone, a ponadto muszą być realizowane w czasie rzeczywistym, przy dość wysokiej częstotliwości kluczowania stopnia końcowego (zależnie od rodzaju modulacji DPWM, $F_c \geq 250$ kHz). Z tego powodu, w praktycznych rozwiązaniach cyfrowych wzmacniaczy klasy D rozwinęły się główne dwie metody realizacji modulatorów DPWM: 1) modulacja DPWM realizowana w oparciu o wielobitową modulację sigma-delta (Σ - Δ) z układem kształtowania szumów kwantyzacji (częściej stosowana w praktyce ze względu na łatwiejsze kompromisy pomiędzy parametrami układu dla uzyskania zadanych parametrów wyjściowych) oraz 2) standardowe modulacje DPWM z kompensacją wstępną, charakteryzujące się próbkowaniem sygnału modulującego najbardziej zbliżonym do próbkowania przy modulacjach naturalnych NPWM i układem kształtowania szumów rekwantyzacji. Poprzez interpolacje wejściowego sygnału PCM otrzymujemy dyskretny sygnał skwantowany bardziej zbliżony kształtem do pierwotnego sygnału analogowego, a zmodulowany sygnał DPWM jest bardziej zbliżony do zmodulowanego sygnału NPWM przy modulacji naturalnej. Ten rodzaj modulacji nazywany jest modulacją pseudo-naturalną - PNPWM (ang. *Pseudo-Natural Pulse Width Modulation*) lub linearyzowaną – LPWM (*Linearized Pulse Width Modulation*).

Standardowe modulacje DPWM z kompensacją wstępną stwarzają możliwość emulacji wszystkich czterech podstawowych metod modulacji NPWM w cyfrowych aplikacjach wzmacniaczy klasy D (tj. NADS, NADD, NBDS, NBDD), a w szczególności dwubrzegowej modulacji klasy BD (NBDD), (*Natural sampled Class-BD Double sided*) uznawanej jako optymalna modulacja PWM, ze względu na łatwość filtracji sygnałów różnicowych na wyjściu stopnia końcowego wzmacniacza klasy D. Spośród czterech podstawowych rodzajów modulacji NPWM, modulacja NBDD, która jest odpowiednikiem trzypoziomowej wersji modulacji PSCPWM (*Phase Shifted Carrier Pulse Width Modulation*) i jest najlepsza pod względem wyjścia różnicowego DM (*Differential Mode*) i ma zdecydowanie najbardziej atrakcyjną charakterystykę widmową, która zawiera znacznie mniej niepożądanych składowych widmowych niż wszystkie inne metody PWM [32-32], [36-39].

Modulator NBDD posiada jednak pewną wadę, ponieważ na jego wyjściu sumacyjnym CM (*Common Mode*) pojawia się sygnał sumacyjny, obecny w pełnej skali nawet przy bardzo niskim poziomie sygnału modulującego, o szerokim widmie zawierającym nieparzyste

harmoniczne częstotliwości przełączania i ich parzyste składowe intermodulacyjne (IM). Szybkie przełączanie tranzystorów wyjściowych MOSFET, duże skoki napięć wyjściowych w zakresie napięć na szynach zasilających stopień końcowy wzmacniacza, szerokie spektrum częstotliwości sygnałów PWM mogą prowadzić do emisji zakłóceń o wysokiej częstotliwości RF ze stopnia wyjściowego, ścieżek na płycie drukowanej, filtrów i kabli głośnikowych, które stają się przypadkowymi antenami [3-10].

Cyfrowa modulacja PNPWM jest atrakcyjna z punktu widzenia możliwości ograniczenia zniekształceń nieliniowych w paśmie podstawowym sygnału modulującego do dowolnie niskiego poziomu, a dla jej realizacji wykorzystywane są powszechnie znane i ugruntowane numeryczne metody obliczeń, ale trudne do realizacji w czasie rzeczywistym, ponieważ wymagają zbyt dużych nakładów obliczeniowych.

Linearyzowane modulacje LPWM są prostsze w realizacji i wymagają mniejszych nakładów obliczeniowych, dlatego w pracy doktorskiej skoncentrowano się na tych sposobach modulacji, tym bardziej, że głównym celem pracy była implementacja hybrydowego, linearyzowanego 9-bitowego lub 10-bitowego modulatora LBDD do sterowania stopniem wyjściowym akustycznego wzmacniacza klasy BD, w oparciu o mikrokontroler STM32 i programowaną linię opóźniającą z odczepami PTDL (*Programmable Tapped Delay Line*) [45-52]. Zadaniem modulatora jest możliwie jak najwierniejsze odwzorowanie dwubrzegowej modulacji NBDD, która charakteryzuje się najbardziej złożonym algorytmem obliczeniowym i wymaga największych nakładów obliczeniowych w czasie rzeczywistym.

Cyfrowy modulator LBDD, emulujący optymalny modulator NBDD, posiada tę samą wadę co jego prototyp, tj. na jego wyjściu sumacyjnym CM pojawia się sygnał sumacyjny, obecny w pełnej skali nawet przy bardzo niskim poziomie sygnału modulującego, o szerokim widmie zawierającym nieparzyste harmoniczne częstotliwości przełączania i ich parzyste składowe intermodulacyjne,

Dla rozwiązania tego problemu, w pracy doktorskiej opracowano rozszerzone układy cyfrowych modulatorów LBDD PWM oraz LPSC PWM (*Linearized Phase Shifted Carrier Pulse Width Modulation*), przystosowanych do sterowania nowych oryginalnych wzmacniaczy akustycznych klasy BD w otwartej pętli ze zrównoważonym wyjściem w trybie wspólnym, posiadającym stałe napięcia na wyjściu CM [9-10], [45-52].

1.3. Cele badawcze i tezy pracy

Niniejsza praca dotyczy algorytmów przetwarzania sygnałów niezbędnych do konwersji cyfrowych danych audio, uzyskanych ze źródła, na cyfrowy sygnał o modulowanej szerokości impulsów, który steruje tranzystory MOSFET stopnia końcowego akustycznego wzmacniacza klasy D. Głównym celem pracy była implementacja hybrydowego, linearyzowanego modulatora LBDD z kompensacją wstępną do sterowania stopniem wyjściowym akustycznego wzmacniacza klasy BD, ze zrównoważonym wyjściem dla sygnałów wspólnych CM, o stałej wartości napięcia na tym wyjściu.

Algorytmy kompensacji wstępnej stosowane w cyfrowym przetwarzaniu sygnałów DSP, składające się z następujących bloków modułowych:

- Interpolacja,
- Obliczenia z dużą dokładnością położenia początków i końców czasu trwania impulsu LBDD PWM w n-tych okresach kluczowania,
- Kształtowania szumów kwantyzacji,

zostały zdefiniowane w teorii, zaprojektowane i przesymulowane w programie Matlab, a następnie zostały zaimplementowane w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera STM32 i programowaną linię opóźniającą z odczepami PTDL.

Algorytm obliczeniowy położenia początków i końców czasu trwania impulsu PWM w każdym okresie przełączania wymaga dwuetapowej interpolacji wejściowego sygnału PCM. W pierwszym etapie interpolacja realizowana jest ze współczynnikiem nadpróbkowania K , dzięki której odstęp pomiędzy dwoma sąsiednimi próbkami jest równy okresowi kluczowania T_c , natomiast w drugim etapie interpolacji wprowadza się Q dodatkowych próbek sygnału PCM równomiernie rozłożonych w okresie kluczowania T_c i aproksymuje się sygnał modulujący w tym przedziale odcinkami prostoliniowymi, przechodzącymi przez interpolowane próbki PCM.

Obliczone z dużą dokładnością wartości położenia początków i końców czasu trwania impulsu PWM w n -tych okresach kluczowania, wymagałyby bardzo dużej rozdzielczości czasowej kwantyzatora na wyjściu modulatora, transformującego obliczone czasy na ciąg fizycznie generowanych impulsów PWM, co z kolei wymagałoby zastosowania bardzo wysokich (nieakceptowalnych w praktyce) częstotliwości generatora taktującego kwantyzator. Zastosowanie procesu rekwantyzacji pozwala z jednej strony na redukcję (obcięcie) długości słowa bitowego N_q obliczonej wartości położenia początków i końców czasu trwania impulsu PWM do mniejszej rozdzielczości N_{rq} , tym samym ograniczenie rozdzielczości kwantyzatora, ale z drugiej strony, pozwala na kształtowanie generowanych szumów rekwantyzacji. Rekwantyzowany sygnał cyfrowy, po przejściu przez układ kształtowania szumów kwantyzacji zawierający pętle sprzężenia zwrotnego z filtrem, zachowuje niezmiennione składowe widma sygnału PWM w paśmie podstawowym sygnału modulującego, zaś szum kwantyzacji zostaje przesunięty poza to pasmo, do zakresu wyższych częstotliwości, odfiltrowywanych w procesie demodulacji.

Cyfrowy modulator LBDD PWM, emulujący optymalny modulator NBDD PWM, posiada tę samą wadę co jego prototyp, tj. na jego wyjściu sumacyjnym CM pojawia się sygnał sumacyjny, obecny w pełnej skali nawet przy bardzo niskim poziomie sygnału modulującego, o szerokim widmie zawierającym nieparzyste harmoniczne częstotliwości przełączania i ich parzyste składowe intermodulacyjne,

Celem pracy było również opracowanie rozszerzonych układów cyfrowych modulatorów LBDD PWM oraz LPSC PWM, przystosowanych do sterowania nowych oryginalnych wzmacniaczy akustycznych klasy BD w otwartej pętli ze zrównoważonym wyjściem w trybie wspólnym, posiadających stałe napięcia na wyjściu CM.

Tezy rozprawy doktorskiej:

1. Zaproponowane algorytmy cyfrowej linearyzowanej modulacji szerokości impulsów LPWM (ang. *Linearized Pulse Width Modulation*) z kompensacją wstępną stwarzają możliwość realizacji w czasie rzeczywistym wszystkich czterech podstawowych metod modulacji LPWM (tj. LADS, LADD, LBDS, LBDD) w cyfrowych aplikacjach akustycznych wzmacniaczy klasy D, a w szczególności linearyzowanej dwubrzęgowej modulacji klasy BD (LBDD), (ang. *Linearized Class-BD Double sided*), emulującej dwubrzęgową modulację szerokości impulsów klasy BD z naturalnym próbkowaniem (NBDD), (ang. *Natural sampled Class-BD Double sided*), uznawanej jako optymalna modulacja PWM ze względu na łatwość filtracji sygnałów różnicowych na wyjściu stopnia końcowego wzmacniacza klasy D.
2. W praktyce, każda ze zlinearyzowanych modulacji LPWM (tj. LADS, LADD, LBDS, LBDD) może być zaimplementowana w cyfrowym modulatorze DPWM dla akustycznego wzmacniacza klasy D tylko wtedy, gdy w algorytmie obliczania początków i końców czasu trwania impulsu PWM w n -tych okresach kluczowania zostanie zastosowany proces rekwantyzacji, a transformacja obliczonych czasów na ciąg fizycznie generowanych

impulsów PWM zostanie zrealizowana w kwantyzatorze o hybrydowej strukturze, w której starsze bity przekształcane są w kwantyzatorze opartym o metodę licznikową, zaś młodsze bity w kwantyzatorze opartym o programowaną linię opóźniającą z odczepami PTDL. Proces rekwantyzacji, poprzez kształtowanie szumów kwantyzacji, prowadzi do redukcji (obciążenia) długości słowa bitowego N_q obliczonych początków i końców czasu trwania impulsu PWM w n -tych okresach kluczowania do mniejszej wartości N_{rq} , a tym samym pozwala na ograniczenie rozdzielczości czasowej kwantyzatora na wyjściu modulatora transformującego obliczone czasy na ciąg fizycznie generowanych impulsów DPWM. Kwantyzator hybrydowy zapewnia kompromis pomiędzy liniowością charakterystyki przetwarzania, a niezbyt wysoką częstotliwością generatora taktującego kwantyzator licznikowy.

3. Implementacja cyfrowych modulatorów LPWM z kompensacją wstępną jest nieco trudniejsza niż modulatorów DPWM realizowanych w oparciu o wielobitową modulację sigma-delta (Σ - Δ), które są częściej stosowane w praktyce ze względu na łatwiejsze kompromisy pomiędzy parametrami modulatora zapewniającymi zadane parametry wyjściowe. Jednak zastosowanie modulatorów LPWM z kompensacją wstępną stwarza możliwość emulacji wszystkich odmian analogowych wzmacniaczy klasy D, a w szczególności wzmacniaczy klasy BD z dwubrzegową modulacją NBDD, uznawanej jako optymalna, ponieważ w widmie częstotliwościowym sygnału PWM nie występują składowe o częstotliwości kluczowania wraz z prążkami bocznymi, co jest równoważne podwojeniu częstotliwości próbkowania.
4. Rozszerzone układy cyfrowych modulatorów LBDD PWM oraz LPSC PWM są przystosowane do sterowania nowych oryginalnych wzmacniaczy akustycznych klasy BD w otwartej pętli ze zrównoważonym wyjściem w trybie wspólnym, posiadających stałe napięcia na wyjściu CM.

1.4. Zarys pracy doktorskiej

Treść pracy została zorganizowana w następujący sposób.

W rozdziale 1 wskazano na osiągnięcia i kierunki rozwoju wzmacniaczy klasy D oraz stosowane techniki modulacji PWM. Przedstawiono cele badawcze i tezy pracy.

W rozdziale 2 na podstawie przebiegów analitycznych oraz analizy w programie Matlab dokonano zbiorczego porównania widm częstotliwościowych czterech podstawowych modulacji z próbkowaniem naturalnym NPWM: NADS, NBDS, NADD, NBDD. Wyróżniono dwubrzegową modulację NBDD PWM jako optymalną, ponieważ w jej widmie częstotliwościowym nie występują składowe z nieparzystym indeksem częstotliwości kluczowania, ani ich składowe boczne, co jest równoważne podwojeniu częstotliwości próbkowania. Zatem, przy zastosowaniu modulacji NBDD znacznie łatwiej jest odfiltrować wszystkie niepożądane składowe widma sygnału różnicowego lub możliwe jest dwukrotne obniżenie częstotliwości kluczowania (zwiększenie sprawności energetycznej wzmacniacza). Wskazano, że przy dwubiegunowych modulacjach NBDS i NBDD występują sygnały wspólne, co stanowi niewątpliwą wadę tych modulacji, bowiem wiąże się z koniecznością dodatkowej filtracji tych sygnałów.

Podobnie jak dla naturalnych modulacji NPWM zdefiniowano cztery podstawowe rodzaje cyfrowych modulacji szerokości impulsów UPWM: UADS, UBDS, UADD, UBDD. Na podstawie przebiegów analitycznych oraz analizy w programie Matlab dokonano zbiorczego porównania widm częstotliwościowych wszystkich rozważanych cyfrowych modulacji UPWM. Pokazano, że widma te zawierają składową podstawową o częstotliwości sygnału modulującego i jej wyższe harmoniczne, składową o częstotliwości kluczowania i jej

harmoniczne oraz wiele składowych intermodulacyjnych. Obecne w sygnałach z modulacją UPWM wyższe harmoniczne sygnału modulującego leżą w paśmie podstawowym sygnału i nie jest możliwe ich odfiltrowanie. Na podstawie analiz spektralnych sygnałów zmodulowanych, dla wszystkich czterech rodzajów modulacji cyfrowych: UADS, UADD, UBDS, UBDD wyznaczono współczynniki zniekształceń nieliniowych THD sygnału różnicowego DM po demodulacji, jako stosunek średniokwadratowej wartości 10-ciu wyższych harmonicznych do harmonicznej podstawowej.

W rozdziale 3 przedstawiono ogólne metody linearyzacji cyfrowych modulatorów DPWM, głównie algorytmy kompensacji wstępnej stosowane w cyfrowym przetwarzaniu sygnałów DSP. Dla czterech linearyzowanych modulacji szerokości impulsów: LADS PWM, LBDS PWM LADD PWM LBDD PWM przedstawiono algorytmy wyznaczania położenia początków $t_p(n)$ (zboczy narastających) i końców $t_k(n)$ (zboczy opadających) impulsów DPWM w kolejnych n -tych okresach przełączania T_c . Po obliczeniu tych czasów zastosowano proces rekwantyzacji w celu obniżenia rozdzielczości długości słowa bitowego obliczonych początków i końców czasu trwania impulsu PWM do mniejszej wartości, przy której możliwa jest praktyczna realizacja hybrydowego modulatora, Na podstawie rekwantyzowanych wartości obliczonych początków i końców czasu trwania impulsu PWM w programie Matlab wyznaczono przebiegi czasowe zmodulowanych sygnałów wyjściowych oraz przeprowadzono analizy spektralne dla wszystkich czterech rozważanych modulacji LPWM.

Występujące w sygnale z modulacją LPWM wyższe harmoniczne sygnału modulującego, których amplitudy i fazy zależą od stosunku częstotliwości f_m/F_c , ilości Q wprowadzonych dodatkowych próbek w drugiej interpolacji, a także wartości indeksu modulacji M , są źródłem zniekształceń tego sygnału. W celu porównanie wszystkich czterech linearyzowanych modulacji LPWM, dla każdej modulacji LPWM wyznaczono rodziny charakterystyk współczynników zniekształceń nieliniowych THD sygnału różnicowego po demodulacji, jako stosunek średniokwadratowej wartości składowych widma zawartych w paśmie podstawowym do 50 kHz, do harmonicznej podstawowej sygnału modulującego. Zależności współczynników THD w funkcji częstotliwości f_m/F_c zostały wyznaczone każdorazowo na podstawie pełnej analizy spektralnej sygnałów różnicowych LPWM, dla zadanego zestawu parametrów: f_m/F_c ; Q ; M . Charakterystyki THD zostały wyznaczone w funkcji stosunku częstotliwości f_m/F_c , dla parametrów: $Q=0, 1, 2, 3, \dots, 7$ oraz $M=0,95; 0,5; 0,1$. Charakterystyki te dla $4 \leq Q \leq 7$ prawie pokrywają się z charakterystykami dla $Q=3$, dla wszystkich czterech rozważanych modulacji LPWM.

W rozdziale 4 opisano architektury cyfrowych modulatorów szerokości impulsów LPWM, które konwertują rekwantyzowane dane cyfrowe określające położenie początków $t_p(n)$ i końców $t_k(n)$ impulsów DPWM w kolejnych n -tych okresach przełączania T_c w fizyczny ciąg 1-bitowych impulsów o modulowanej szerokości do sterowania stopniem wyjściowym wzmacniacza klasy D. Układy takie zaliczane są do grupy konwerterów cyfrowo-czasowych DTC (*Digital to Time Converter*). Najpierw przedstawiono implementacje cyfrowych modulatorów szerokości impulsów DPWM realizowanych albo w oparciu o metodę licznikową, albo w oparciu o programowaną linię opóźniającą z odczepami PTDL, a następnie opisano hybrydowe modulatory szerokości impulsów DPWM, które wykorzystują obydwie, wcześniej omówione metody, łącząc w sobie zalety obu metod, tj. liniowości charakterystyki kwantyzatora w metodzie licznikowej i dużej rozdzielczości kwantyzatora w metodzie wykorzystującej linię opóźniającą z odczepami. Przedstawiono projekt hybrydowego konwertera cyfrowo-czasowego DTC z pętlą synchronizacji opóźnienia DLL dla cyfrowego modulatora LBDD.

W rozdziale 5 przedstawiono oryginalną architekturę i implementację 9-bitowego (lub 10-bitowego) zlinearyzowanego modulatora szerokości impulsów LPWM dla wzmacniacza klasy BD, opartego na metodzie hybrydowej z wykorzystaniem mikrokontrolera STM32 i dwóch programowalnych liniach opóźniających z odczepami PTDL. Opisano zasadę linearyzacji z kompensacją wstępną, zaimplementowaną na mikrokontrolerze STM32. Hybrydowy 9-bitowy kwantyzator konwertuje 6-MSB bitów (7-MSB bitów) metodą licznikową w oparciu o peryferia mikrokontrolera STM32, natomiast pozostałe 3-LSB bity - metodą opartą na PTDL. W pracy przedstawiono wyniki badań symulacyjnych w programie Matlab oraz badań eksperymentalnych, weryfikujących poprawność działania algorytmów przetwarzających cyfrowe dane audio, a także dokładność przetwarzania oryginalnego konwertera DTC, zbudowanego w oparciu o układy peryferyjne mikrokontrolera STM32 i dwie programowalne linie PTDL.

W rozdziale 6 przedstawiono nowe architektury i implementacje oryginalnych wzmacniaczy audio klasy BD w otwartej pętli, ze zbalansowanym wyjściem w trybie wspólnym. Stopień wyjściowy każdego proponowanego wzmacniacza zawiera typowy mostek H z czterema tranzystorami MOSFET i czterema dodatkowymi przełącznikami MOSFET, które równoważą i utrzymują stałą wartość wyjściową w trybie wspólnym, zatem nie ma potrzeby stosowania filtracji sygnałów wspólnych w trybie CM. Prezentowane wzmacniacze wykorzystują rozszerzony schemat modulacji LBDD PWM lub LPSC PWM. Gdy stopień wyjściowy jest zbudowany tylko na tranzystorach NMOSFET, sterowniki bramek wymagają zasilania typu „floating”, a sygnały sterujące bramkami tranzystorów muszą być izolowane galwanicznie. Zastosowanie komplementarnych tranzystorów MOSFET w stopniu wyjściowym znacznie upraszcza systemy sterowania bramkami. Proponowane wzmacniacze zostały porównane pod względem parametrów wyjściowych w trybie różnicowym (DM) i trybie wspólnym (CM) ze wzmacniaczem klasy BD w typowej konfiguracji mostka H, sterowanego z modulatora NBDD PWM. Badania symulacyjne w programie SPICE i badania eksperymentalne wykazały, że proponowane wzmacniacze klasy BD mają podobne parametry jak prototypowy wzmacniacz z optymalną modulacją NBDD, a jednocześnie mają zrównoważone wyjście CM o stałym napięciu, eliminując w ten sposób główny czynnik przyczyniający się do emisji promieniowania (EMI).

Rozdział 7 zawiera podsumowanie otrzymanych wyników oraz wnioski końcowe.

Rozdział 2

2. Porównanie cyfrowych modulacji UPWM z równomiernym próbkowaniem z naturalnymi modulacjami NPWM

2.1. Analogowe (naturalne) modulacje szerokości impulsów NPWM

W tabeli 2.1 wprowadzono skrócone nazwy czterech podstawowych modulacji z naturalnym próbkowaniem, zgodne z nazwami często stosowanymi w literaturze.[32-38].

Tabela 2.1. Skrócone nazwy modulacji PWM z próbkowaniem naturalnym

Metoda próbkowania	Modulowane zbocza	Ilość poziomów	Skrót modulacji PWM
Próbkowanie naturalne (NPWM)	Jednobrzegowa <i>Single sided</i>	2 (AD)	NADS
		3 (BD)	NBDS
	Dwubrzegowa <i>Double sided</i>	2 (AD)	NADD
		3 (BD)	NBDD

Zasadę tworzenia naturalnych modulacji PWM, wyszczególnionych w tabeli 2.1, tj.: NADS, NBDS, NADD, NBDD, przedstawiono na rys. 2.1. Wyznaczone przebiegi czasowe ilustrują proces tworzenia sygnałów PWM o częstotliwości kluczkowania F_c , modulowanych sygnałem sinusoidalnym:

$$u_m(t) = M \sin(\omega_m t) \quad (2.1)$$

o częstotliwości 8-krotnie mniejszej od częstotliwości F_c , tj. $f_m/F_c = 1/8$. Na rysunku k oznacza kolejny numer okresu kluczkowania T_c , gdzie: $T_c = 1/F_c$.

Znormalizowaną częstotliwość (lub pulsację) można zdefiniować jako stosunek pulsacji sygnału modulującego ω_m do pulsacji kluczkowania Ω_c :

$$f_r = \omega_r = \frac{\omega_m}{\Omega_c} = \frac{2\pi f_m}{2\pi F_c} \quad (2.2)$$

Zgodnie z kryterium Nyquista, znormalizowana częstotliwość musi spełniać warunek: $f_r < (1/2)$, jednak obserwując na rys. 2.1 szybkości narastania przebiegów piłokształtnych (lub trójkątnych) oraz sygnału modulującego (o jednostkowych amplitudach), otrzymujemy:

- dla jednobrzegowej PWM

$$SR_c = 2F_c \quad \text{oraz} \quad SR_m = 2\pi f_m, \text{ co prowadzi do warunku:}$$

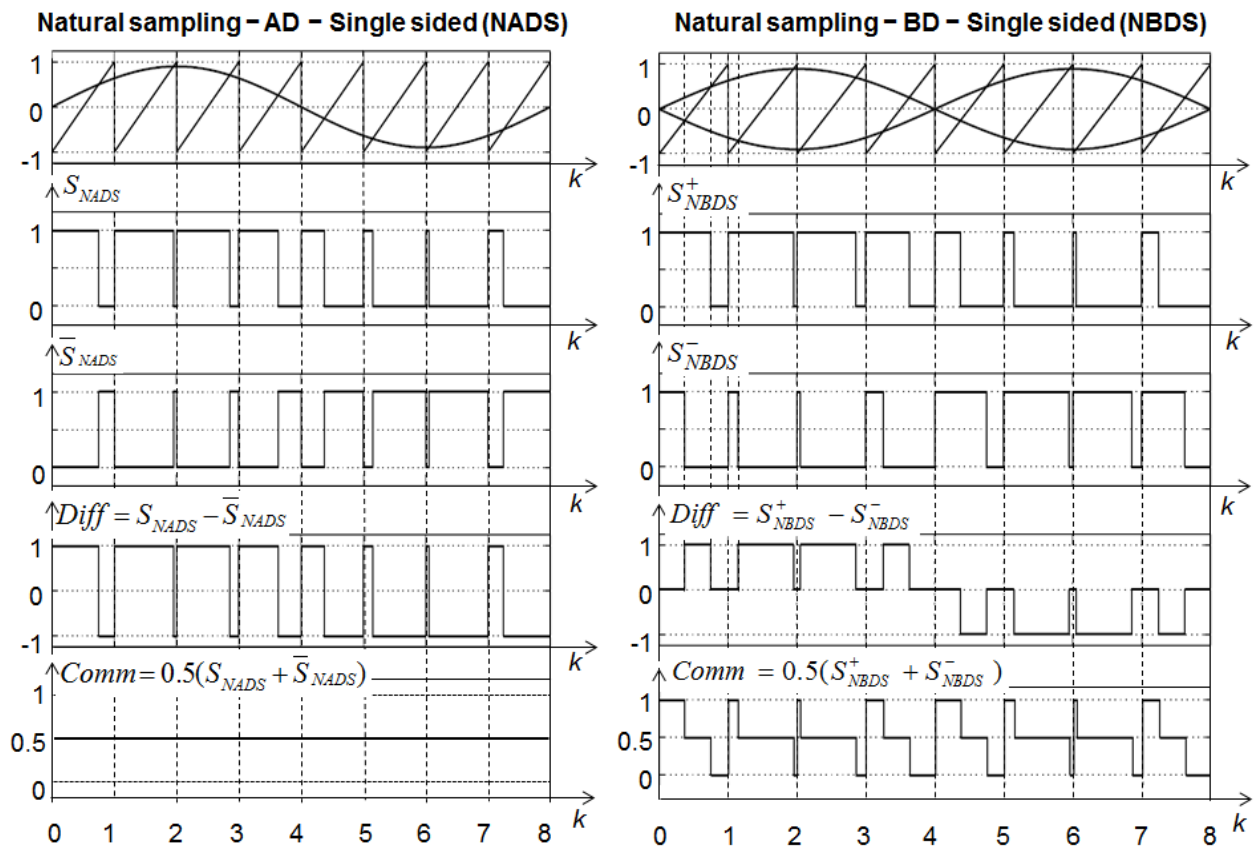
$$SR_c > SR_m \quad \Leftrightarrow \quad f_m < \frac{F_c}{\pi} \quad \Leftrightarrow \quad f_r < \frac{1}{\pi} \quad (2.3)$$

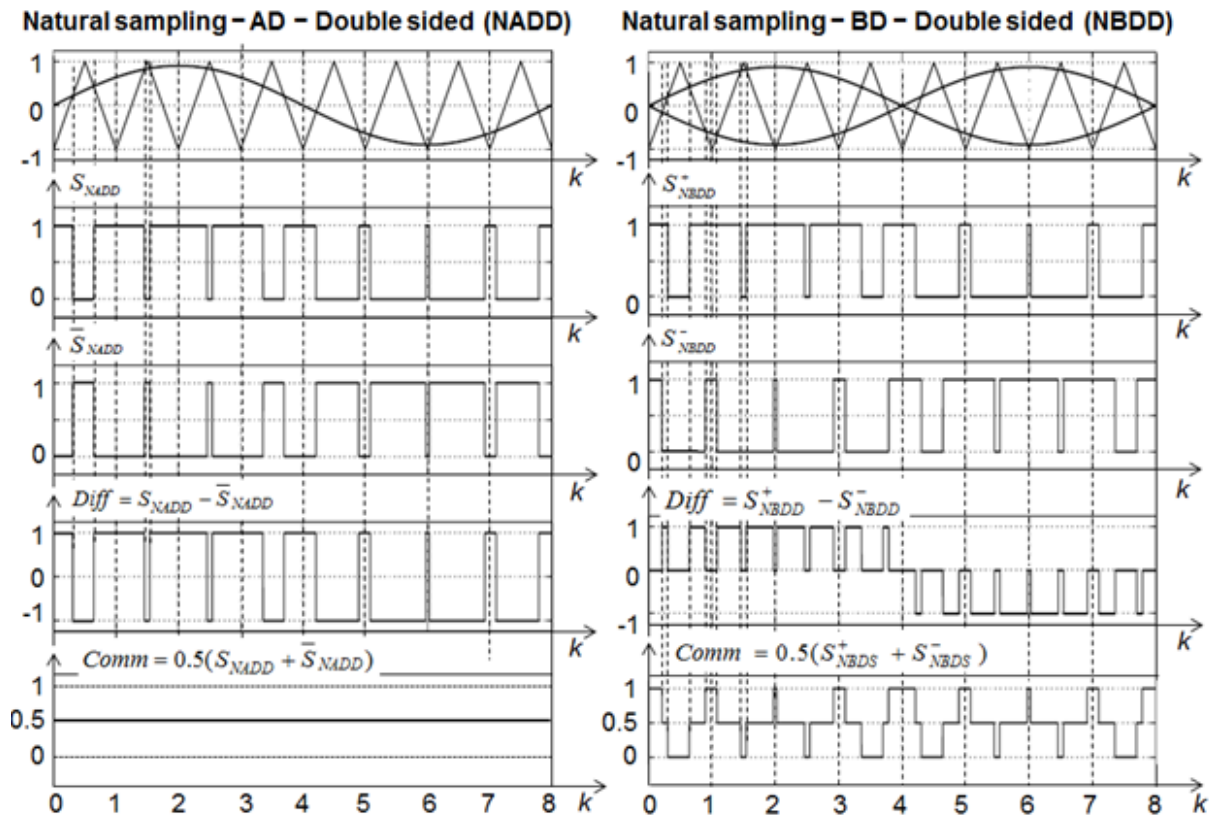
- dla dwubrzegowej PWM

$$SR_c = 4F_c \quad \Leftrightarrow \quad f_m < \frac{2F_c}{\pi} \quad \Leftrightarrow \quad f_r < \frac{2}{\pi} \quad (2.4)$$

2.1.1. Analityczne widma częstotliwościowe sygnałów z modulacją NPWM.

Widma częstotliwościowe sygnałów z modulacją NPWM mają postać podwójnych szeregów Fouriera i w oparciu o literaturę [32-38], widma te przedstawiono niżej dla różnicowych sygnałów NPWM, tj. zmodulowanych sygnałów na wyjściach różnicowych modulatorów w trybie DM, zgodnie z zasadami tworzenia naturalnych modulacji NPWM.





Rys. 2.1. Zasady tworzenia naturalnych modulacji PWM: NADS, NBDS, NADD, NBDD

**Jednobiegunowa (klasa AD), dwubrzęgowa NADD PWM –
wyjście różnicowe DM**

$$\begin{aligned}
 F_{NADD}(t) = & M \cos(\omega_m t) + \\
 & + 2 \sum_{m=1}^{\infty} \left\{ \frac{J_0\left(\frac{m\pi M}{2}\right)}{\frac{m\pi}{2}} \sin\left(\frac{m\pi}{2}\right) \cos(m\Omega_c t) \right\} + \\
 & + 2 \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\infty} \left\{ \frac{J_0\left(\frac{m\pi M}{2}\right)}{\frac{m\pi}{2}} \sin\left(\frac{(m+n)\pi}{2}\right) \cos[(m\Omega_c + n\omega_m)t] \right\}
 \end{aligned} \tag{2.7}$$

**Dwubiegunowa (klasa BD), dwubrzęgowa NBDD PWM –
wyjście różnicowe**

$$\begin{aligned}
F_{NBDD}^{DM}(t) &= M \cos(\omega_m t) - \\
&- 4 \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\infty} \left\{ \frac{J_n\left(\frac{m\pi M}{2}\right)}{m\pi} \sin\left(\frac{(m+n)\pi}{2}\right) \sin\left(\frac{n\pi}{2}\right) \sin\left[m\Omega_c + n\omega_m\right]t - \frac{n\pi}{2} \right\} = \\
&= M \cos(\omega_m t) + \\
&+ 4 \sum_{m=1}^{\infty} \sum_{n=0}^{\pm\infty} \left\{ \frac{J_n\left(\frac{2m\pi M}{2}\right)}{2m\pi} \sin\left(\frac{[2m+(2n+1)]\pi}{2}\right) \sin\left[\{2m\Omega_c + (2n+1)\omega_m\}t + \frac{\pi}{2}\right] \right\}
\end{aligned} \tag{2.8}$$

We wzorach (2.5 ÷ 2.8) zastosowano oznaczenia:

$\Omega_c = 2\pi F_c$ - pulsacja kluczowania,

$\omega_m = 2\pi f_m$ - pulsacja sygnału modulującego,

M - indeks modulacji, $M \in [0;1]$

J_n - funkcja Bessel'a I-go rodzaju, rzędu n ,

n - indeks harmonicznego sygnału modulującego,

m - indeks harmonicznego sygnału kluczującego,

Przedstawione na rys. 2.1 przebiegi czasowe ilustrują zasadę tworzenia dwubiegunowych (w klasie BD) modulacji NBDS i NBDD, w których wyjściowy sygnał różnicowy w trybie DM jest różnicą sygnałów wyjściowych z dwóch modulatorów jednobiegunowych (odpowiednio NADS i NADD), sterowanych prostym i odwróconym w fazie o 180° sygnałem modulującym. Rysunek ten ilustruje również proces powstawania sygnałów wspólnych CM (*Common Mode signal*) przy naturalnych modulacjach NPWM.

Widma częstotliwościowe tych sygnałów określone są zależnościami:

$$F_{NADS,C} = 0 \tag{2.9}$$

$$\begin{aligned}
F_{NBDS,C}(t) &= 2 \sum_{m=1}^{\infty} \frac{1 - J_0(m\pi M) \cos(m\pi)}{m\pi} \sin(n\Omega_c t) - \\
&- 2 \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\infty} \left\{ \frac{J_n(m\pi M)}{m\pi} \sin[(m\Omega_c + n\omega_m)t - m\pi] \cos\left(\frac{n\pi}{2}\right) \right\}
\end{aligned} \tag{2.10}$$

$$F_{NADD,C} = 0 \tag{2.11}$$

$$F_{NBDD}^{CM}(t) = 2 \sum_{m=1}^{\infty} \frac{J_0\left(\frac{m\pi M}{2}\right)}{\frac{m\pi}{2}} \sin\left(\frac{m\pi}{2}\right) \cos(m\Omega_c t) +$$

$$+ 2 \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\infty} \left\{ \frac{J_n\left(\frac{m\pi M}{2}\right)}{\frac{m\pi}{2}} \sin\left(\frac{(m+n)\pi}{2}\right) (1 + \cos n\pi) \cos[(m\Omega_c + n\omega_m)t] \right\} \quad (2.12)$$

2.1.2. Porównanie widm częstotliwościowych sygnałów z modulacją NPWM.

W tabeli 2.2 dokonano zbiorczego porównania widm częstotliwościowych wszystkich rozważanych naturalnych modulacji NPWM. Widma te charakteryzują się tym, że zawierają składową podstawową o częstotliwości sygnału modulującego i amplitudzie równej indeksowi modulacji, składową o częstotliwości kluczowania i jej harmoniczne oraz wiele składowych intermodulacyjnych o częstotliwościach będących liniową kombinacją częstotliwości kluczowania F_c i modulującej f_m . We wszystkich modulacjach NPWM, tj. zarówno w klasie AD i BD, zmodulowany sygnał różnicowy na wyjściu różnicowym nie zawiera składowej stałej.

Przy dostatecznie dużym odstępnie częstotliwości kluczowania F_c od maksymalnej częstotliwości $f_{m\max}$ sygnału modulującego, amplitudy prążków intermodulacyjnych, dla takich wartości n dla których częstotliwości $(F_c - n f_{m\max})$ pokrywają się z pasmem podstawowym sygnału modulującego, zanikają praktycznie do zera, zatem w procesie demodulacji, za pomocą odpowiedniego filtra dolnoprzepustowego, sygnał modulujący zostanie wydzielony bez żadnych zniekształceń nieliniowych.

Na szczególne wyróżnienie zasługuje dwubrzegowa modulacja klasy BD (NBDD), w której nie występują składowe z nieparzystym indeksem częstotliwości kluczowania, ani ich składowe boczne. Brak w widmie częstotliwościowym składowej o częstotliwości kluczowania, ani jej prążków bocznych jest równoważne podwojeniu częstotliwości próbkowania. Zatem, przy zastosowaniu modulacji NBDD znacznie łatwiej jest odfiltrować wszystkie niepożądane składowe widma sygnału różnicowego lub możliwe jest dwukrotne obniżenie częstotliwości kluczowania (zwiększenie sprawności energetycznej wzmacniacza). Z tego względu modulację NBDD należy uznać za optymalną.

Tabela 2.2. Porównanie naturalnych modulacji NPWM

Rodzaj modulacji	Składowa widma	Amplituda
NADS	Podstawowa	M
	m -ta harmoniczna pulsacji kluczowania $\Omega_c = 2\pi F_c$	$2 \left(\frac{1 - J_0(m\pi M) \cos(m\pi)}{m\pi} \right)$
	Składowe intermodulacyjne IM: ($m\Omega_c \pm n\omega_m$)	$2 \left(\frac{J_n(m\pi M)}{m\pi} \right)$

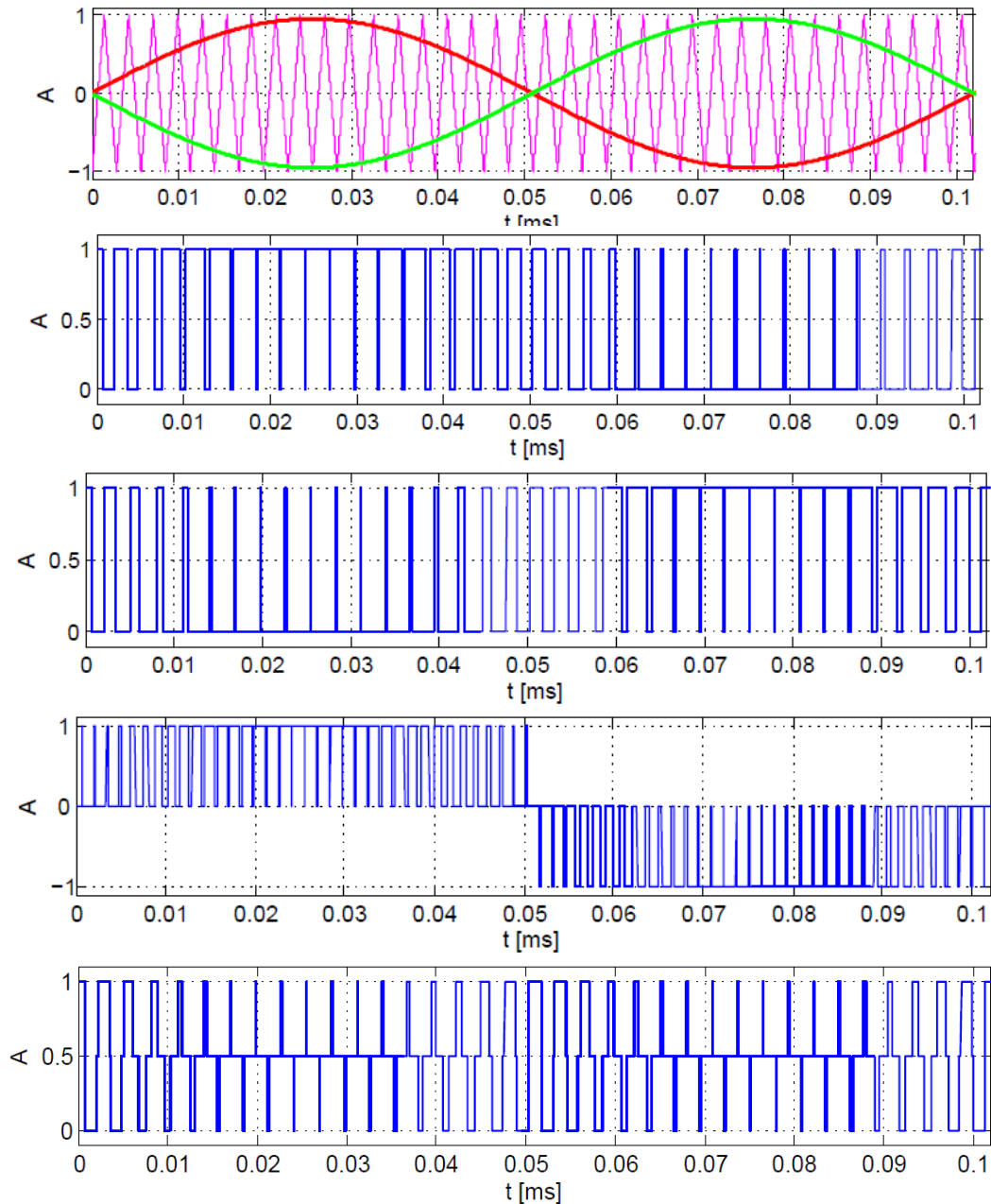
NBDS	Podstawowa	M
	Skład. IM: $(m\Omega_c \pm n\omega_m)$ (Różnicowe)	$2\left(\frac{J_n(m\pi M)}{m\pi}\right)\sin\left(\frac{n\pi}{2}\right)$
	m -ta harmoniczna pulsacji Ω_c (Sygnał wspólny)	$2\left(\frac{1 - J_0(m\pi M)\cos(m\pi)}{m\pi}\right)$
	Składowe IM: $(m\Omega_c \pm n\omega_m)$ (Sygnał wspólny)	$2\left(\frac{J_n(m\pi M)}{m\pi}\right)\cos\left(\frac{n\pi}{2}\right)$
NADD	Podstawowa	M
	m -ta harmoniczna pulsacji Ω_c	$\frac{4J_0\left(\frac{m\pi M}{2}\right)}{m\pi}\sin\left(\frac{m\pi}{2}\right)$
	Składowe IM: $(m\Omega_c \pm n\omega_m)$	$\frac{4J_n\left(\frac{m\pi M}{2}\right)}{m\pi}\sin\left((m+n)\frac{\pi}{2}\right)$
NBDD	Podstawowa	M
	Składowe IM: $(m\Omega_c \pm n\omega_m)$ (Różnicowe)	$\frac{4J_n\left(\frac{m\pi M}{2}\right)}{m\pi}\sin\left(\frac{(m+n)\pi}{2}\right)\sin\left(\frac{n\pi}{2}\right)$
	m -ta harmoniczna pulsacji Ω_c (Sygnał wspólny)	$\frac{4J_0\left(\frac{m\pi M}{2}\right)}{m\pi}\sin\left(\frac{m\pi}{2}\right)$
	Składowe IM: $(m\Omega_c \pm n\omega_m)$ (Sygnał wspólny)	$\frac{4J_n\left(\frac{m\pi M}{2}\right)}{m\pi}\sin\left(\frac{(m+n)\pi}{2}\right)(1 + \cos n\pi)$

Przy dwubiegunowych modulacjach NBDS i NBDD występują sygnały wspólne, co stanowi niewątpliwą wadę tych modulacji, bowiem wiąże się z koniecznością dodatkowej filtracji tych sygnałów. Potrzeba filtracji sygnałów wspólnych przy modulacji NBDD obniża nieco jej zalety jako modulacji optymalnej.

2.1.3. Analiza spektralna sygnałów z modulacją NPWM w programie Matlab®.

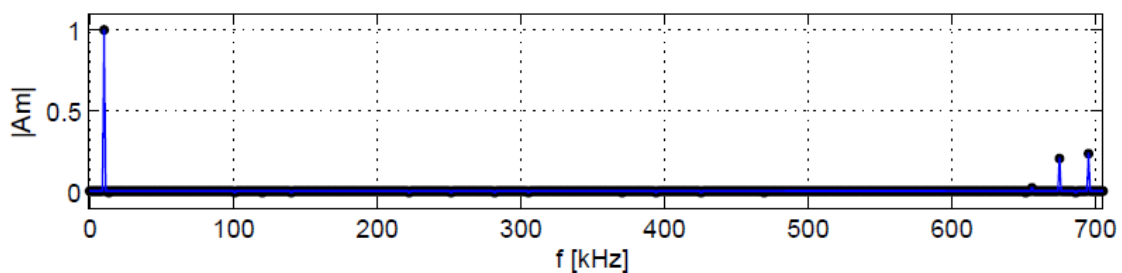
Widma częstotliwościowe sygnałów zmodulowanych PWM wyznaczono w pracy metodą estymacyjną opisaną w dodatkach A.1, A.2, przy założeniu, że sygnał modulujący jest periodyczny. Kod programu został opracowany w oparciu o literaturę [33, 35, 75-78].

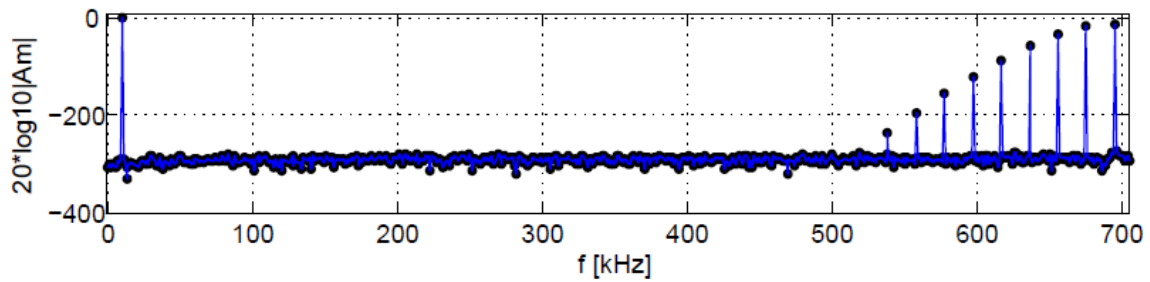
Na rys. 2.2 przedstawiono przykładowe wyniki symulacji w programie Matlab® przebiegów czasowych sygnałów: różnicowego i wspólnego dla optymalnej modulacji NBDD, z następującymi parametrami: $f_m = 9,8 \text{ kHz}$, $F_c = 352,8 \text{ kHz}$, $M = 0,95$.



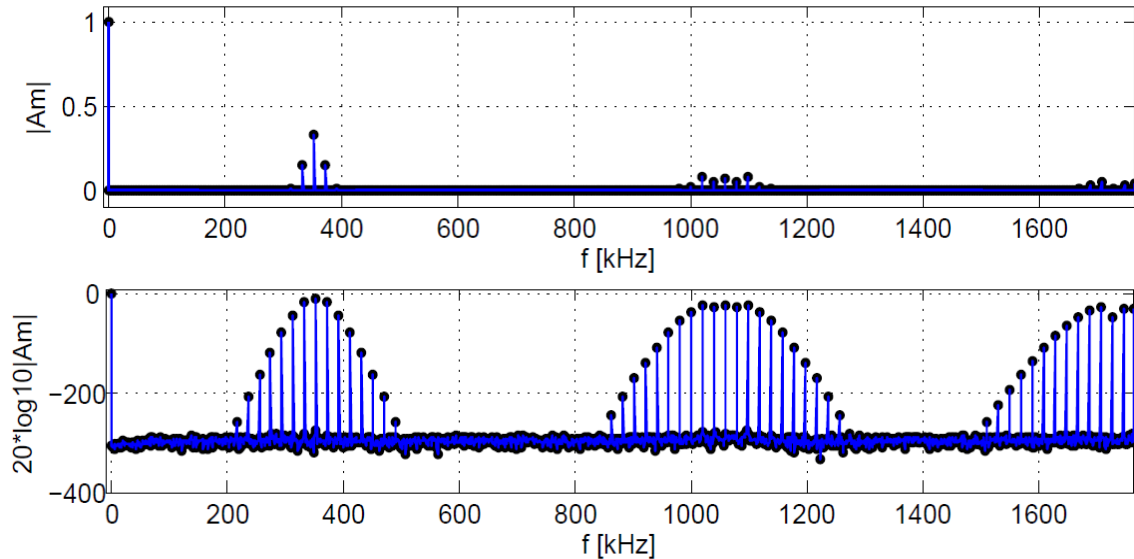
Rys. 2.2. Przebiegi czasowe sygnału różnicowego i wspólnego przy modulacji NBDD, dla: $F_c = 352,8\text{kHz}$, $f_m = 9,8\text{kHz}$, $M = 0,95$.

Dla tych samych parametrów co wyżej, na rys. 2.3 i 2.4 przedstawiono odpowiednio widma częstotliwościowe dla sygnału różnicowego i wspólnego (kod programu w dodatku A.2), przy czym analiza spektralna przeprowadzona jest z rozdzielczością $df = 0,98\text{kHz}$.





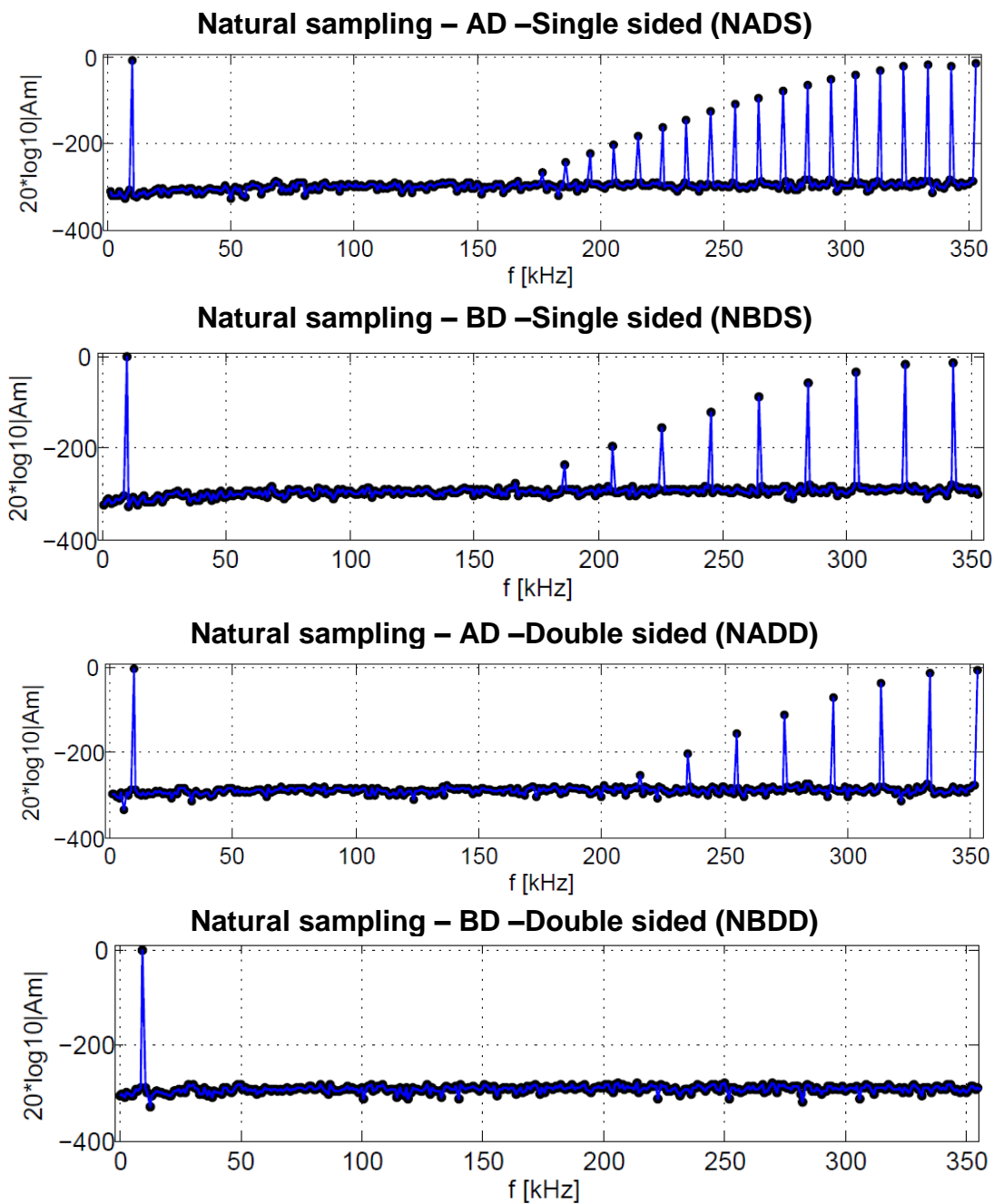
Rys. 2.3. Widmo częstotliwościowe sygnału różnicowego przy modulacji NBDD, dla: $F_c = 352,8\text{kHz}$, $f_m = 9,8\text{kHz}$, $M = 0,95$, $df = 0,98\text{kHz}$.



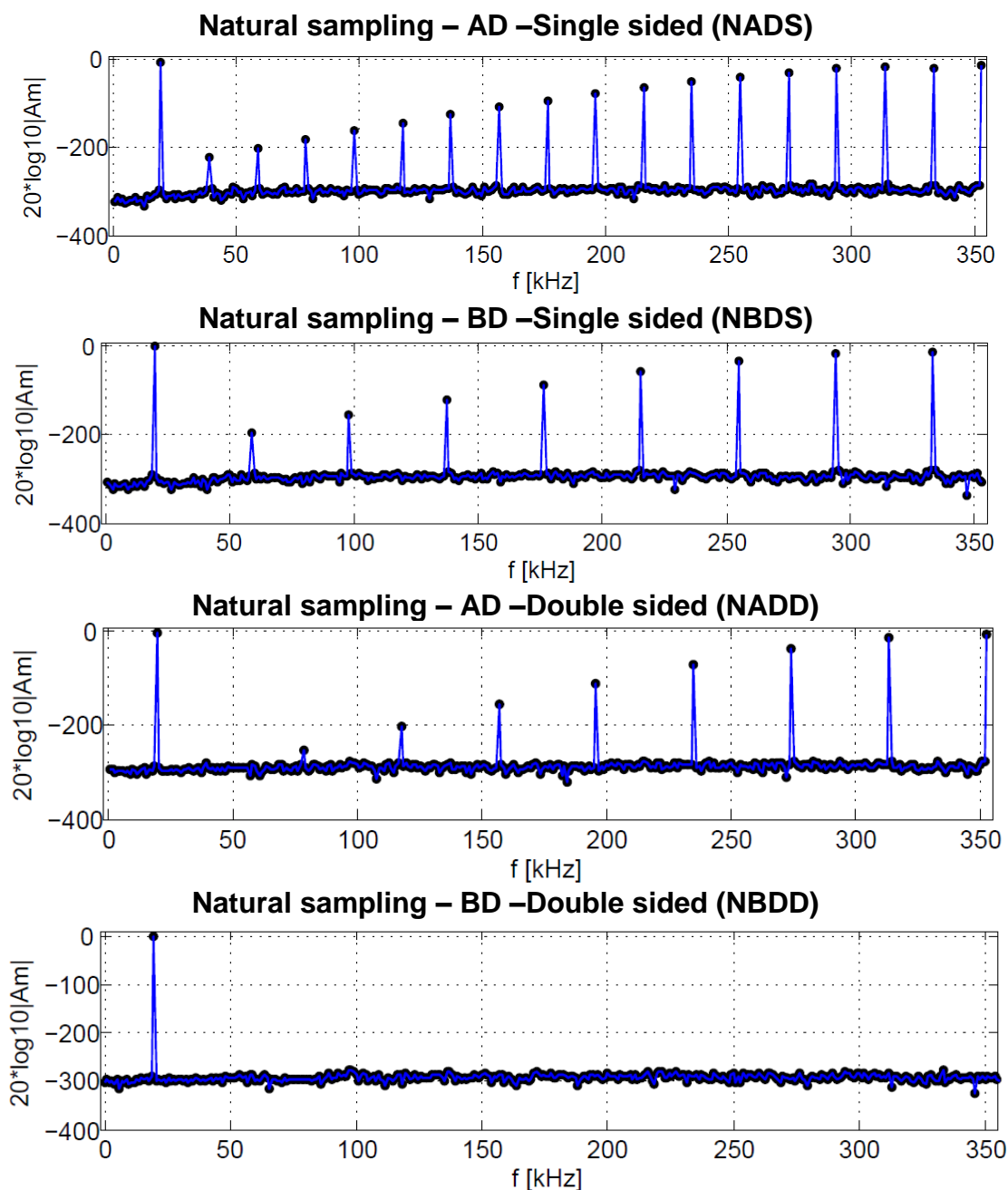
Rys. 2.4. Widmo częstotliwościowe sygnału wspólnego przy modulacji NBDD, dla: $F_c = 352,8\text{kHz}$, $f_m = 9,8\text{kHz}$, $M = 0,95$, $df = 0,98\text{kHz}$.

Analizę spektralną sygnału różnicowego NBDD przeprowadzono w szerokim zakresie, aż do częstotliwości $2F_c = 705,6\text{ kHz}$, aby pokazać najważniejszą właściwość tej modulacji, że w widmie sygnału różnicowego nie występują składowe z nieparzystym indeksem częstotliwości kluczowania, ani ich składowe boczne. Brak w widmie częstotliwościowym składowej o częstotliwości kluczowania, ani jej prążków bocznych, jest równoważne podwojeniu częstotliwości próbkowania, co bardzo efektywnie pokazuje rys. 2.3.

Jednak widmo częstotliwościowe sygnału wspólnego NBDD, jak pokazano na rys. 2.4, zawiera składowe nieparzyste częstotliwości kluczowania $(m+1)F_c$; dla $m = 1, 2, 3, \dots$, tj. $352,8\text{ kHz}$, $1058,4\text{ kHz}$ itd., i szeroką gamę ich intermodulacyjnych prążków bocznych.



Rys. 2.5. Widma częstotliwościowe sygnałów różnicowych PWM: NADS, NBDS, NADD, NBDD, dla: $F_c = 352,8\text{kHz}$, $f_m = 9,8\text{kHz}$, $M = 0,95$, $df = 0,98\text{kHz}$.



Rys. 2.6. Widma częstotliwościowe sygnałów różnicowych PWM: NADS, NBDS, NADD, NBDD, dla: $F_c = 352,8\text{kHz}$, $f_m = 19,6\text{kHz}$, $M = 0,95$, $df = 0,98\text{kHz}$.

W celu porównanie wszystkich czterech naturalnych modulacji PWM: NADS, NBDS, NADD, NBDD, na rysunkach 2.5 i 2.6 przedstawiono zbiorcze wyniki symulacji widm częstotliwościowych ich sygnałów różnicowych, w paśmie od 0 do F_c , dla: $F_c = 352,8\text{kHz}$, $M = 0,95$, $df = 0,98 \text{ kHz}$, przy różnych częstotliwościach sygnału modulującego, odpowiednio: $f_m = 9,8\text{kHz}$ (rys. 2.5), oraz $f_m = 19,6\text{kHz}$ (rys. 2.6).

Z porównania tych widm widać, że przy modulacji NADS powstaje najwięcej składowych harmonicznnych mF_c częstotliwości kluczowania i ich intermodulacyjnych prążków bocznych o częstotliwościach $(mF_c \pm n f_m)$. W miarę zwiększania stosunku częstotliwości sygnału modulującego do częstotliwości kluczowania (rys. 2.6), przy

modulacji NADS prążki intermodulacyjne o częstotliwościach $(F_c - n f_m)$ najwcześniej dotrą do pasma podstawowego sygnału modulującego, zniekształcając sygnał modulujący. Jednak w praktyce, stosunek maksymalnej częstotliwości sygnału modulującego do częstotliwości kluczowania dobiera się znacznie mniejszy niż ten, przy którym wystąpiłoby to zjawisko, aby ułatwić konstrukcję filtra LC wydzielającego sygnał modulujący ze zmodulowanego przebiegu. Tym niemniej, z pośród wszystkich czterech modulacji NPWM, modulacja NADS wymaga zastosowania najbardziej złożonego filtra LC.

Porównując widma częstotliwościowe sygnałów różnicowych NBDS i NADD widzimy, że są one bardzo podobne. Podobieństwo to pozwala na stwierdzenie, że nie ma żadnych przesłanek dla praktycznego wykorzystania modulacji NBDS, bowiem jej realizacja jest bardziej skomplikowana niż modulacja NADD, a ponadto przy modulacji NBDS powstają sygnały wspólne, co wiąże się z koniecznością ich filtracji.

Opisane wcześniej, w oparciu o rys. 2.4, właściwości widma częstotliwościowego sygnału różnicowego przy modulacji NBDD, pozwalają na zakwalifikowanie jej jako optymalnej modulacji PWM, umożliwiającej najprostszą konstrukcję filtra LC dla wydzielenia różnicowego sygnału modulującego z przebiegu PWM (dzięki nieobecności w widmie częstotliwościowym składowej o częstotliwości kluczowania i jej intermodulacyjnych prążków bocznych). Wzmacniacze akustyczne klasy BD z modulacją NBDD często w literaturze są wyróżniane jako „bezfiltrowe”, przez co należy rozumieć, że nie ma potrzeby stosowania dodatkowego filtra LC, a wydzielenie sygnału modulującego zapewnia samo obciążenie o charakterze rezystancyjno-indukcyjnym (głośnik).

Aby dołączyć sygnał różnicowy z wyjścia wzmacniacza do głośnika, przewody dołączające (najczęściej długie), a także ścieżki połączeniowe obwodu montażowego, przenoszą nie tylko sygnał różnicowy, ale również powstające przy modulacji NBDD sygnały wspólne. Ze względu na szerokie spektrum częstotliwości sygnałów wspólnych, przewody i ścieżki połączeniowe przenoszące sygnały wspólne stają się anteną promieniującą zakłócenia elektromagnetyczne. Dla ich eliminacji, lub znacznego ograniczenia, konieczna jest filtracja sygnałów wspólnych. Zagadnienie to zostanie omówione w rozdz. 6.

2.2. Cyfrowe modulacje szerokości impulsów UPWM z równomiernym próbkowaniem.

W cyfrowych modulacjach DPWM, zamiast analogowego sygnału ciągłego wykorzystywany jest dyskretny sygnał modulujący, otrzymywany po wcześniejszym skwantowaniu sygnału analogowego. Wejściowy sygnał modulujący $x(n)$ jest ograniczonym w paśmie dyskretnym sygnałem próbkowanym z częstotliwością Nyquista $f_s = 1/T_s \geq 2B$. Powszechnie stosowane częstotliwości próbkowania w cyfrowym przetwarzaniu sygnałów dźwiękowych to 44,1 kHz, 48 kHz, 96 kHz i 192 kHz. Przyjmując dwie główne bazowe częstotliwości próbkowania: 44,1 kHz i 48 kHz widzimy, że zachodzi konieczność zmiany częstotliwości próbkowania F_s sygnału dyskretnego już spróbkowanego, do wyższej wartości F_c , odpowiadającej częstotliwości kluczowania modulacji DPWM. Oznacza to, że spróbkowany sygnał $x(n)$ należy przekształcić w dyskretny sygnał $y(m)$ o wyższej częstotliwości próbkowania $F_c = 1/T_c$, przy czym m reprezentuje indeks dyskretnego czasu o wyższej szybkości. Zakładając:

$$T_c/T_s = 1/K \quad (2.14)$$

nowa częstotliwość próbkowania wynosi: $F_c = K f_s$.

2.2.1. Analityczne widma częstotliwościowe sygnałów z modulacją UPWM.

Podobnie jak dla naturalnych modulacji NPWM, istnieją cztery podstawowe metody cyfrowych modulacji szerokości impulsów UPWM (ang. *Uniform Sampled PWM*) z równomiernym próbkowaniem (ze stałym okresem sygnału modulowanego), których skrócone nazwy podano w tabeli 2.3, a na rys. 2.7 przedstawiono zasadę tworzenia tych modulacji w dziedzinie czasu. Przebiegi czasowe wyznaczono dla sinusoidalnego sygnału referencyjnego o częstotliwości 8-krotnie mniejszej od częstotliwości kluczowania ($f_m/F_c = 1/8$).

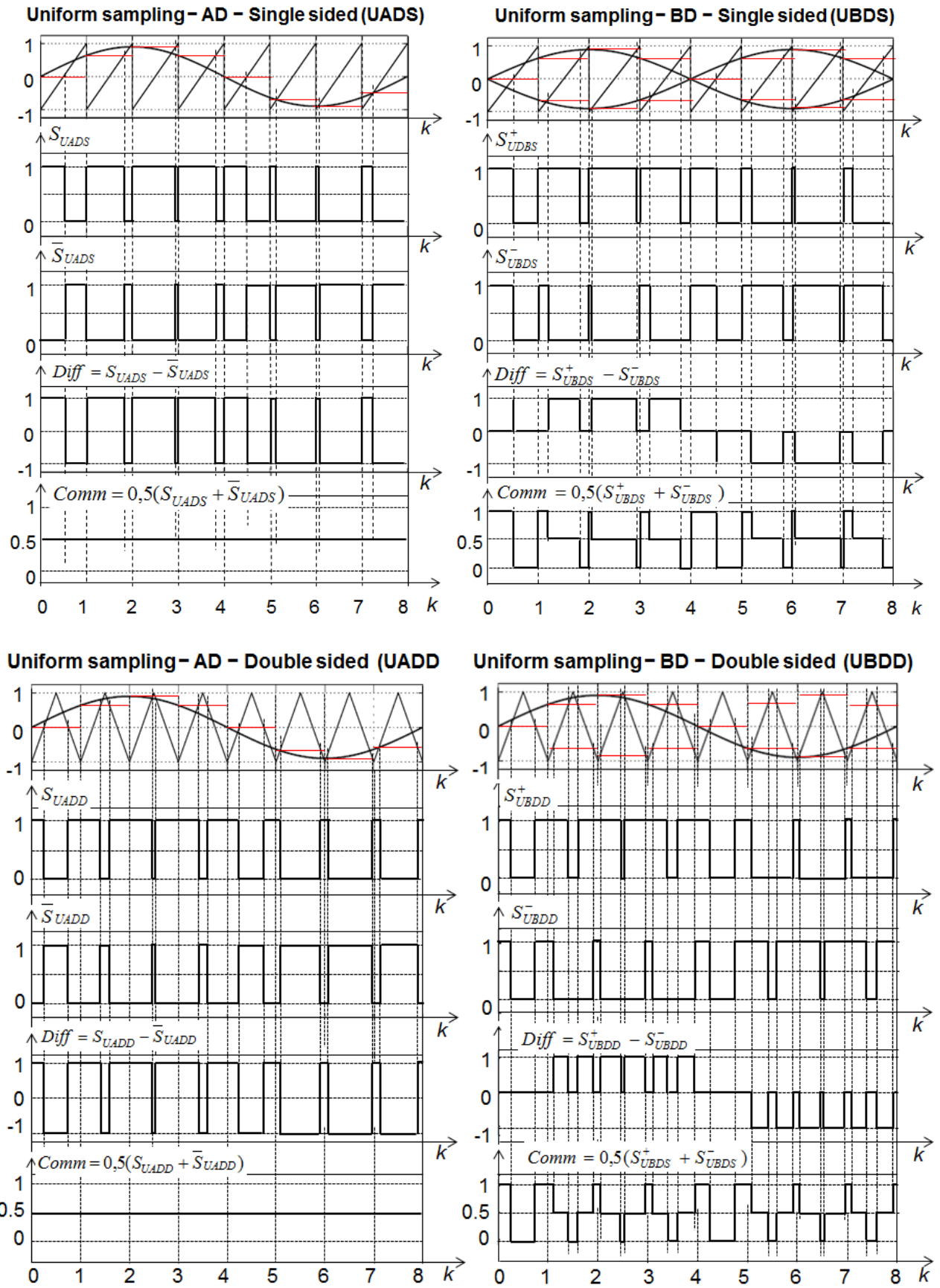
Tabela 2.3. Skrócone nazwy modulacji PWM z równomiernym próbkowaniem UPWM

Metoda próbkowania	Modulowane zbocza	Ilość poziomów	Skrót modulacji PWM
Równomierne próbkowanie (UPWM)	Jednobrzegowa <i>Single sided</i>	2 (AD)	UADS
		3 (BD)	UBDS
	Dwubrzegowa <i>Double sided</i>	2 (AD)	UADD
		3 (BD)	UBDD

Podobnie jak w przypadku modulacji NPWM, widma częstotliwościowe sygnałów z modulacją UPWM można wyznaczyć w oparciu o podwójne szeregi Fouriera. Na podstawie literatury [33-38], niżej przedstawiono te widma dla różnicowych sygnałów UPWM wyszczególnionych w tabeli 2.3. Zasady tworzenia cyfrowych modulacji UPWM: UADS, UBDS, UADD, UBDD przedstawia rys. 2.7. Zachowano te same oznaczenia i poziomy znormalizowanych amplitud sygnałów, co w przypadku modulacji NPWM.

Jednobiegunowa (klasa AD), jednobrzegowa modulacja UADS PWM – wyjście różnicowe

$$\begin{aligned}
 F_{UADS}(t) = & - \sum_{n=1}^{\infty} \frac{J_n \left(n\pi M \frac{\omega_m}{\Omega_c} \right)}{\left(n\pi \frac{\omega_m}{\Omega_c} \right)} \sin \left(n\omega_m t - n\pi \frac{\omega_m}{\Omega_c} - n\frac{\pi}{2} \right) + \\
 & + \sum_{m=1}^{\infty} \frac{1}{m\pi} \left[\sin(m\Omega_c t) - J_0(m\pi M) \sin(m\Omega_c t - m\pi) \right] - \\
 & - \sum_{m=1}^{\infty} \sum_{n=-\pm 1}^{n=\pm\infty} \left\{ \frac{J_n \left[\left(m + n \frac{\omega_m}{\Omega_c} \right) \pi M \right]}{\left(m + n \frac{\omega_m}{\Omega_c} \right) \pi} \sin \left[m\Omega_c t + n\omega_m t - m\pi \right] \right\}
 \end{aligned} \tag{2.15}$$



Rys. 2.7. Zasady tworzenia cyfrowych modulacji UPWM: UADS, UBDS, UADD, UBDD

**Dwubiegunowa (klasa BD), jednobrzegowa modulacja UBDS PWM –
wyjście różnicowe**

$$\begin{aligned}
 F_{UBDS}(t) = & \sum_{n=1}^{\infty} \frac{J_n\left(n\pi M \frac{\omega_m}{\Omega_c}\right)}{\left(n\pi \frac{\omega_m}{\Omega_c}\right)} \cos\left(n\omega_m t - n\pi \frac{\omega_m}{\Omega_c}\right) \sin\left(\frac{n\pi}{2}\right) + \\
 & + \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{n=\pm\infty} \left\{ \frac{J_n\left[\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi M\right]}{\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi} \cos\left[(m\Omega_c + n\omega_m)t\right] \sin\left(\frac{n\pi}{2}\right) \right\}
 \end{aligned} \tag{2.16}$$

**Jednobiegunowa (klasa AD), dwubrzegowa modulacja UADD PWM –
wyjście różnicowe**

$$\begin{aligned}
 F_{UADD}(t) = & \sum_{n=1}^{\infty} \frac{J_n\left(n\pi \frac{\omega_m M}{\Omega_c 2}\right)}{\left(n\pi \frac{\omega_m}{\Omega_c}\right)} \sin\left[\left(1 + \frac{\omega_m}{\Omega_c}\right)\frac{n\pi}{2}\right] \cos(n\omega_m t) + \\
 & + \sum_{m=1}^{\infty} \frac{J_0\left(n\pi \frac{M}{2}\right)}{m\pi} \cos\left(\frac{m\pi}{2}\right) \cos(m\Omega_c t) + \\
 & + \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{n=\pm\infty} \frac{J_n\left[\left(m+n \frac{\omega_m}{\Omega_c}\right)\frac{\pi M}{2}\right]}{\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi} \sin\left\{\left[m+n\left(1 + \frac{\omega_m}{\Omega_c}\right)\right]\frac{\pi}{2}\right\} \cos\left[(m\Omega_c + n\omega_m)t\right]
 \end{aligned} \tag{2.17}$$

**Dwubiegunowa (klasa BD), dwubrzegowa modulacja UADD PWM –
wyjście różnicowe**

$$\begin{aligned}
 F_{UBDD}(t) = & -4 \sum_{n=1}^{\infty} \frac{J_n\left(n\pi \frac{\omega_m M}{\Omega_c 2}\right)}{\left(n\pi \frac{\omega_m}{\Omega_c}\right)} \sin\left[\left(1 + \frac{\omega_m}{\Omega_c}\right)\frac{n\pi}{2}\right] \sin\left(\frac{n\pi}{2}\right) \sin\left(n\omega_m t - \frac{n\pi}{2}\right) - \\
 & -4 \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{n=\pm\infty} \frac{J_n\left[\left(m+n \frac{\omega_m}{\Omega_c}\right)\frac{\pi M}{2}\right]}{\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi} \sin\left\{\left[m+n\left(1 + \frac{\omega_m}{\Omega_c}\right)\right]\frac{\pi}{2}\right\} \sin\left(\frac{n\pi}{2}\right) \sin\left[(m\Omega_c + n\omega_m)t - \frac{n\pi}{2}\right]
 \end{aligned} \tag{2.18}$$

W tabeli 2.4 dokonano zbiorczego porównania widm częstotliwościowych wszystkich rozważanych cyfrowych modulacji UPWM. Widma te zawierają składową podstawową o

częstotliwości sygnału modulującego i jej wyższe harmoniczne, składową o częstotliwości kluczenia i jej harmoniczne oraz wiele składowych intermodulacyjnych ($mF_c - n f_{m \max}$). Obecne w sygnałach z modulacją UPWM wyższe harmoniczne sygnału modulującego leżą w paśmie podstawowym sygnału i nie jest możliwe ich odfiltrowanie.

Stosując dużo wyższą częstotliwość kluczenia F_c od maksymalnej częstotliwości $f_{m \max}$ sygnału modulującego, sygnał wyjściowy po demodulacji będzie zniekształcony tylko przez wyższe harmoniczne sygnału, których amplitudy silnie zależą od indeksu modulacji i znormalizowanej częstotliwości $f_r = f_m / F_c$.

Korzystając z tabeli 2.4, łatwo możemy wyznaczyć współczynnik zniekształceń nieliniowych THD sygnału po demodulacji jako stosunek średniokwadratowej wartości np. 10-ciu wyższych harmonicznych do harmonicznej podstawowej.

Tabela 2.4. Porównanie cyfrowych modulacji UPWM z równomiernym próbkowaniem

Rodzaj UPWM	n-ta harmoniczna sygnału	m-ta harmoniczna częstotl. kluczenia $m\Omega_c$	Składowe IM ($m\Omega_c \pm n\omega$)
UADS	$\frac{J_n\left(n\pi M \frac{\omega_m}{\Omega_c}\right)}{\left(n\pi \frac{\omega_m}{\Omega_c}\right)}$	$\frac{1 - J_0(m\pi M) \cos(m\pi)}{m\pi}$	$\frac{J_n\left[\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi M\right]}{\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi}$
UBDS	$\frac{J_n\left(n\pi M \frac{\omega_m}{\Omega_c}\right)}{\left(n\pi \frac{\omega_m}{\Omega_c}\right)} \sin\left(\frac{n\pi}{2}\right)$	--	$\frac{J_n\left[\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi M\right]}{\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi} \sin\left(\frac{n\pi}{2}\right)$
UADD	$\frac{J_n\left(n\pi \frac{\omega_m}{\Omega_c} \frac{M}{2}\right)}{\left(n\pi \frac{\omega_m}{\Omega_c}\right)} \sin\left[\left(1 + \frac{\omega_m}{\Omega_c}\right) \frac{n\pi}{2}\right]$	$\frac{J_0\left(n\pi \frac{M}{2}\right)}{m\pi} \cos\left(\frac{m\pi}{2}\right)$	$\frac{J_n\left[\left(m+n \frac{\omega_m}{\Omega_c}\right) \frac{\pi M}{2}\right]}{\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi} \sin\left\{\left[m+n\left(1 + \frac{\omega_m}{\Omega_c}\right)\right] \frac{\pi}{2}\right\}$
UBDD	$4 \frac{J_n\left(n\pi \frac{\omega_m}{\Omega_c} \frac{M}{2}\right)}{\left(n\pi \frac{\omega_m}{\Omega_c}\right)} \sin\left[\left(1 + \frac{\omega_m}{\Omega_c}\right) \frac{n\pi}{2}\right] \sin\left(\frac{n\pi}{2}\right)$	--	$4 \frac{J_n\left[\left(m+n \frac{\omega_m}{\Omega_c}\right) \frac{\pi M}{2}\right]}{\left(m+n \frac{\omega_m}{\Omega_c}\right)\pi} \sin\left\{\left[m+n\left(1 + \frac{\omega_m}{\Omega_c}\right)\right] \frac{\pi}{2}\right\} \sin\left(\frac{n\pi}{2}\right)$

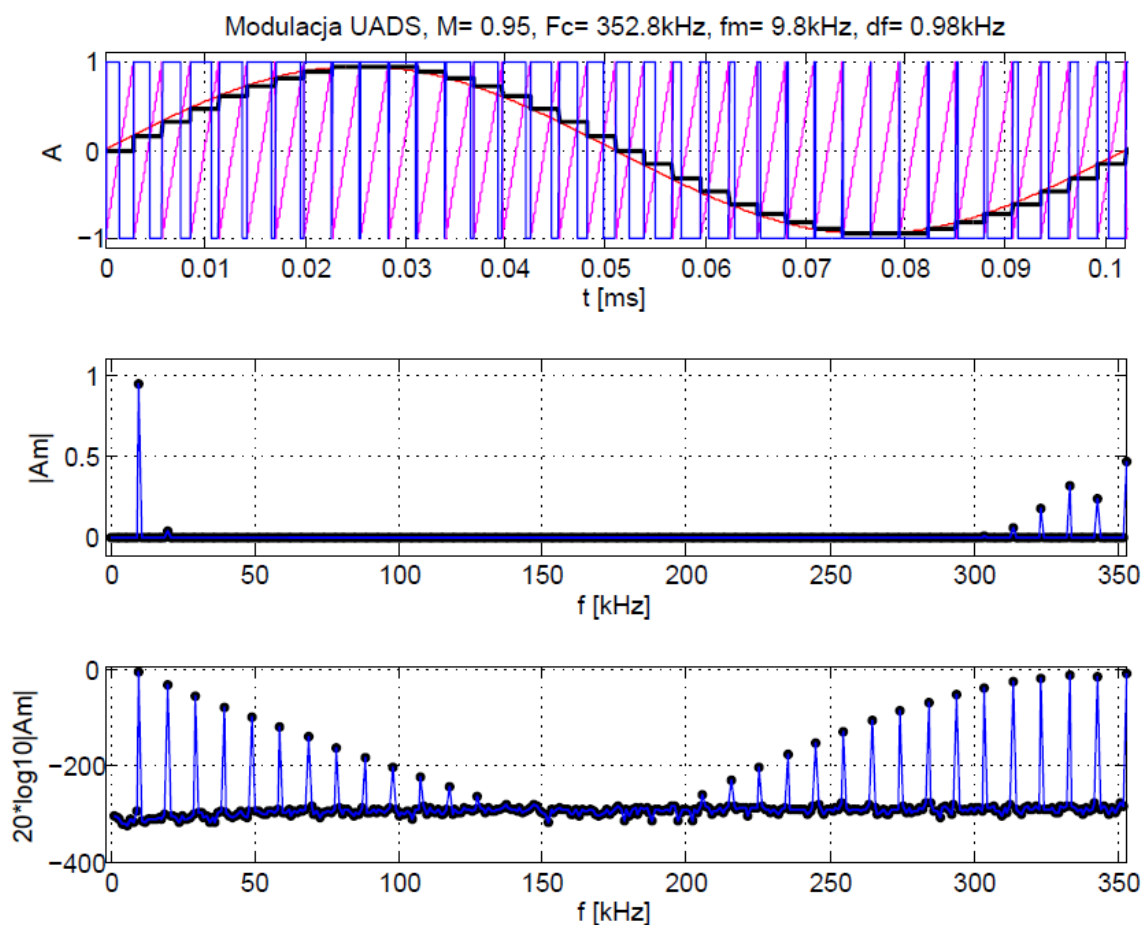
2.2.2. Analiza spektralna sygnałów z modulacją UPWM z wykorzystaniem programu Matlab®. Współczynniki zawartości harmonicznych THD.

Na rys. 2.8 przedstawiono wyniki symulacji w programie Matlab® (kod programu w dodatku A.3) widma częstotliwościowego różnicowego sygnału z jednobrzegową modulacją UADS, z następującymi parametrami: $f_m = 9,8 \text{ kHz}$, $F_c = 352,8 \text{ kHz}$, $M = 0,95$, analiza spektralna z rozdzielczością $df = 0,98 \text{ kHz}$.

W analizowanym zakresie częstotliwości, widmo to zawiera składową podstawową i jej wyższe harmoniczne (leżące w paśmie podstawowym sygnału modulującego), składową o

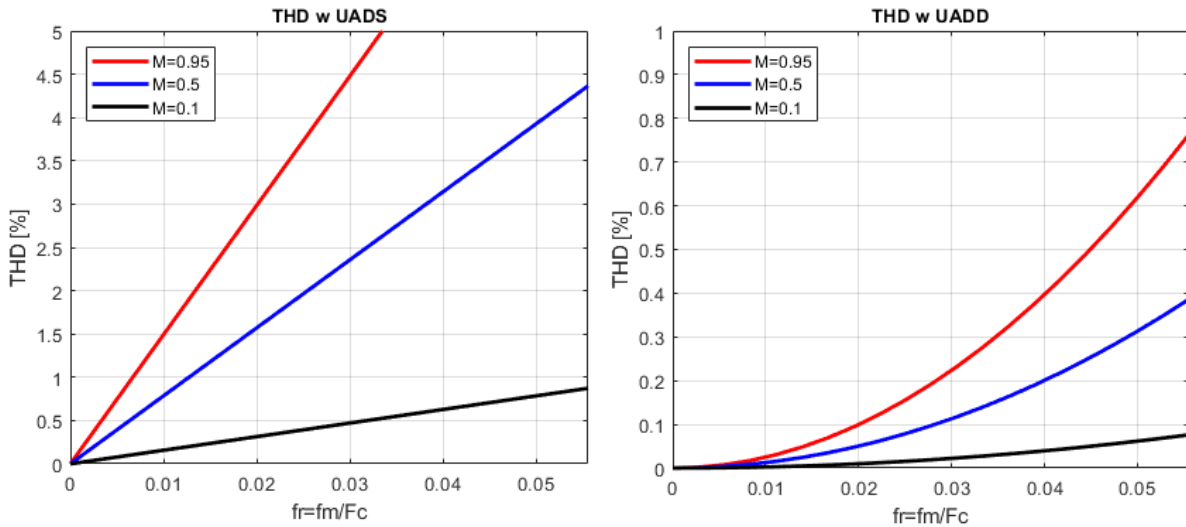
częstotliwości kluczowania i jej intermodulacyjne prążki boczne o częstotliwościach $(F_c - n f_m)$. Amplitudy sygnałów modulujących i ich harmonicznych silnie zależą od indeksu modulacji M i stosunku częstotliwości sygnału modulującego do częstotliwości kluczowania $f_r = f_m / F_c$.

Występujące w sygnale z modulacją UPWM wyższe harmoniczne sygnału modulującego są źródłem zniekształceń tego sygnału. W celu porównania wszystkich czterech cyfrowych modulacji z równomiernym próbkowaniem, wyznaczono dla nich współczynniki zniekształceń nieliniowych THD sygnału różnicowego po demodulacji jako stosunek średniokwadratowej wartości 10-ciu wyższych harmonicznych do harmonicznej podstawowej. Na rys.2.9 przedstawiono wyniki symulacji współczynników THD dla modulacji UADS i UADD, a na rys. 2.10 dla modulacji UBDS i UBDD. Amplitudy poszczególnych harmonicznych wyznaczono na podstawie zależności zestawionych w tabeli 2.4.

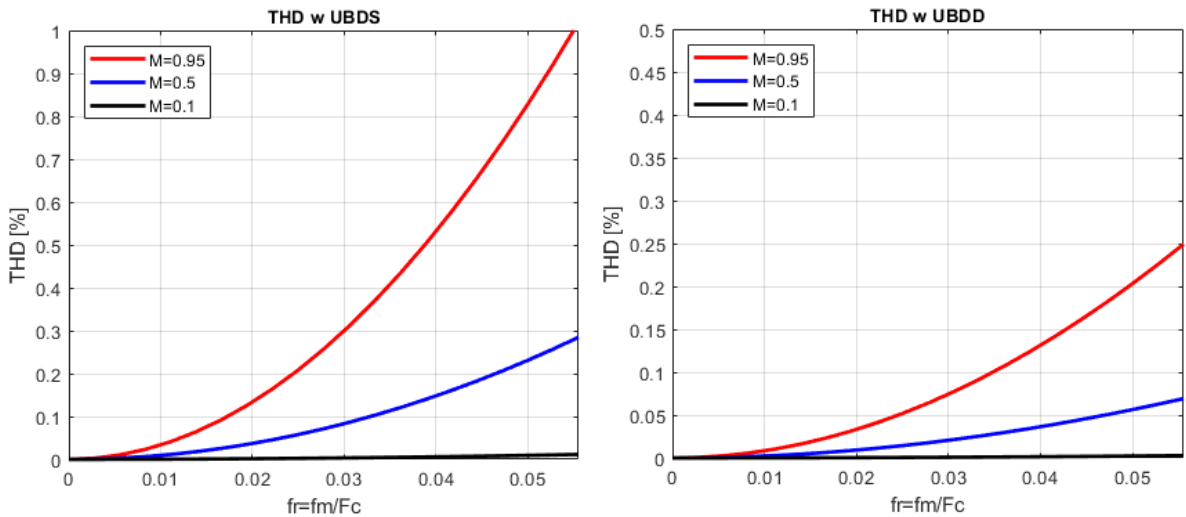


Rys. 2.8. Widmo częstotliwościowe sygnału różnicowego przy modulacji UADS, dla: $F_c = 352,8\text{kHz}$, $f_m = 9,8\text{kHz}$, $M = 0,95$, $df = 0,98\text{kHz}$.

W celu weryfikacji przeprowadzonych analiz, a w szczególności analiz widm częstotliwościowych, charakterystyki współczynników THD dla wszystkich czterech rodzajów modulacji cyfrowych: UADS, UADD, UBDS, UBDD wyznaczono bezpośrednio na podstawie bardzo pracołłonnych analiz spektralnych sygnałów zmodulowanych (jako stosunek średniokwadratowej wartości 10-ciu wyższych harmonicznych do harmonicznej podstawowej), przy tych samych wartościach wskaźników modulacji M , otrzymując dokładnie te same charakterystyki, co przedstawione na rys. 2.9 i 2.10.



Rys.2.9 Współczynniki *THD* dla modulacji UADS i UADD, przy $F_c = 352,8\text{kHz}$



Rys.2.10. Współczynniki *THD* dla modulacji UBDS i UBDD, przy $F_c = 352,8\text{kHz}$

Z porównania przedstawionych na rys. 2.9 i rys.2.10 wyników symulacji wynika, że cyfrowe modulacje UPWM z równomiernym próbkowaniem nie są odpowiednie do zastosowań w akustycznych wzmacniaczach klasy D o małych zniekształceniach nieliniowych. Nawet dwubrzegowa modulacja UBDD, która charakteryzuje się najniższymi wartościami współczynników *THD*, przy maksymalnej częstotliwości sygnału modulującego $f_{m \max} = 20 \text{ kHz}$ (zakładając, że jest to pasmo wzmacniacza akustycznego) oraz zastosowaniu wysokiej częstotliwości kluczowania $F_c = 352,8\text{kHz}$, dla wskaźnika modulacji $M = 0,95$, *THD* osiąga wartość ok. 0,25 %.

Ze względu na bardzo prosty sposób wytwarzania modulacji UPWM znajdują one szerokie zastosowanie w sterownikach falowników i różnego rodzaju przekształtników z modulacją szerokości impulsów, w których dopuszczalny poziom zniekształceń nieliniowych jest wyższy niż we wzmacniaczach akustycznych. W tych zastosowaniach, modulację UBDD można uznać za optymalną, chociaż przy tej modulacji występują sygnały wspólne, co wiąże się z koniecznością dodatkowej filtracji tych sygnałów (rozd. 6).

Rozdział 3

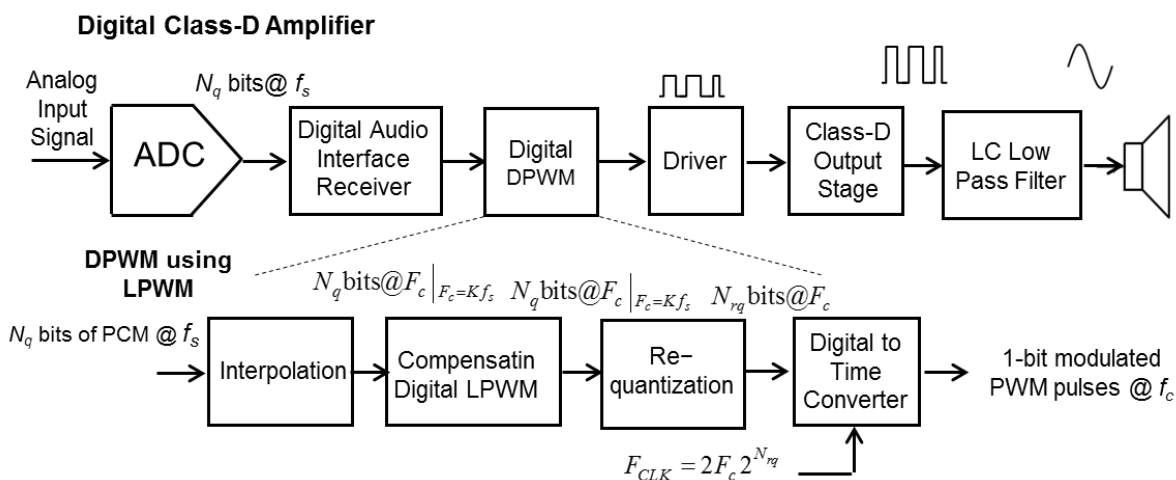
3. Cyfrowe, linearyzowane modulacje szerokości impulsów.

3.1. Ogólne metody linearyzacji cyfrowych modulatorów DPWM

Ogólne metody linearyzacji cyfrowych modulatorów PWM są szeroko reprezentowane w literaturze [15, 17, 20, 21, 23, 30, 33, 35, 41] i można je zakwalifikować do trzech kategorii:

1. Metody kompensacji wstępnej, charakteryzujące się próbkowaniem sygnału modulującego najbardziej zbliżonym do próbkowania przy modulacjach naturalnych NPWM (metody te są najbardziej rozwinięte).
2. Metody bezpośredniej kompensacji efektów nieliniowych, w której modulator UPWM traktuje się jako zależną od sygnału, nieliniową funkcję przejścia, której efekty nieliniowe mogą być kompensowane przez odwrotną funkcję przejścia.
3. Metody wykorzystujące cyfrowe ujemne sprzężenia zwrotne w pętli samego modulatora, lub obejmującej modulator i cyfrowy sygnał UPWM stopnia końcowego.

Na rys. 3.1 przedstawiono ogólny schemat blokowy cyfrowego wzmacniacza klasy D ze standardową, linearyzowaną modulacją cyfrową LPWM z kompensacją wstępną stwarzającą możliwość emulacji wszystkich czterech podstawowych metod modulacji NPWM. Algorytmy konwersji PCM-DPWM z kompensacją wstępną starają się jak najlepiej emulować sygnał z próbkowaniem naturalnym NPWM, wykorzystując ulepszone metody próbkowania, takie jak modulacja pseudo-naturalną - PNPWM lub linearyzowaną – LPWM [30, 33], [45-49], [53, 54]]. Dzięki prostemu algorytmowi LPWM można osiągnąć znaczną poprawę liniowości modulatora, stwarzając szerokie możliwości aplikacji systemów DPWM.



Rys. 3.1. Ogólny schemat blokowy cyfrowego wzmacniacza klasy D.

Algorytm obliczeniowy położenia początków i końców czasu trwania impulsu PWM w każdym okresie przełączania wymaga dwuetapowej interpolacji wejściowego sygnału PCM. W pierwszym etapie interpolacja realizowana jest ze współczynnikiem nadpróbkowania K , dzięki której odstęp pomiędzy dwoma sąsiednimi próbkami jest równy okresowi kluczowania T_c , natomiast w drugim etapie interpolacji wprowadza się Q dodatkowych próbek sygnału PCM równomiernie rozłożonych w okresie kluczowania T_c i aproksymuje się sygnał modulujący w tym przedziale odcinkami prostoliniowymi, przechodzącymi przez interpolowane próbki PCM. Obliczone z dużą dokładnością wartości

położenia początków i końców czasu trwania impulsu PWM w n -tych okresach kluczowania, wymagałyby bardzo dużej rozdzielczości czasowej kwantyzatora na wyjściu modulatora, transformującego obliczone czasy na ciąg fizycznie generowanych impulsów DPWM, co z kolei wymagałoby zastosowania bardzo wysokich (nieakceptowalnych w praktyce) częstotliwości generatora taktującego kwantyzator.

3.1.1. Interpolacja

3.1.1.1. Rekonstrukcja sygnału ciągłego $x_a(t)$ na podstawie ciągu jego próbek dyskretnych

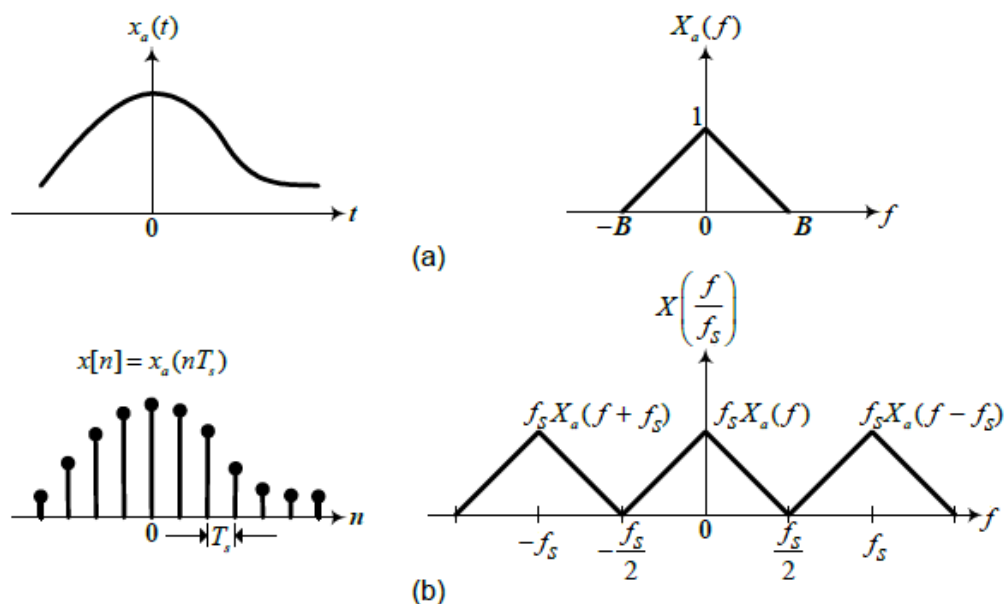
Rekonstrukcja sygnału ciągłego $x_a(t)$ na podstawie ciągu jego próbek dyskretnych, jak również zwiększenie szybkości próbkowania sygnału analogowego o rzeczywisty współczynnik K należą do podstawowych metod cyfrowego przetwarzania sygnałów [75-78].

Po spróbkowaniu wejściowego, analogowego sygnału akustycznego $x_a(t)$ o częstotliwości f_s , z okresem próbkowania T_s , gdzie: $T_s = 1/f_s$, otrzymujemy cyfrowy sygnał akustyczny PCM, czyli dyskretną sekwencję sygnału spróbkowanego $x[n]$, gdzie n jest indeksem czasu dyskretnego:

$$x[n] = x_a(nT_s) \quad -\infty < n < \infty, \quad (3.1)$$

Jak pokazano na rys. 3.2, widmo sygnału dyskretnego jest identyczne z widmem sygnału analogowego w podstawowym przedziale częstotliwości, ale ze współczynnikiem skalowania f_s :

$$X\left(\frac{f}{f_s}\right) = f_s X_a(f) \quad f \leq \frac{f_s}{2} \quad (3.2)$$



Rys. 3.2. Próbkowanie sygnału analogowego i jego widmo:
a). sygnał analogowy $x_a(t)$; b). sygnał dyskretny $x[n]$.

Rekonstrukcję sygnału ciągłego $x_a(t)$ na podstawie ciągu próbek dyskretnych $x[n] = x_a(nT_s)$, gdzie $T_s = 1/f_s = 1/2B$, otrzymujemy w postaci ważonych sum idealnej funkcji interpolacyjnej:

$$g(t) = \frac{\sin\left[\left(\frac{\pi}{T_s}\right)t\right]}{\left(\frac{\pi}{T_s}\right)t} \quad (3.3)$$

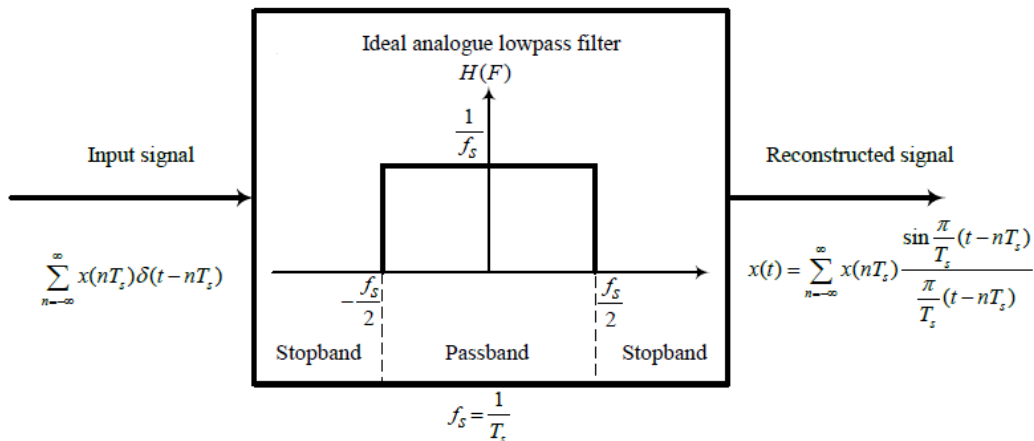
i jej składowych z przesuniętym czasem $g(t - nT_s)$, dla $-\infty < n < \infty$, zaś współczynnikami wagowymi są próbki $x[nT_s]$:

$$x_a(t) = \sum_{n=-\infty}^{\infty} x[nT_s] \frac{\sin\left[\frac{\pi}{T_s}(t - nT_s)\right]}{\frac{\pi}{T_s}(t - nT_s)} \quad (3.4)$$

Idealna funkcja interpolacyjna $g(t)$ (3.3) jest odpowiedzią impulsową idealnego, dolnoprzepustowego filtra analogowego, nazywanego filtrem rekonstruującym, o transmitancji w dziedzinie częstotliwości:

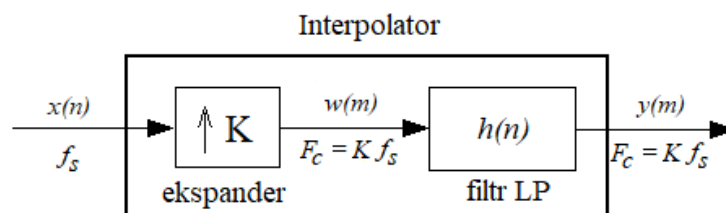
$$H(f) = \begin{cases} T_s, & |f| \leq \frac{1}{2T_s} \\ 0, & |f| > \frac{1}{2T_s} \end{cases} \quad (3.5)$$

Na rys. 3.3 przedstawiono idealną rekonstrukcję sygnału analogowego w dziedzinie częstotliwości, gdzie rekonstruowany sygnał w dziedzinie czasu jest równoważny splotowi sygnałów czasowych tj. $x(nT_s)\delta(t - nT_s)$ oraz $g(t)$.



Rys. 3.3. Reprezentacja idealnej rekonstrukcji sygnału analogowego w dziedzinie częstotliwości

Wejściowy sygnał $x(n)$ jest ograniczonym w paśmie dyskretnym sygnałem próbkowanym z częstotliwością Nyquista $f_s = 1/T_s \geq 2B$ i zostanie przekształcony w wyjściowy sygnał $y(m)$ o wyższej częstotliwości próbkowania $F_c = 1/T_c = K f_s$, przy czym m reprezentuje indeks dyskretnego sygnału o wyższej częstotliwości próbkowania (rys. 3.4).



Rys. 3.4. Schemat blokowy interpolatora cyfrowego K -tego rzędu.

Na wejściu interpolatora znajduje się ekspander, który dodaje $K-1$ próbek o wartościach zerowych pomiędzy każde dwie próbki sygnału, a następnie wygładza się tak „utworzony” sygnał filtrem interpolującym.

Dzięki tej operacji sygnał dyskretny $x(n)$ zostaje przekształcony w dyskretny sygnał $w(m)$:

$$w(m) = \begin{cases} x(m/K), & m = 0, \pm 1, \pm K, \pm 2K, \dots \\ 0, & \text{w przeciwnym razie} \end{cases} \quad (3.6)$$

Stosując transformatę z do powyższego równania, otrzymujemy:

$$W(z) = \sum_{n=-\infty}^{\infty} w(m)z^{-m} = \sum_{n=-\infty}^{\infty} x(m)z^{-mK} = X(z^K) \quad (3.7)$$

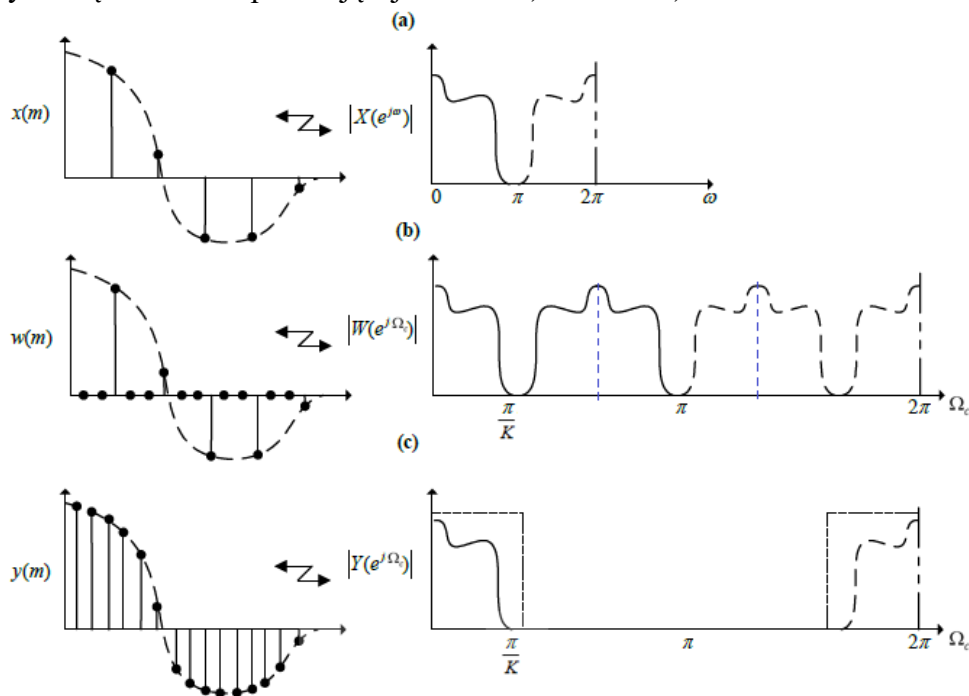
Podstawiając: $z = e^{j\Omega_c}$, otrzymujemy transformatę sygnału $w(m)$ wyrażoną w zależności od widma sygnału wejściowego $x(n)$:

$$W(e^{j\Omega_c}) = X(e^{jK\Omega_c}) \quad (3.8)$$

gdzie: $\Omega_c = 2\pi fT_c$ oraz $\omega_s = 2\pi fT_c$ są unormowanymi częstotliwościami próbkowania,

przy: $K = \frac{F_c}{f_s}$; $F_c = 1/T_c = Kf_s$ $K = \frac{F_c}{F_s}$.

Jak widać na rys.3.5, widmo $w(m)$ zawiera nie tylko pasmo podstawowe w zakresie częstotliwości od: $-\pi/K$ do π/K , ale również pasma skupione wokół harmonicznym oryginalnych częstotliwości próbkującej: $\pm 2\pi/K$, $\pm 4\pi/K, \dots$



Rys. 3.5. Reprezentacja w dziedzinie czasu i w dziedzinie częstotliwości sygnału analogowego przy zwiększeniu szybkości próbkowania o współczynnik „K”

Aby wyeliminować niepożądane składowe widma w zakresie wysokich częstotliwości, potrzebny jest dolnoprzepustowy filtr aproksymujący idealną charakterystykę:

$$H(e^{j\Omega_c}) = \begin{cases} G = K, & |\Omega_c| \leq \frac{2\pi fT_c}{2} = \frac{\pi}{K} \\ 0, & \text{w przeciwnym razie} \end{cases} \quad (3.9)$$

Filtr interpolujący jest filtrem dolnoprzepustowym o unormowanej pulsacji granicznej π/K i wzmocnieniu w pasmie przepustowym $G = K$.

K -krotnie wzmocniona odpowiedź impulsowa dolnoprzepustowego filtra interpolującego określona jest zależnością:

$$h(n) = K \left(\frac{1}{K} \frac{\sin(\pi n / K)}{\pi n / K} \right), \quad -\infty < n < \infty \quad (3.10)$$

Równanie to opisuje dyskretny sygnał w postaci $\sin(x)/x$, który się zeruje dla $n = pK$ (p - dowolna liczba całkowita), za wyjątkiem $n = 0$, dla którego przyjmuje wartość $h(0) = 1$. Powoduje to, że w wyniku filtracji nie są modyfikowane znane („stare”) próbki sygnału. Cała operacja interpolacji cyfrowej jest szczególnym przypadkiem rekonstrukcji sygnału analogowego na podstawie jego próbek.

Jednak w tym przypadku interesuje nas nie „cały”, ciągły fragment sygnału, leżący pomiędzy dowolnymi dwoma jego próbkami, tylko dodatkowe $K-1$ równoodległe wartości.

W praktyce występuje konieczność ograniczenia długości filtra, dlatego jego odpowiedź impulsową wymusza się go z wybranym oknem $w(n)$, mającym określone właściwości widmowe.

$$h_w(n) = w(n)h(n), \quad -\infty \leq n < \infty \quad (3.11)$$

Zakres dynamiczny sygnału nadpróbkowanego K -krotnie wynosi [75-78]:

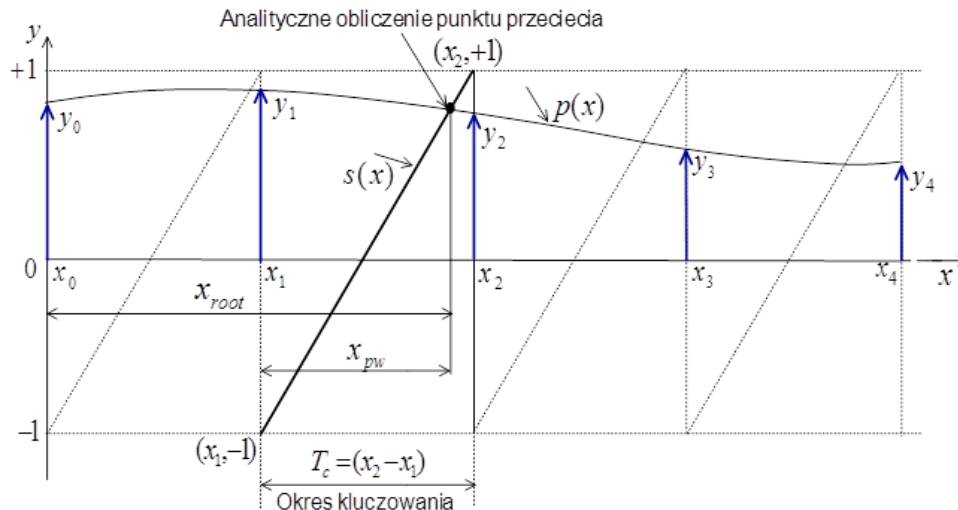
$$D = 6,02b + 10 \log K + 1,76 \quad (3.12)$$

Wejściowy, cyfrowy sygnał akustyczny PCM (16 bitów, $F_s = 44,1$ kHz) posiada zakres dynamiczny 98,5 dB.

3.1.2. Algorytmy obliczania położenia początków i końców czasu trwania impulsów DPWM w linearyzowanych modulacjach LPWM

Z pośród wszystkich linearyzowanych modulacji DPWM, tzw. modulacje pseudo-naturalne PNPWM charakteryzują się próbkowaniem sygnału modulującego najbardziej zbliżonym do próbkowania przy modulacjach naturalnych NPWM, a tym samym redukcją harmonicznym sygnału modulującego w paśmie podstawowym sygnału.

Główna idea modulacji pseudo-naturalnej [35] polega na interpolacji dyskretnego sygnału modulującego, spróbkowanego z częstotliwością f_s , w dyskretny sygnał $y(m)$ o wyższej częstotliwości próbkowania $f_{s2} = K f_s = F_c = 1/T$, a następnie n równomiernie rozłożonych próbek PCM aproksymuje się wielomianem n -tego rzędu. Mając analityczną postać sygnału modulującego oraz przebiegu piłokształtnego (przy modulacji jednobrzęgowej), metodami numerycznymi należy wyznaczyć punkty przecięcia tych przebiegów w kolejnych n okresach kluczowania. Szerokość impulsu PNPWM w n -tym okresie kluczowania wyznacza punkt przecięcia tych przebiegów oraz koniec okresu kluczowania (rys. 3.6).



Rys. 3.6. Aproksymacja n próbek PCM wielomianem n -tego rzędu i analityczne wyznaczenie punktu przecięcia.

Cyfrowa modulacja PNPWM jest atrakcyjna z punktu widzenia możliwości ograniczenia zniekształceń nieliniowych w paśmie podstawowym sygnału modulującego do dowolnie niskiego poziomu, a dla jej realizacji wykorzystywane są powszechnie znane i ugruntowane numeryczne metody obliczeń, ale trudne do realizacji w czasie rzeczywistym, ponieważ wymagają zbyt dużych nakładów obliczeniowych.

Linearyzowane modulacje LPWM (*Linearized Pulse Width Modulation*) są prostsze w realizacji i wymagają mniejszych nakładów obliczeniowych, a ich zadaniem jest możliwie jak najwierniejsze odwzorowanie naturalnych modulacji NPWM. Algorytm obliczeniowy położenia początków i końców czasu trwania impulsu LPWM w każdym okresie przełączania wymaga dwuetapowej interpolacji wejściowego sygnału PCM. W pierwszym etapie interpolacja realizowana jest ze współczynnikiem nadpróbkowania K , dzięki której odstęp pomiędzy dwoma sąsiednimi próbkami jest równy okresowi kluczowania T_c , natomiast w drugim etapie interpolacji wprowadza się Q dodatkowych próbek sygnału PCM równomiernie rozłożonych w okresie kluczowania T_c i aproksymuje się sygnał modulujący w tym przedziale odcinkami prostoliniowymi, przechodzącymi przez interpolowane próbki PCM.

Obliczone z dużą dokładnością wartości położenia początków i końców czasu trwania impulsu PWM w n -tych okresach kluczowania, wymagałyby bardzo dużej rozdzielczości czasowej kwantyzatora na wyjściu modulatora, transformującego obliczone czasy na ciąg fizycznie generowanych impulsów LPWM, co z kolei wymagałoby zastosowania bardzo wysokich (nieakceptowalnych w praktyce) częstotliwości generatora taktującego kwantyzator. Zastosowanie procesu rekwantyzacji pozwala z jednej strony na redukcję (obcięcie) długości słowa bitowego N_q obliczonych wartości położenia początków i końców czasu trwania impulsu LPWM do mniejszej rozdzielczości N_{rq} , tym samym ograniczenie rozdzielczości kwantyzatora, ale z drugiej strony, pozwala na kształtowanie generowanych szumów rekwantyzacji. Rewkantyzowany sygnał cyfrowy, po przejściu przez układ kształtowania szumów kwantyzacji zawierający pętle sprzężenia zwrotnego z filtrem, zachowuje niezmiennione składowe widma sygnału PWM w paśmie podstawowym sygnału modulującego, zaś szum kwantyzacji zostaje przesunięty poza to pasmo, do zakresu wyższych częstotliwości, ofiltrowywanych w procesie demodulacji.

3.1.2.1. Linearyzowana modulacja LADS PWM.

Jak zaznaczono na rys. 3.7, w wyniku dodatkowej interpolacji sygnału cyfrowego w przedziale czasu $nT_c \leq t \leq (n+1)T_c$, pomiędzy próbkami $y_0(n)$, $y_0(n+1)$, wprowadzono Q dodatkowych próbek równomiernie rozłożonych w tym przedziale, które wraz z brzegowymi próbkami tworzą ciąg $Q+2$ elementów:

$$y_0(n), y_1(n), y_2(n), \dots, y_{Q-1}(n), y_Q(n), y_0(n+1) \quad (3.13)$$

Jak wynika z rys. 3.7 oraz jak opisano w Dodatku A.1, w kolejnych okresach kluczowania ciągły czas t możemy zapisać:

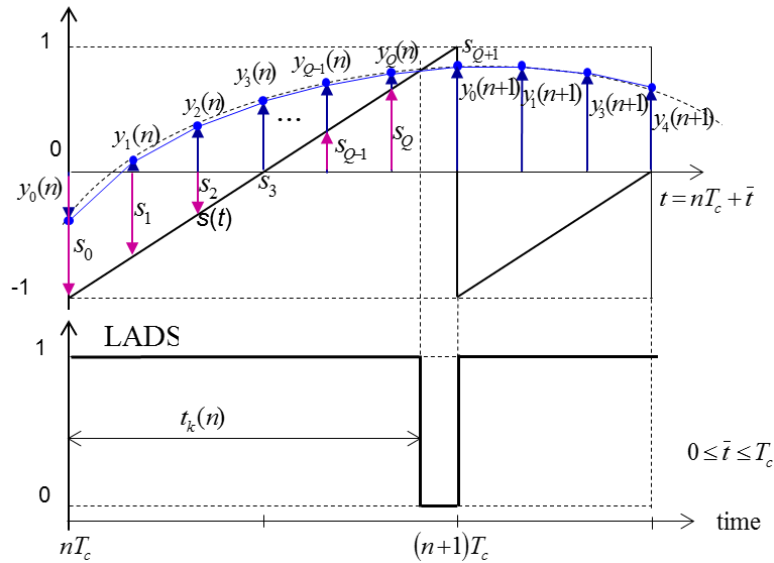
$$t = nT_c + \bar{t} ; \text{ dla : } n = 0, 1, 2, \dots, (N-1); \text{ gdzie : } 0 \leq \bar{t} < T_c , \quad (3.14)$$

$N = (T_m/T_c)$ jest liczbą impulsów PWM jednym okresie sygnału modulującego.

Przebieg piłokształtny w n -tym okresie kluczowania opisuje równanie:

$$s(t) = \frac{2}{T_c}(nT_c + \bar{t}) - (1 + 2n) ; 0 \leq \bar{t} < T_c \quad (3.15)$$

$$\text{dla : } n = 0, 1, 2, \dots, (N-1)$$



Rys. 3.7. Modulacja LADS przy $Q=5$ dodatkowych próbkach w okresie kluczowania T_c .

W pierwszym okresie kluczowania, dla: $n = 0$, przebieg ten opisuje równanie:

$$s(\bar{t}) = \frac{2}{T_c} \bar{t} - 1 \quad (3.16)$$

Przy modulacji NADS, początek impulsu PWM w n -tym okresie kluczowania wynosi nT_c , natomiast koniec impulsu wyznacza punkt przecięcia aproksymowanego odcinkami prostoliniowymi przebiegu modulującego z przebiegiem piłokształtnym $s(nT_c + \bar{t})$.

Algorytm wyznaczania tego punktu będzie bardziej przejrzysty, gdy przebieg piłokształtny będzie zapisany zawsze dla pierwszego okresu kluczowania (rów. 3.16), zaś przesuwany będzie tylko przebieg modulujący.

Przy wprowadzeniu Q dodatkowych próbek w drugiej interpolacji, okres kluczowania T_c zostaje podzielony na $Q+1$ równych odstępów czasowych:

$$T_Q = \frac{T_c}{Q+1} \quad (3.17)$$

Aby zmniejszyć sumaryczną ilość potrzebnych obliczeń arytmetycznych wykonywanych w algorytmie, w punktach podziału okresu kluczowania T_c (w których leżą próbki interpolowanego sygnału PCM), należy obliczyć i zapamiętać wartości przebiegu piłokształtnego:

$$s_0 = -1, s_1 = \frac{2}{Q+1} - 1, s_2 = \frac{4}{Q+1} - 1, \dots, s_{Q-1} = \frac{2(Q-1)}{Q+1} - 1, s_Q = \frac{2Q}{Q+1} - 1, s_{Q+1} = 1 \quad (3.18)$$

W celu znalezienia punktu przecięcia przebiegu piłokształtnego z przebiegiem aproksymowanym, metodą kilku kolejnych porównań należy znaleźć i -ty przedział otrzymany w wyniku podziału, w którym:

$$y_i(n) > s_i \quad \text{oraz} \quad y_{i+1}(n) < s_{i+1} \quad (3.19)$$

Prowadząc prostą przez punkty o współrzędnych: $\frac{iT_c}{Q+1}, y_i(n)$; oraz $\frac{(i+1)T_c}{Q+1}, y_{i+1}(n)$:

$$\frac{T_c}{Q+1} [y - y_i(n)] = [y_{i+1}(n) - y_i(n)] \left(\bar{t} - \frac{iT_c}{Q+1} \right) \quad (3.20)$$

i rozwiązując układ równań (3.16), (3.20), kolejno dla wszystkich wartości $n = 0, 1, 2, \dots, (N-1)$, otrzymujemy punkty przecięcia w kolejnych n -tych okresach kluczowania:

$$\bar{t}_k(n) = \frac{T_c [1 + (i+1)y_i(n) - i y_{i+1}(n)]}{2 + [y_i(n) - y_{i+1}(n)](Q+1)} \quad (3.21)$$

Ostatecznie, otrzymujemy początek i koniec impulsu PWM z modulacją LADS w n -tym okresie kluczowania:

$$t_p(n) = nT_c \quad ; \quad t_k(n) = nT_c + \bar{t}_k(n) \quad (3.22)$$

3.1.2.2. Linearyzowana modulacja LADD PWM.

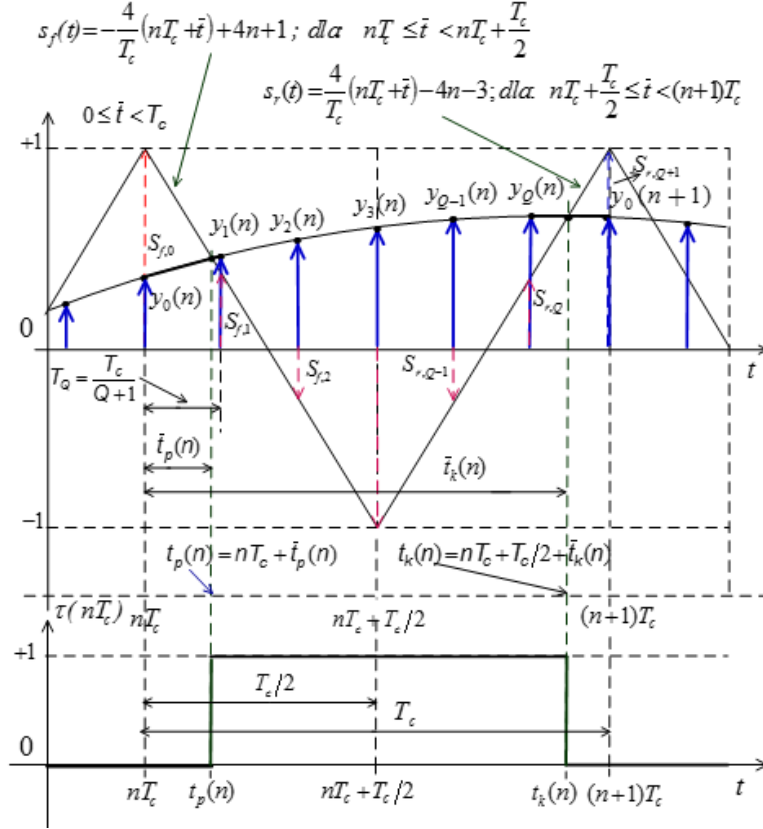
Jak pokazano na rys. 3.8, przy modulacji NADD, początek i koniec impulsu PWM w n -tym okresie kluczowania wyznaczają punkty przecięcia aproksymowanego odcinkami prostoliniowymi przebiegu modulującego, odpowiednio z opadającą częścią $s_f(nT_c + \bar{t})$ w pierwszym półokresie przebiegu trójkątnego i narastającą częścią $s_r(nT_c + \bar{t})$ w drugim półokresie tego przebiegu.

W dowolnym n -tym okresie kluczowania, symetryczny przebieg trójkątny opisują równania:

$$s_f(t) = -\frac{4}{T_c}(nT_c + \bar{t}) + 4n + 1; \text{ dla } : nT_c \leq \bar{t} < nT_c + \frac{T_c}{2} \quad (3.23)$$

$$s_r(t) = \frac{4}{T_c}(nT_c + \bar{t}) - 4n - 3; \text{ dla } : nT_c + \frac{T_c}{2} \leq \bar{t} < (n+1)T_c \quad (3.24)$$

przy czym ciągły czas t opisuje równanie (3.14).



Rys. 3.8. Modulacja LADD przy $Q=5$ dodatkowych próbkach w okresie kluczowania T_c .

Podobnie jak w punkcie 3.1.2.1, symetryczny przebieg trójkątny będzie zapisany zawsze dla pierwszego okresu kluczowania, zaś przesuwany będzie tylko przebieg modulujący:

$$s_f(t) = -\frac{4}{T_c}\bar{t} + 1; \text{ dla } : 0 \leq \bar{t} < \frac{T_c}{2} \quad (3.25)$$

$$s_r(t) = \frac{4}{T_c}\bar{t} - 3; \text{ dla } : 0 \leq \bar{t} < T_c \quad (3.26)$$

Wprowadzenie Q dodatkowych próbek w drugiej interpolacji, zgodnie z zależnością (3.17), dzieli okres kluczowania T_c na $Q+1$ równych odstępów czasowych, przy czym dla parzystych Q , w obu półokresach przebiegu trójkątnego wystąpi $(Q/2)$ próbek, zaś przy nieparzystym Q , $(Q-1)/2$ próbek i jedna próbka w środku okresu ($T_c/2$).

Aby nie powtarzać tych samych obliczeń w każdym następnym okresie kluczowania, na samym początku należy obliczyć i zapamiętać wartości przebiegu trójkątnego w punktach podziału okresu kluczowania T_c , w których leżą próbki interpolowanego sygnału PCM:

Dla parzystych Q :

$$s_{f,0} = 1, s_{f,1} = \frac{-4}{Q+1} + 1, s_{f,2} = \frac{-8}{Q+1} + 1, \dots, s_{f,(Q/2)} = \frac{-4(Q/2)}{Q+1} + 1, s_f\left(\frac{T_c}{2}\right) = -1$$

$$s_r\left(\frac{T_c}{2}\right) = -1, s_{r,(Q/2)+1} = \frac{4[(Q/2)+1]}{Q+1} - 3, s_{r,(Q/2)+2} = \frac{4[(Q/2)+2]}{Q+1} - 3, \dots, \quad (3.27)$$

$$s_{r,Q} = \frac{4Q}{Q+1} - 3, s_{r,(Q+1)} = 1,$$

Dla nieparzystych Q :

$$\begin{aligned}
s_{f,0} = 1, \quad s_{f,1} = \frac{-4}{Q+1} + 1, \quad s_{f,2} = \frac{-8}{Q+1} + 1, \quad \dots, \quad s_{f,(Q-1)/2} = \frac{-4((Q-1)/2)}{Q+1} + 1, \quad s_{f,((Q-1)/2)+1} = -1 \\
s_{r,((Q-1)/2)+1} = -1, \quad s_{r,((Q-1)/2)+2} = \frac{4[(Q-1)/2+2]}{Q+1} - 3, \quad s_{r,((Q-1)/2)+3} = \frac{4[(Q-1)/2+3]}{Q+1} - 3, \quad \dots, \\
s_{r,Q} = \frac{4Q}{Q+1} - 3, \quad s_{r,(Q+1)} = 1,
\end{aligned} \tag{3.28}$$

W celu znalezienia punktu przecięcia opadającej części $s_f(t)$ przebiegu trójkątnego z przebiegiem aproksymowanym, metodą kilku kolejnych porównań należy znaleźć i -ty przedział otrzymany w wyniku podziału, w którym:

$$\begin{aligned}
y_i(n) < s_{f,i} \quad \text{oraz} \quad y_{i+1}(n) > s_{f,i+1} \quad \text{dla} \quad 0 \leq i < \frac{Q-1}{2} + 1 \quad \Rightarrow \quad \text{dla nieparzystych } Q \\
y_i(n) < s_{f,i} \quad \text{oraz} \quad y_{i+1}(n) > s_{f,i+1} \quad \text{dla} \quad 0 \leq i < \frac{Q}{2} + 1 \quad \Rightarrow \quad \text{dla parzystych } Q
\end{aligned} \tag{3.29}$$

Prowadząc prostą przez punkty o współrzędnych: $\frac{iT_c}{Q+1}, y_i(n)$; oraz $\frac{(i+1)T_c}{Q+1}, y_{i+1}(n)$:

$$\frac{T_c}{Q+1} [y - y_i(n)] = [y_{i+1}(n) - y_i(n)] \left(\bar{t} - \frac{iT_c}{Q+1} \right) \tag{3.30}$$

i rozwiązując układ równań (3.25), (3.30), kolejno dla wszystkich wartości $n = 0, 1, 2, \dots, (N-1)$, otrzymujemy punkt przecięcia $\bar{t}_p(n)$.

$$\bar{t}_p(n) = \frac{T_c [1 + i y_{i+1}(n) - (i+1) y_i(n)]}{4 + [y_{i+1}(n) - y_i(n)](Q+1)} \tag{3.31}$$

Początek czasu trwania impulsu PWM z modulacją LADS w n -tym okresie kluczowania wynosi:

$$t_p(n) = nT_c + \bar{t}_p(n) \tag{3.32}$$

W przedstawionym opisie wyznaczania czasu $\bar{t}_p(n)$ może się jednak zdarzyć, że dla parzystej wartości Q i dużej wartości indeksu modulacji M **nie znajdziemy takiego i** przy którym będą spełnione wszystkie trzy nierówności (3.29), co pokazano na rys. 3.9 (dla $Q = 6$). Z powodowane to jest tym, że prostoliniowy odcinek aproksymujący sygnał dyskretny przebiega przez wierzchołki dwóch sąsiednich wektorów próbek leżących w rozdzielnych obszarach: opadającej i narastającej części przebiegu trójkątnego.

$$\bar{t}_k(n) = \frac{T_c [j y_{j+1}(n) - (j+1) y_j(n) - 3]}{[y_{j+1}(n) - y_j(n)](Q+1) - 4} \quad (3.38)$$

Koniec czasu trwania impulsu PWM z modulacją LADS w n -tym okresie kluczkowania wynosi:

$$t_k(n) = nT_c + \bar{t}_k(n) \quad (3.39)$$

Podobnie jak to miało miejsce w półokresie z opadającą częścią przebiegu trójkątnego, również w tym przypadku może się zdarzyć, że dla parzystej wartości Q i dużej wartości indeksu modulacji M **nie znajdziemy takiego j** przy którym będą spełnione wszystkie trzy nierówności (3.36), co również pokazuje rys. 3.9.

Wtedy, graniczny punkt przecięcia $\bar{t}_{kg}(n)$ wyznaczamy z rozwiązania układu równań (3.33) i (3.26), otrzymując:

$$\bar{t}_{kg}(n) = \frac{T_c \{ (Q/2) y_{(Q/2)+1}(n) - [(Q/2)+1] y_{Q/2}(n) - 3 \}}{[y_{(Q/2)+1}(n) - y_{Q/2}(n)](Q+1) - 4} \quad (3.40)$$

$$\text{oraz } t_{kg}(n) = nT_c + \bar{t}_{kg}(n) \quad (3.41)$$

3.1.3. Rekwantyzacja. Algorytm rekwantyzacji szumów.

Analiza czasów trwania impulsów zmodulowanych musi być przeprowadzona z dużą dokładnością, aby zlinearyzowane modulacje LPWM z dużą dokładnością emulowały naturalne modulacje NPWM. Analizy spektralne (opisane w Dodatku A.1) pozwalają na porównanie wszystkich składowych widm częstotliwościowych, w różnych modulacjach PWM, na tle minimalnego poziomu szumów (ang. *noise floor*). Analiz takich nie można przeprowadzić, np. w programie Matlab przy wykorzystaniu standardowej metody DFT.

Obliczone z dużą rozdzielczością bitową N_q czasy początków i końców trwania impulsu PWM w n -tych okresach kluczkowania wymagałyby bardzo dużej rozdzielczości czasowej kwantyzatora na wyjściu modulatora, transformującego obliczone czasy na ciąg fizycznie generowanych impulsów LPWM, co z kolei wymagałoby zastosowania bardzo wysokich (nieakceptowalnych w praktyce) częstotliwości generatora taktującego kwantyzator. Zależności te zestawiono w tabeli 3.1, przy założeniu, że częstotliwość kluczkowania $F_c = 352,8$ kHz, natomiast częstotliwość generatora taktującego określa zależność [35, 45] :

$$F_{clock}(b) = F_c (2^b - 1) \quad (3.42)$$

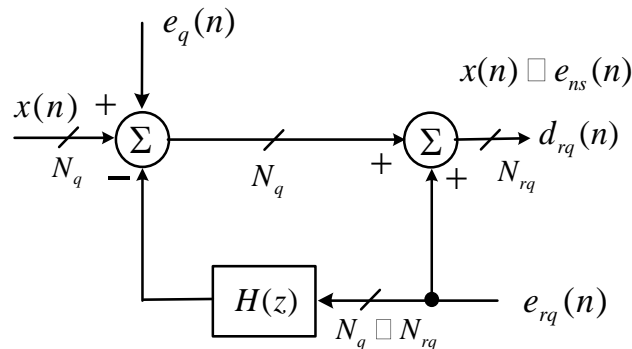
Tabela 3.1. Częstotliwości generatorów taktujących w zależności od rozdzielczości bitowej szerokości impulsów

Rozdzielczość bitowa szerokości impulsów - N_q	Częstotliwość generatora taktującego - F_{CLK}	
24	5919,00	GHz
18	93,9	GHz
16	23,12	GHz
12	1,445	GHz
10	360,9	MHz
8	89,83	MHz
4	5,29	MHz

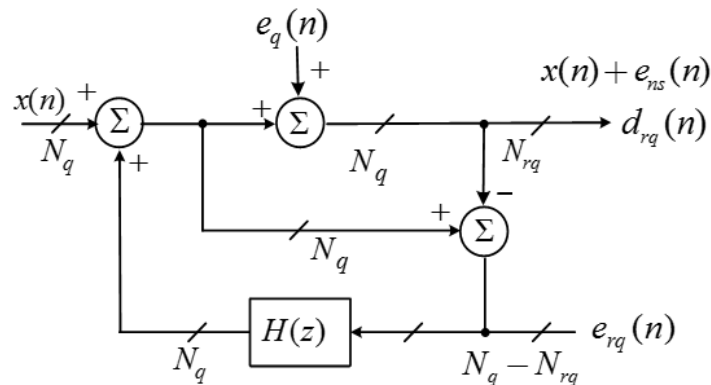
Zastosowanie procesu rekwantyzacji pozwala z jednej strony na redukcję (obciążenie) długości słowa bitowego N_q obliczonej wartości położenia początków i końców czasu trwania

impulsu PWM do mniejszej rozdzielczości N_{rq} , tym samym ograniczenie rozdzielczości kwantyzatora, ale z drugiej strony, pozwala na kształtowanie generowanych szumów rekwantyzacji. Rekwantyzowany sygnał cyfrowy, po przejściu przez układ kształtowania szumów kwantyzacji zachowuje niezmiennione składowe widma sygnału PWM w paśmie podstawowym sygnału modulującego, zaś szum kwantyzacji zostaje przesunięty poza to pasmo, do zakresu wyższych częstotliwości odfiltrowywanych w procesie demodulacji.

Na rys. 3.10 przedstawiono schemat funkcjonalny rekursywnego układu kształtowania szumów kwantyzacji [33, 35, [44-47], zaś na rys. 3.11 przedstawiono jego model z kwantyzatorem traktowanym jako addytywne niezależne źródło szumu.



Rys. 3.10. Schemat funkcjonalny rekursywnego układu kształtowania szumów kwantyzacji



Rys. 3.11. Model rekursywnego układu kształtowania szumów kwantyzacji z kwantyzatorem traktowanym jako addytywne źródło szumu.

W tabeli 3.2 zestawiono wszystkie zmienne występujące w przedstawionym modelu i ich reprezentacje w postaci odpowiadających im: gęstości widmowej mocy S (ang. *power spectral density*) i średniokwadratowej wartości, czyli mocy sygnału σ^2 .

Tabela 3.2. Nazwy zmiennych w analizie układu kształtowania szumów kwantyzacji i ich reprezentacje

Zmienna	Reprezentacja	Rodzaj zmiennej
$x(n)$	S_x, σ_x^2	Niekwantyzowany sygnał wejściowy
$q(n)$	S_q, σ_q^2	Błąd kwantyzacji na wejściu
$e_{rq}(n)$	S_{rq}, σ_{rq}^2	Rekwantyzowane źródło szumów
$e_n(n)$	S_n, σ_n^2	Sygnał błędu na wyjściu (związany z kwantyzacją)
$e_{nb}(n)$	S_{nb}, σ_{nb}^2	Szum kwantyzacji na wyjściu w paśmie podstawowym

Zasadniczym uproszczeniem dla tego modelu jest przyjęcie założenia, że źródło szumów kwantyzacji jest stochastycznym stacjonarnym procesem, niezależnym od sygnału wejściowego. O ile słuszność tego założenia można kwestionować w przypadku ciągów jednobitowych, to w przypadku kwantyzacji dokładnych wielobitowych ciągów, założenie to jest uzasadnione i nie wnosi istotnych ograniczeń [44].

Zakładając, że $X(z)$, $D_q(z)$, $E_{rq}(z)$, $E_n(z)$ są \mathcal{Z} -transformatami funkcji dyskretnych $x(n)$, $d_q(n)$, $e_{rq}(n)$, $e_n(n)$, na podstawie modelu na rys. 3.11 otrzymujemy równania:

$$E_{rq}(z) = X(z) + E_n(z) - [X(z) - E_{rq}(z)H(z)] \quad (3.43)$$

$$D_q(z) = X(z) + E_n(z) = E_q(z) + [X(z) - E_{rq}(z)H(z)] \quad (3.44)$$

Z równania (3.43) otrzymujemy funkcję transmitancji szumów $NTF(z)$ (ang. *noise transfer function*), jako stosunek \mathcal{Z} -transformat sygnału błędu na wyjściu układu (związanego z rekwantyzacją) do rekwantyzowanego źródła szumów:

$$NTF(z) = \frac{E_n(z)}{E_{rq}(z)} = 1 - H(z) \quad (3.45)$$

Natomiast z równania (3.44) możemy wyznaczyć sygnał $D_q(z)$ na wyjściu kwantyzatora:

$$D_q(z) = X(z) + E_q(z)[1 - H(z)] \quad (3.46)$$

Równanie (3.46) bezpośrednio wyjaśnia, że cyfrowy sygnał PWM na wyjściu kwantyzatora w paśmie podstawowym nie ulega żadnej zmianie, natomiast szum kwantyzacji w tym paśmie przenoszony jest zgodnie z funkcją transmitancji szumów $NTF(z)$ (równanie 3.45).

Wykorzystując równanie (5.17), możemy wyznaczyć gęstość widmową sygnału błędu na wyjściu układu (szumu po rekwantyzacji), w zależności od gęstości widmowej rekwantyzowanego źródła szumów:

$$S_n(z) = |NTF(z)|^2 S_{rq}(z) \propto |NTF(z)|^2 \quad (3.47)$$

Układ kształtowania szumów kwantyzacji nie jest w stanie całkowicie zredukować mocy sygnału błędu na wyjściu (szumu po rekwantyzacji) związanej z ograniczoną długością b_{rq} słowa, czyli zmniejszoną rozdzielczością bitową.

W konsekwencji, w procesie kwantyzacji z rozdzielczością bitową N_{rq} , moc sygnału błędu σ_n^2 na wyjściu układu (szumu po rekwantyzacji), w rzeczywistości przewyższa moc sygnału rekwantyzowanego źródła szumów σ_{rq}^2 .

W przypadku realizacji funkcji $NTF(z)$, rzędu N -tego, w postaci nierekursywnego filtru FIR definiuje się współczynnik wzmocnienia szumów kwantyzacji [33, 44]:

$$G_N = \frac{\sigma_n^2}{\sigma_{rq}^2} = \sum_{n=0}^{N-1} |ntf(n)|^2 = 1 + \sum_{n=0}^{N-1} |h(n)|^2 \geq 1 \quad (3.48)$$

gdzie: $ntf(n)$ i $h(n)$ są odpowiednio odpowiedziami impulsowymi funkcji transmitancji szumów i filtru w pętli ujemnego sprzężenia zwrotnego w układzie kształtowania szumów kwantyzacji, przy czym:

$$ntf(n) = \begin{cases} 1 & (n = 0) \\ -h(n) & (n \in \{1, 2, \dots, N-1\}) \\ 0 & \text{w przeciwnym razie} \end{cases} \quad (3.49)$$

Tewksbury i Hallock udowodnili w swojej pracy [74], że optymalną funkcję transmitancji szumów $NTF(z)$, N -tego rzędu, może zapewnić kaskadowe połączenie N cyfrowych układów różniczkujących, o wypadkowej transmitancji opisanej zależnością:

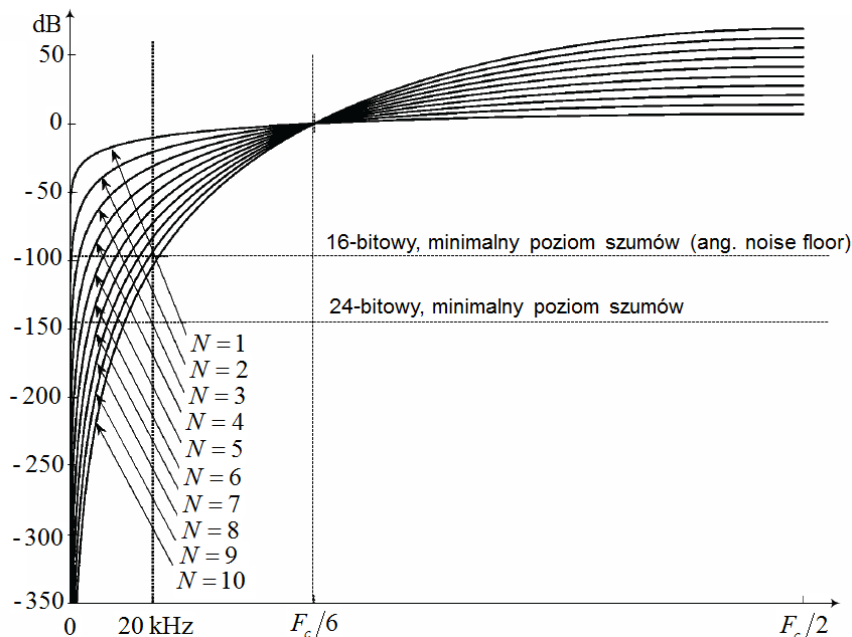
$$NTF(z) = 1 - H(z) = \left(\frac{z-1}{z} \right)^N \quad (3.50)$$

Transmitancja ta zapewnia największe nachylenie charakterystyki amplitudowej w dziedzinie częstotliwości, wnosząc przy tym największe tłumienie szumów kwantyzacji w paśmie podstawowym sygnału.

Podstawiając do równania (3.50): $z = e^{j2\pi(f/F_c)}$, możemy wyznaczyć moduł funkcji transmitancji szumów $NTF(f)$ w dziedzinie częstotliwości, zależnie od rzędu N tej funkcji.

$$NTF(f) = \left[2 \sin \left(\frac{\pi f}{F_c} \right) \right]^N \quad (3.51)$$

Zależności te przedstawiono na rys. 3.12, dla $N = 1, \dots, 10$ [35].



Rys. 3.12. Moduł funkcji transmitancji szumów $NTF(f)$, zależnie od rzędu N tej funkcji [35].

Wszystkie charakterystyki przecinają się w punkcie o współrzędnych $\{f = F_c/6, NTF = 1 (0\text{dB})\}$ tak, że redukcja szumów kwantyzacji występuje tylko dla $f < F_c/6$, natomiast w przedziale częstotliwości $F_c/6 < f < F_c/2$ są one wzmacniane, osiągając wartość maksymalną równą 2^N , dla $f = F_c/2$.

Przeprowadzona analiza pokazuje, że w procesie kształtowania szumów kwantyzacji możemy wpływać na zniekształcenia w paśmie podstawowym, jednak przy założeniu, że w paśmie tym występują tylko harmoniczne sygnału modulującego generowane w skutek odstępstwa modulacji LPWM od NPWM, natomiast nie występują żadne intermodulacyjne składowe widma (prążki boczne) dzięki zastosowaniu dostatecznie wysokiej częstotliwości kluczowania.

Transmitancję filtra $H(z)$ możemy wyznaczyć na podstawie optymalnej funkcji transmitancji szumów $NTF(z)$ (równanie 3.50). Rozważmy dwa przykłady, gdy funkcja ta jest 5-tego lub 8-go rzędu, co zgodnie z charakterystykami na rys. 3.12, zapewnia tłumienie

szumów kwantyzacji NTF_α w paśmie podstawowym o szerokości 20 kHz, co najmniej na poziomie , odpowiednio: -60 dB lub -90 dB.

a). Funkcja $NTF_5(z)$ 5-tego rzędu:

$$NTF_5(z) = 1 - H_5(z) = \left(\frac{z-1}{z}\right)^5 = a_0 + a_1z^{-1} + a_2z^{-2} + a_3z^{-3} + a_4z^{-4} + a_5z^{-5} \quad (3.52)$$

Z porównania współczynników wielomianów po obu stronach równania (3.52), otrzymujemy:

$$a_0 = 1, \quad a_1 = -5, \quad a_2 = 10, \quad a_3 = -10, \quad a_4 = 5, \quad a_5 = -1 \quad (3.52a)$$

b). Funkcja $NTF_8(z)$ 8-go rzędu:

$$NTF_8(z) = 1 - H_8(z) = \left(\frac{z-1}{z}\right)^9 = a_0 + a_1z^{-1} + a_2z^{-2} + a_3z^{-3} + a_4z^{-4} + a_5z^{-5} + a_6z^{-6} + a_7z^{-7} + a_8z^{-8} \quad (3.53)$$

Z porównania współczynników wielomianów po obu stronach równania (3.53), otrzymujemy:

$$a_0 = 1, \quad a_1 = -8, \quad a_2 = 28, \quad a_3 = -56, \quad a_4 = 70, \quad a_5 = -56, \quad a_6 = 28, \quad a_7 = -8, \quad a_8 = -1 \quad (3.53a)$$

Z zależności (3.52 i 3.53) możemy również wydzielić transmitancje $H(z)$ rekursywnych filtrów cyfrowych FIR, odpowiednio 5-tego i 8-go rzędu:

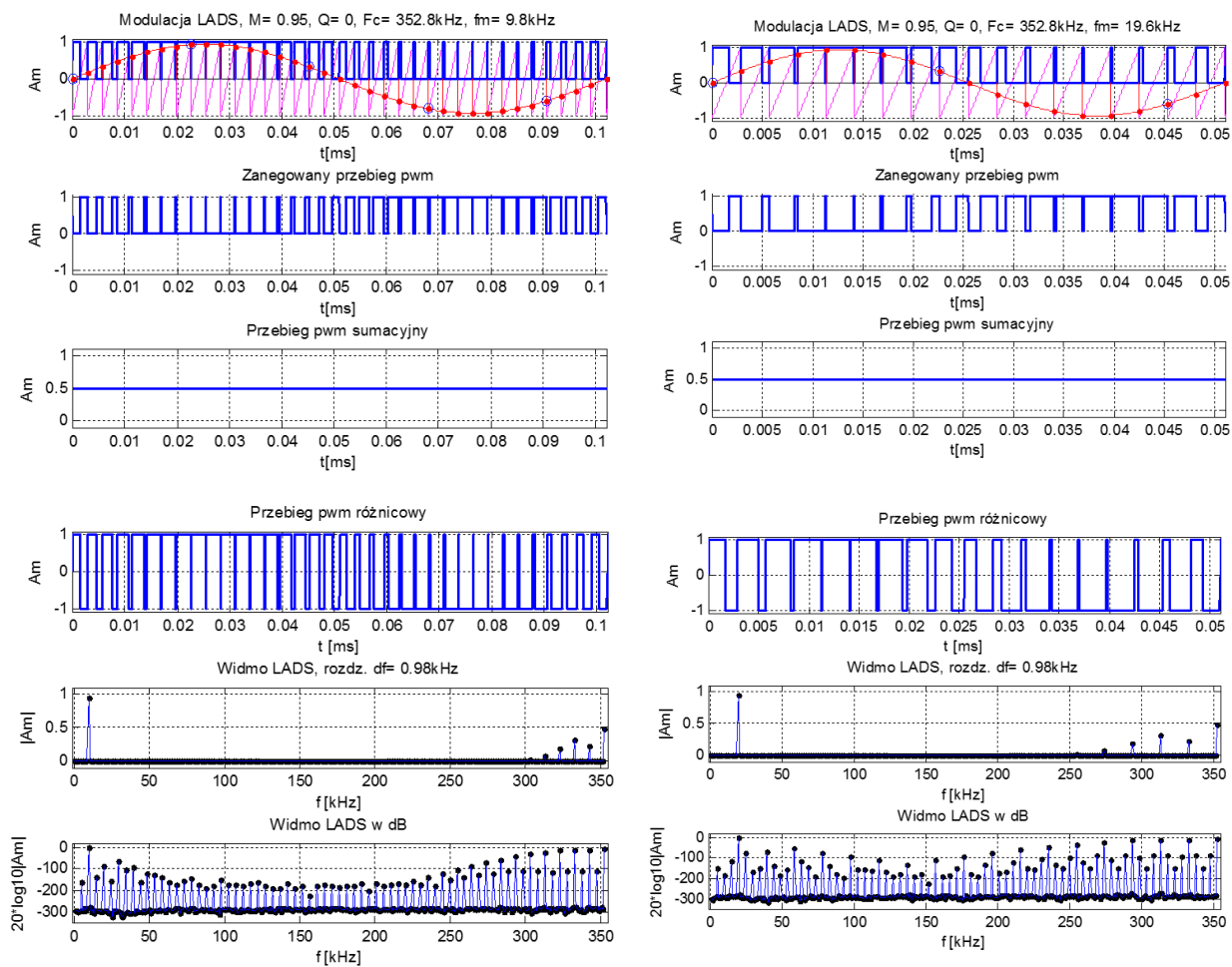
$$H_5(z) = -(a_1z^{-1} + a_2z^{-2} + a_3z^{-3} + a_4z^{-4} + a_5z^{-5}) \quad (3.54)$$

$$H_8(z) = -(a_1z^{-1} + a_2z^{-2} + a_3z^{-3} + a_4z^{-4} + a_5z^{-5} + a_6z^{-6} + a_7z^{-7} + a_8z^{-8}) \quad (3.55)$$

3.2. Analiza spektralna sygnałów z modulacją LPWM w programie Matlab®.

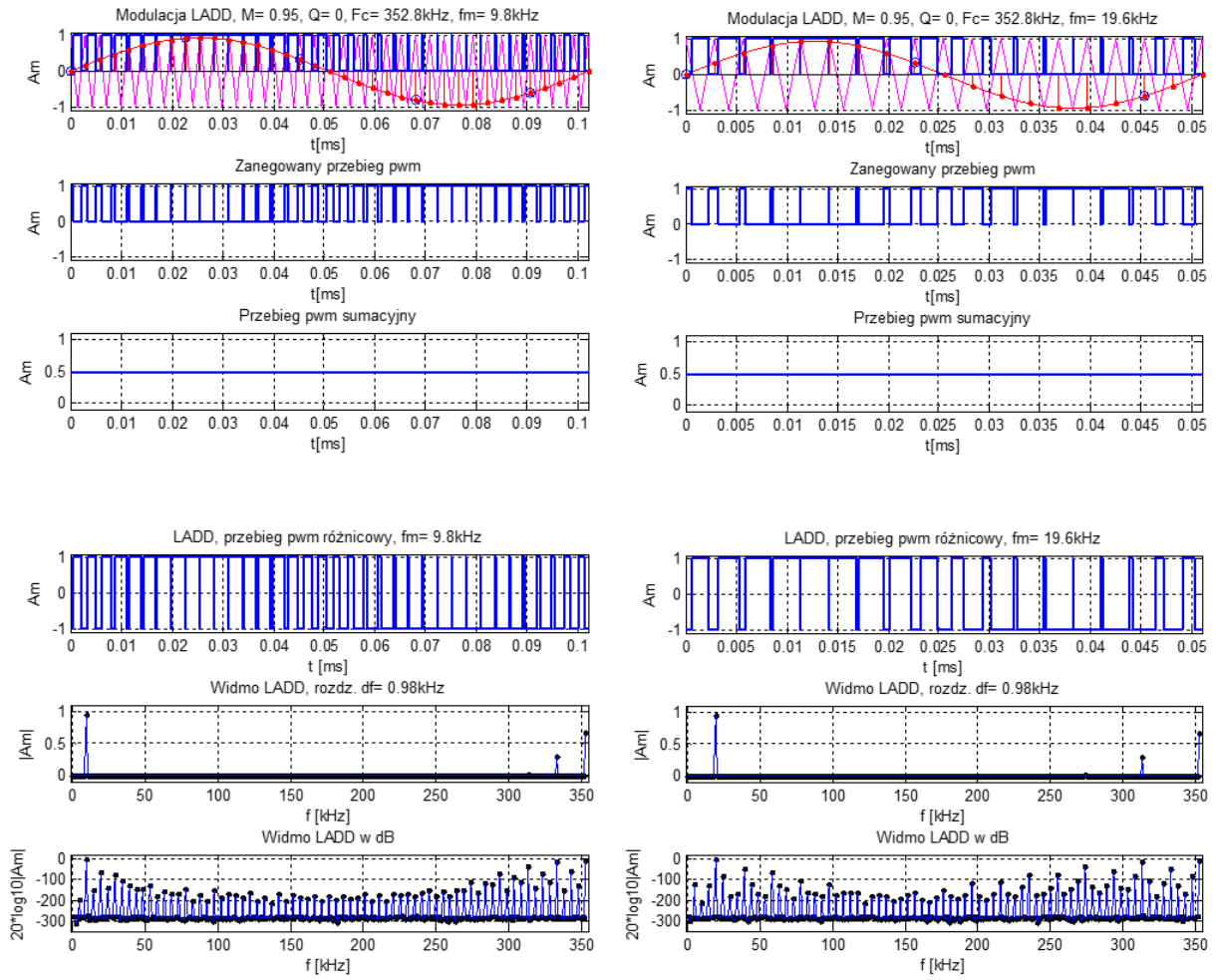
Na rys. 3.13 ÷ 3.16 przedstawiono wyniki symulacji w programie Matlab® (kody programu w dodatku A.4) widm częstotliwościowych wszystkich czterech rodzajów linearyzowanych modulacji: LADS, LADD, LBDS i LBDD. Dla każdej z tych modulacji, na kolejnych rysunkach przedstawiono pary przebiegów czasowych sygnałów różnicowych i sumacyjnych oraz ich widma częstotliwościowe, odpowiednio dla częstotliwości sygnału modulującego $f_m = 9,8$ kHz i $f_m = 19,8$ kHz, przy: $Q = 0$; $F_c = 352,8$ kHz; $M = 0,95$, z rozdzielczością $df = 0,98$ kHz.

Modulacja LADS



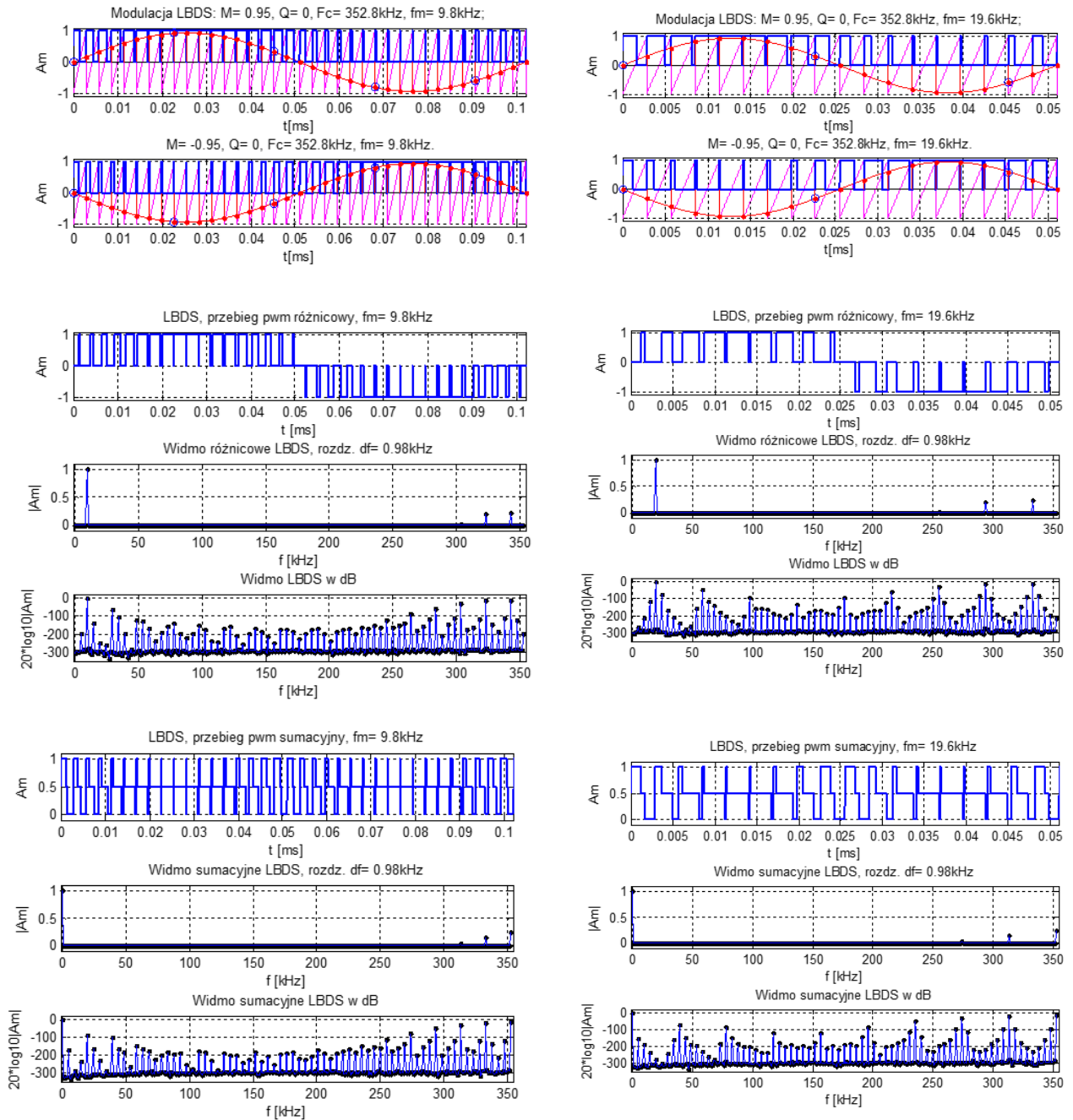
Rys. 3.13. Przebiegi czasowe i widmo sygnału różnicowego DM przy modulacji LADS dla: $f_m = 9,8 \text{ kHz}$; $f_m = 19,8, \text{ kHz}$; $F_c = 352,8 \text{ kHz}$

Modulacja LADD



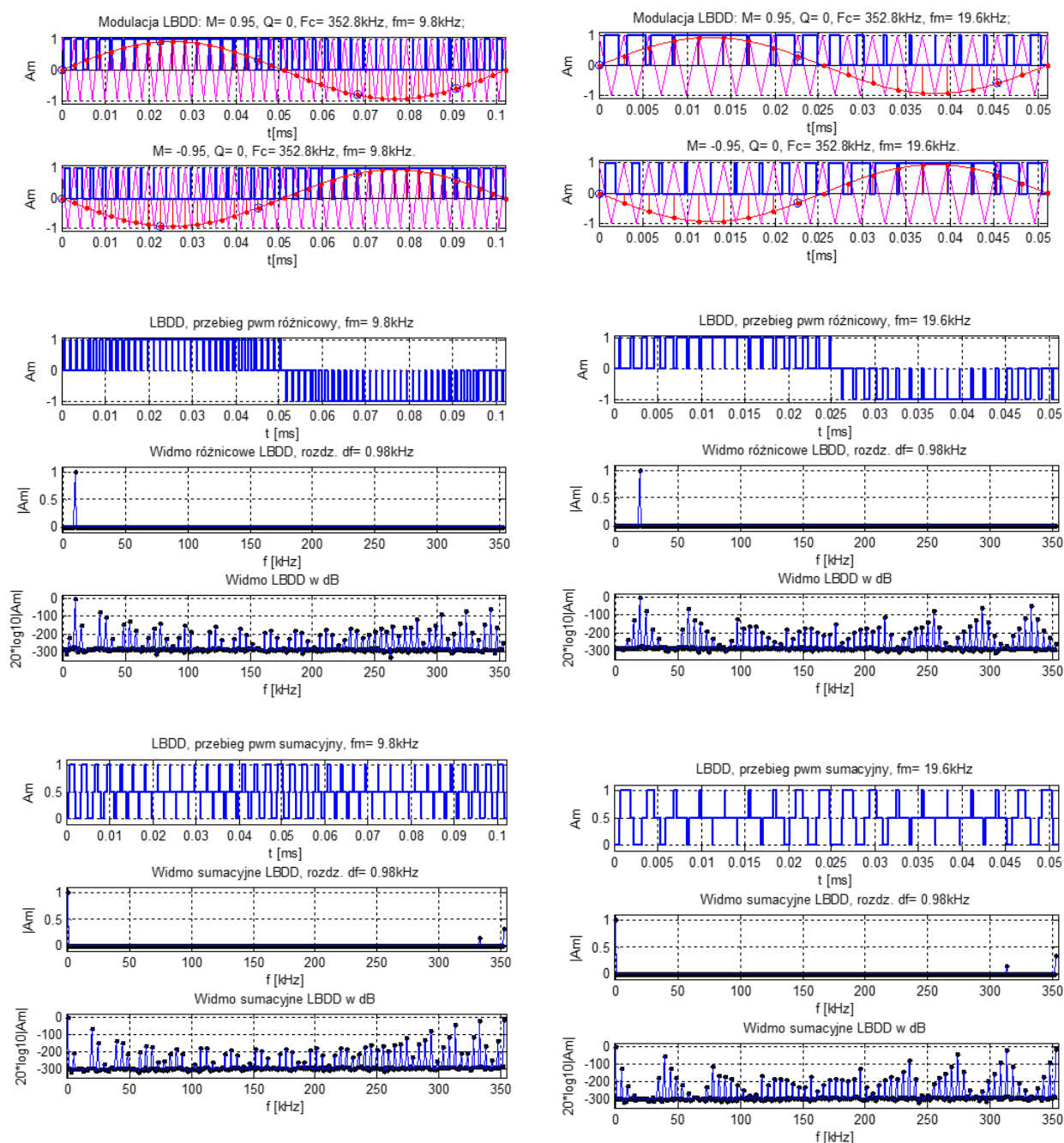
Rys. 3.14. Przebiegi czasowe i widmo sygnału różnicowego DM przy modulacji LADD dla: $f_m = 9,8\text{kHz}$; $f_m = 19,8,\text{kHz}$; $F_c = 352,8\text{ kHz}$

Modulacja LBDS



Rys. 3.15. Przebiegi czasowe i widmo sygnału różnicowego DM i sumacyjnego CM przy modulacji LBDS dla: $f_m=9,8\text{kHz}$; $f_m=19,8\text{kHz}$; $F_c=352,8\text{kHz}$

Modulacja LBDD



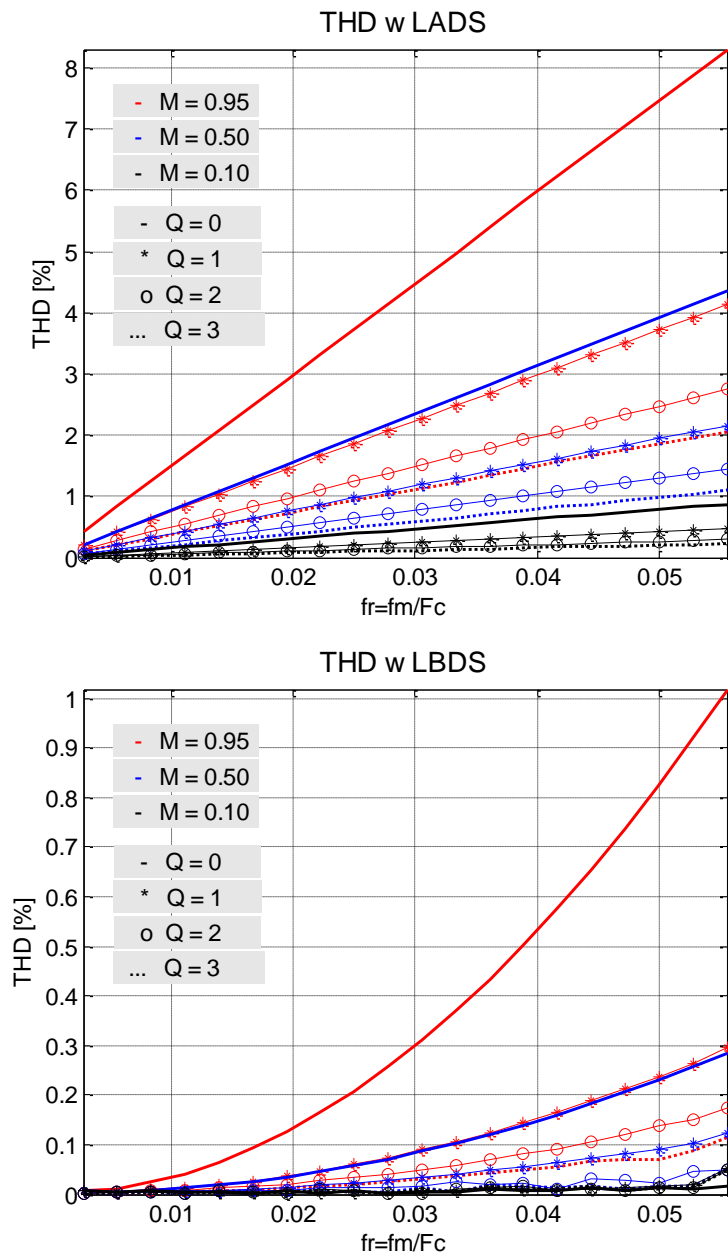
Rys. 3.16. Przebiegi czasowe i widmo sygnału różnicowego DM i sumacyjnego CM przy modulacji LBDD dla: $f_m = 9,8\text{kHz}$; $f_m = 19,8,\text{kHz}$; $F_c = 352,8\text{ kHz}$

3.3. Współczynniki zawartości harmonicznych THD. Porównanie cyfrowych modulacji LPWM z naturalnymi modulacjami NPWM.

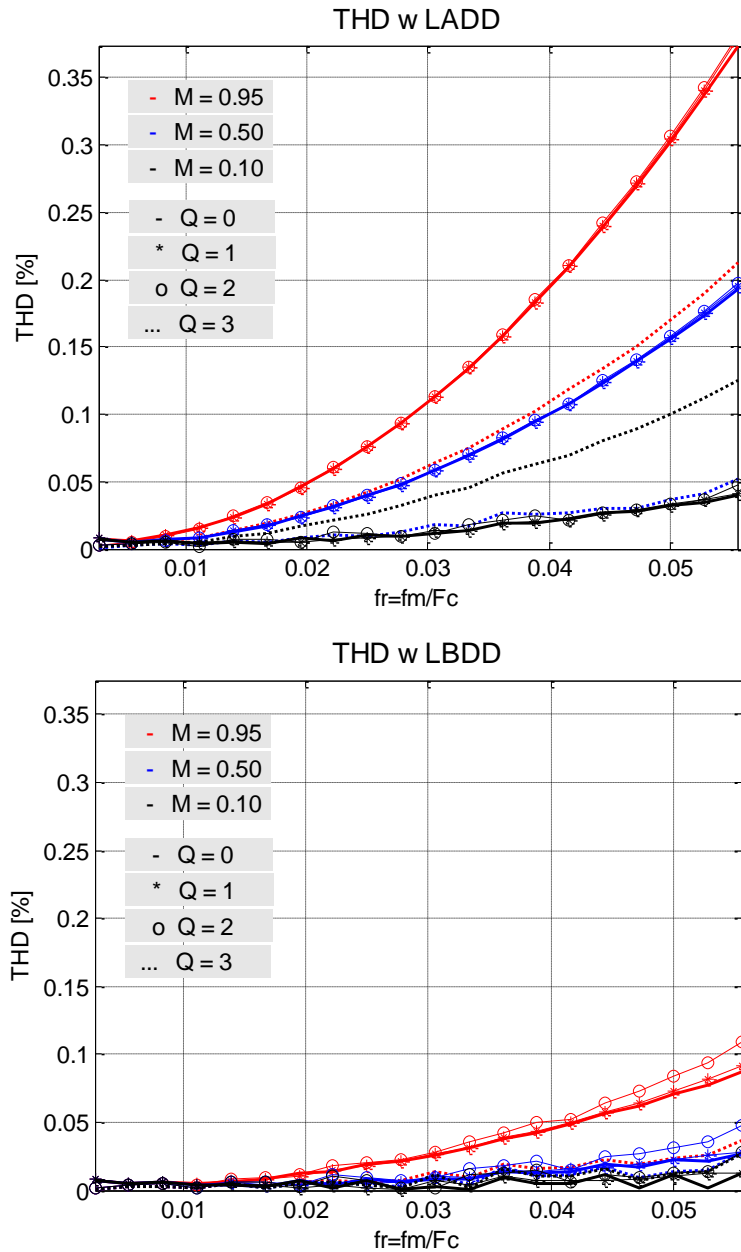
Występujące w sygnale zmodulowanym LPWM wyższe harmoniczne sygnału modulującego, których amplitudy i fazy zależą od stosunku częstotliwości f_m/F_c , ilości Q wprowadzonych dodatkowych próbek w drugiej interpolacji, a także wartości indeksu modulacji M , są źródłem zniekształceń tego sygnału.

W celu porównanie wszystkich czterech linearyzowanych modułacji LPWM, dla każdej z nich wyznaczono rodziny charakterystyk współczynników zniekształceń nieliniowych THD sygnału różnicowego DM po demodulacji, jako stosunek średniokwadratowej wartości składowych widma zawartych w paśmie podstawowym w zakresie do 50 kHz do harmonicznej podstawowej sygnału modulującego. Zależności współczynników THD w funkcji częstotliwości f_m/F_c zostały wyznaczone każdorazowo na podstawie pełnej analizy spektralnej sygnałów na wyjściach różnicowych DM rozważanych modułacji LPWM, dla zadanego zestawu parametrów: f_m/F_c ; Q ; M .

Na rys.3.17 przedstawiono wyniki symulacji współczynników THD dla modułacji jednobrzegowych LADS i LBDS, a na rys. 3.18 dla modułacji dwubrzegowych LADD i LBDD.



Rys. 3.17. Zniekształcenia nieliniowe dla jednobrzegowych modułacji LADS oraz LBDS.



Rys.3.18. Zniekształcenia nieliniowe dla dwubrzgowych modulacji LADD oraz LBDD.

Charakterystyki THD zostały wyznaczone w funkcji stosunku częstotliwości f_m / F_c (w 20-tu punktach), dla parametrów: $Q = 0; 1; 2; 3; \dots; 7$ oraz $M = 0,95; 0,5; 0,1$.

Dla $4 \leq Q \leq 7$ charakterystyki $THD = f_m / F_c$ prawie pokrywają się z charakterystykami dla $Q = 3$, dla wszystkich rodzajów modulacji LPWM, i nie zostały naniesione na rysunkach.

Z analizy przedstawionych charakterystyk THD wynika, że modulacja LBDD charakteryzuje się najmniejszymi zniekształceniami nieliniowymi na wyjściu różnicowym w trybie DM (podobnie jak w przypadku naturalnych modulacji NPWM). Wprowadzenie nawet jednej dodatkowej próbki w drugiej interpolacji ($Q = 1$) zapewnia $THD < 0,05\%$ w paśmie podstawowym ($f_m < 20 \text{ kHz}$, przy $F_c = 352,8$) i maksymalnej wartości indeksu modulacji M , tak że praktycznie, nie ma potrzeby przy modulacji LBDD stosowanie w drugiej interpolacji. większej liczby dodatkowych próbek niż $Q = 1$.

Rozdział 4

4. Hybrydowe konwertery cyfrowo-czasowe DTC w cyfrowych modulatorach LPWM dla akustycznych wzmacniaczy klasy D.

4.1. Metody kwantyzacji cyfrowo-czasowej DTC stosowane w cyfrowych modulatorach DPWM.

Po obliczeniu początku $t_p(n)$ i końca $t_k(n)$ czasu trwania impulsu LPWM w n -tym okresie kluczowania oraz rekwantyzacji, czyli redukcji rozdzielczości bitowej obliczonych wartości z N_q do N_{rq} , należy fizycznie wygenerować przebieg impulsowy o szerokości τ_{PW} , który steruje tranzystorami stopnia końcowego wzmacniacza klasy D:

$$\tau_{PW} = t_k(n) - t_p(n) \quad (4.1)$$

4.1.1. Kwantyzacja cyfrowo-czasowa oparta na metodzie licznikowej.

Najbardziej znaną metodą wyznaczania szerokości impulsu przy modulacjach cyfrowych DPWM jest metoda licznikowa oparta na liczniku i cyfrowym układzie porównującym [53+59], [61, 62]. Przy modulacji jednobrzęgowej, licznik zliczający w naturalnym kodzie wprzód lub wstecz impulsy zegara o częstotliwości:

$$F_{CLK}(N_{rq}) = F_c \times 2^{N_{rq}} = K f_s \times 2^{N_{rq}} \quad (4.2)$$

gdzie: N_{rq} - rozdzielczość bitowa obliczonych wartości, a częstotliwość kluczowania F_c jest wynikiem K -krotnego zwiększenia częstotliwości próbkowania f_s w pierwszej interpolacji, pełni rolę kwantyzatora czasowego o narastającej lub opadającej charakterystyce schodkowej, odpowiadającej przebiegowi piłokształtnemu lub trójkątnemu przy modulacjach analogowych. Jak pokazano na rys. 4.1, przy modulacji jednobrzęgowej LADS szerokość impulsu τ_{PW} w każdym n -tym okresie kluczowania T_c jest wynikiem porównania obliczonej wartości końca czasu trwania impulsu $t_k(n-1)$ w $(n-1)$ -ym okresie kluczowania T_c ze stanem licznika zliczającego w naturalnym kodzie wprzód impulsy zegara o częstotliwości określonej zależnością (4.2).

Maksymalna szerokość impulsu $\tau_{PW \max}$ wystąpi przy maksymalnym stanie 11..1 licznika:

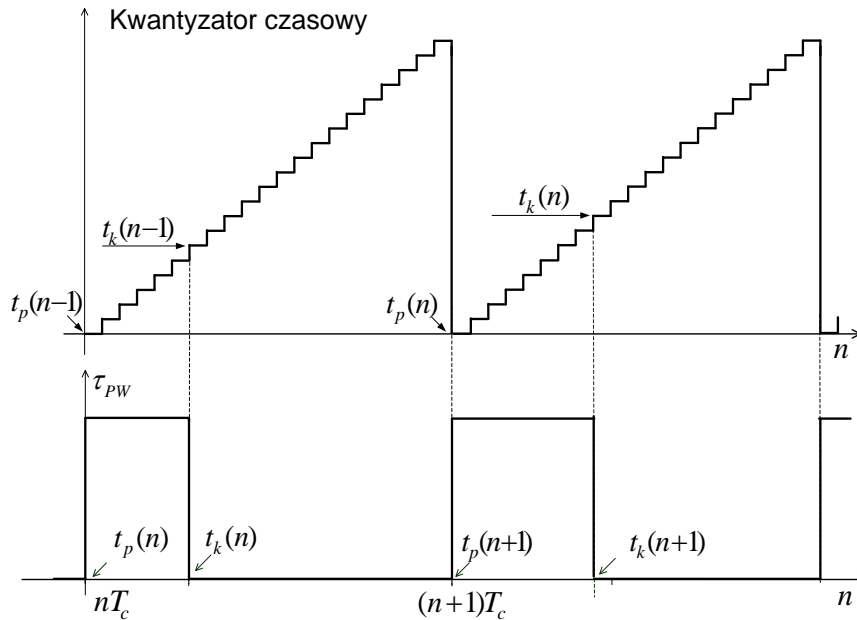
$$\tau_{PW \max} = T_c = N T_{CLK}, \text{ gdzie: } N = (2^{N_{rq}} - 1), \quad (4.3)$$

zapewniając minimalną rozdzielczość czasową wygenerowanego impulsu:

$$\frac{\Delta t_{\min}}{T_c} = \frac{T_{CLK}}{T_c} = \frac{1/F_{CLK}}{T_c} = \frac{1}{N} \quad (4.4)$$

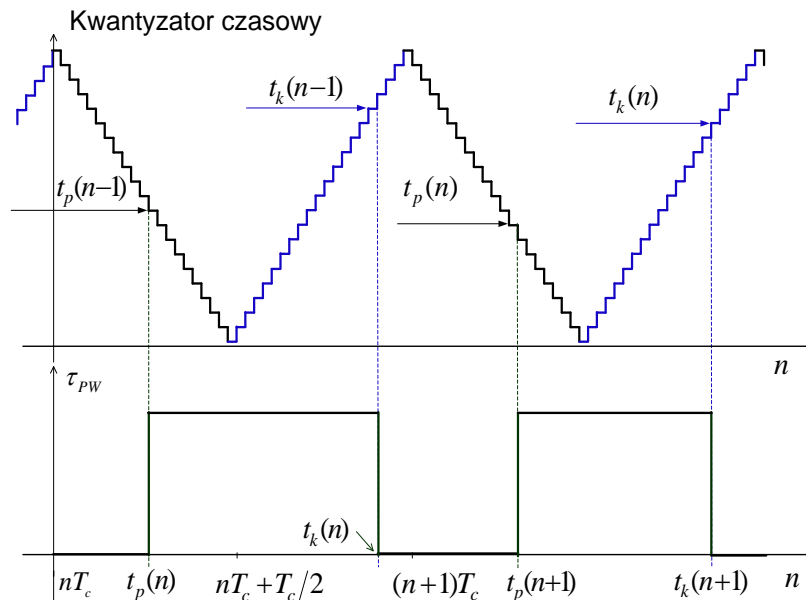
Ponieważ w akustycznych wzmacniaczach klasy D stosowana jest dość wysoka częstotliwość kluczowania F_c , dlatego w bieżącym, n -tym okresie kluczowania, obliczana jest wartość końca czasu trwania impulsu $t_k(n)$ (oraz rekwantyzacja szumów), natomiast

układ wyznaczania szerokości impulsu przetwarza wartość końca czasu trwania $t_k(n-1)$ impulsu z poprzedniego, czyli $(n-1)$ -go okresu kluczenia T_c . Takie rozwiązanie wprowadza wprawdzie niewielkie opóźnienie wygenerowanego ciągu impulsów DPWM o czas $t_d = T_c = 1/F_c$, ale pozwala na obliczenie szerokości impulsu i jego fizyczne wygenerowanie w czasie rzeczywistym, dla pełnego zakresu indeksu modulacji.



Rys. 4.1. Kwantyzator cyfrowo-czasowy przy modulacji jednobrzęgowej LADS

W podobny sposób można zrealizować kwantyzator czasowy modulatora dwubrzęgowej LADD, wykorzystując w tym celu licznik rewersyjny.



Rys. 4.2. Kwantyzator cyfrowo-czasowy przy modulacji dwubrzęgowej LADD

Jak wyjaśnia rys. 4.2, szerokość impulsu τ_{PW} w każdym n -tym okresie kluczenia T_c jest wynikiem porównania obliczonej wartości początku czasu trwania impulsu $t_p(n-1)$

ze stanem licznika zliczającego wstecz i końca czasu trwania impulsu $t_k(n-1)$ ze stanem licznika zliczającego wprzód.

Przy modulacji dwubrzęgowej częstotliwość zegara F_{CLK} jest dwukrotnie wyższa niż przy modulacji jednobrzęgowej:

$$F_{CLK}(N_{rq}) = F_c \times 2^{N_{rq}+1} \quad (4.5)$$

Również w tym przypadku wystąpi opóźnienie wygenerowanego ciągu impulsów LPWM o czas $t_d = T_c = 1/F_c$, ale dzięki temu, wszystkie algorytmy obliczeniowe mogą być zrealizowane w czasie rzeczywistym dla pełnego zakresu indeksu modulacji $0 \leq M \leq 1$. Należy przy tym nadmienić, że konieczność wyznaczenia zarówno początku, jak i końca czasu trwania impulsu, zwiększa prawie dwukrotnie wymagania dotyczące szybkości obliczeń w czasie rzeczywistym, w porównaniu do modulacji LADS.

Z porównania rys. 4.1 i 4.5 widzimy, że przy równych okresach kluczenia T_c , okres impulsów zegara T_{CLK} przy modulacji LADD jest dwa razy krótszy, zapewniając tym samym dwa razy większą rozdzielczość czasową, równą $T_{CLK}/2$, zarówno przy wyznaczaniu początku $t_p(n)$, jak i końca $t_k(n)$ czasu trwania impulsu. Do przełączania kierunkiem zliczenia licznika rewersyjnego można wykorzystać przerzutnik RS, który ustawiany jest w stan 1 (liczenie wprzód) po zdekodowaniu stanu 00..0 licznika, natomiast w stan 0 (liczenie wstecz), po zdekodowaniu stanu FF..F. Ponieważ przy zliczaniu wstecz i wprzód powtarzają się te same stany licznika, dlatego komparatory cyfrowe, porównujące aktualne stany licznika z obliczonymi, muszą być uaktywniane sygnałem $ENABLE = Q$ przerzutnika sterującego kierunkiem zliczania licznika rewersyjnego.

Metody licznikowe są niezbyt skomplikowane układowo, charakteryzują się idealną liniowością charakterystyki przetwarzania cyfrowej wartości szerokości impulsu na wartość w dziedzinie czasu, jednak ich główną wadą jest konieczność stosowania bardzo wysokich (nieakceptowalnych w praktyce) częstotliwości generatora taktującego kwantyzator, co wiąże się z dużym poborem mocy przez cały układ i z tego powodu, jak pokazano w tabeli 3.1 w rozdz.3, przy rozdzielczościach powyżej 10 bitów, czyste metody licznikowe nie są praktycznie stosowane w akustycznych wzmacniaczach klasy D.

4.1.2. Kwantyzacja cyfrowo-czasowa w oparciu o programowaną linię opóźniającą z odczepami PTDL

Alternatywnym rozwiązaniem kwantyzatora cyfrowo-czasowego stosowanego w cyfrowych modulatorach DPWM, które w przeciwieństwie do metody licznikowej nie wymaga stosowania bardzo wysokich częstotliwości zegara, jest układ zrealizowany w oparciu o linię opóźniającą z odczepami PTDL [53-59].

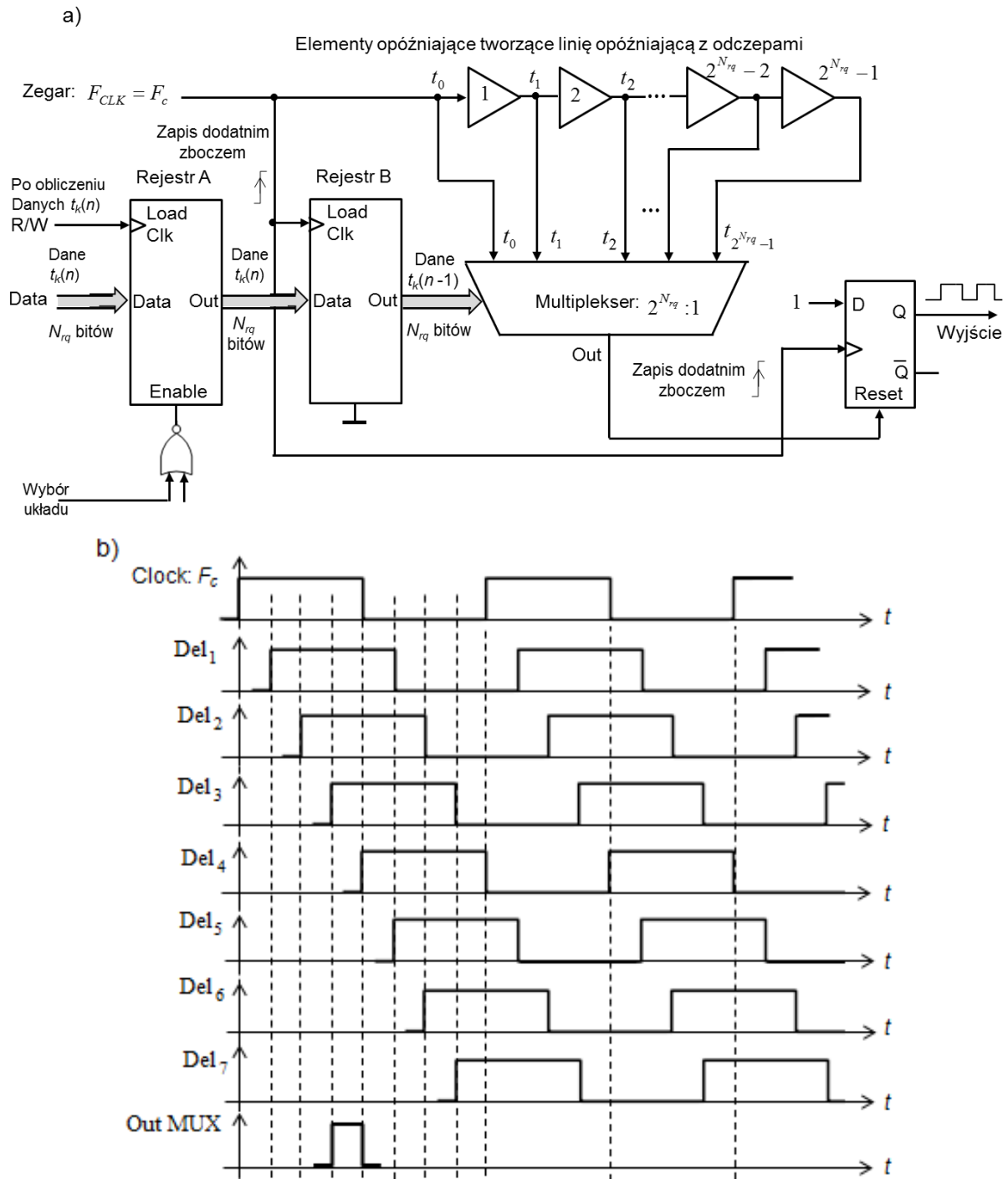
Na rys. 4.3a przedstawiono ogólny schemat blokowy takiego układu, a na rys. 4.3b przebiegi czasowe w układzie, wyjaśniające jego zasadę działania. Najważniejszą właściwością tego układu, wyróżniającą go od modulatora licznikowego, jest niska częstotliwość zegara sterującego, równa częstotliwości kluczenia ($F_{CLK} = F_c$).

Dyskretną charakterystykę schodkową kwantyzatora czasowego, uzyskiwaną w metodzie licznikowej w postaci kolejnych stanów licznika zliczającego wprzód lub wstecz impulsy zegara o dużej częstotliwości, w układzie na rys. 4.3a realizuje się w odmienny sposób, przy pomocy linii opóźniającej z odczepami i dokonaniu wyboru skwantowanej szerokości impulsu, równej opóźnieniu czasowemu impulsu wejściowego na wyselekcjonowanym odczepie linii opóźniającej,

Kaskadowe połączenia $N = (2^{N_{rq}} - 1)$ identycznych komórek opóźniających, z których każda opóźnia przenoszony impuls o czas:

$$t_d = \frac{T_c}{2^{N_{rq}}} \quad (4.6)$$

pozwala na realizację charakterystyki kwantyzatora czasowego o rozdzielczości czasowej równej opóźnieniu pojedynczej komórki.



Rys. 4.3. Implementacja kwantyzatora cyfrowo-czasowego DTC w oparciu o programowaną linię opóźniającą z odczepami PTDL. a). Architektura układu, b). Przebiegi czasowe w układzie.

Na rys. 4.3b przedstawiono przebiegi czasowe na wszystkich odczepach linii opóźniającej utworzonej dla przejrzystości tylko z siedmiu komórek opóźniających. Stan zerowy kwantyzatora czasowego odpowiada wejściu linii opóźniającej, stąd potrzebna liczba komórek opóźniających wynosi $N = (2^{N_{rq}} - 1)$, a nie $N = 2^{N_{rq}}$.

Wyboru skwantowanej szerokości impulsu, równej opóźnieniu czasowemu impulsu wejściowego na wyselekcjonowanym odczepie linii opóźniającej, dokonuje się przy pomocy multipleksera o $2^{N_{rq}}$ wejściach i 1 wyjściu. Wyselekcjonowane wejście multipleksera, w przypadku modulatora jednobrzegowego LADS, adresowane jest obliczoną w poprzednim okresie kluczkowania wartością cyfrową końca czasu trwania $t_k(n-1)$ impulsu DPWM.

Jak widać na rys. 4.3a, zmodulowany przebieg DPWM otrzymujemy na wyjściu Q przerzutnika D wyzwalanego dodatnim zboczem. Synchroniczne przepisanie 1 z wejścia D na wyjście Q dodatnim zboczem impulsu zegara (o okresie kluczkowania T_c) ustawia $Q = 1$ (generowanie początku czasu trwania impulsu DPWM), zaś podanie na wejście asynchroniczne RESET wyselekcjonowanego impulsu z wyjścia multipleksera ustawia $Q = 0$ (generuje koniec czasu trwania impulsu DPWM, praktycznie na samym początku dodatniego zbocza impulsu sterującego).

Dla uzyskania liniowej charakterystyki kwantyzatora konieczne jest, aby każda komórka opóźniająca wносиła taki sam kwant opóźnienia (zależność 4.5) oraz, aby opóźnienia na poszczególnych wejściach multipleksera były identyczne z opóźnieniami na odpowiadających im odczepach linii opóźniającej.

Praktyczna realizacja opisanego modulatora z linią opóźniająca, nawet przy niezbyt wygórowanych wymaganiach dotyczących rozdzielczości czasowej kwantyzatora (wyrażonej rozdzielczością bitową N_{rq}) może być bardzo trudna, a nawet nierealna. Wiąże się to z koniecznością zastosowania bardzo dużej ilości $(2^{b_{rq}} - 1)$ identycznych komórek opóźniających i wiążący się z tym również problem realizacji multipleksera o tak dużej ilości wejść. Duża liczba komórek opóźniających powoduje niesymetrię ich rozmieszczenia względem wejść multipleksera, posiadającego także duże wymiary, w skutek czego każda ścieżka łącząca odczep linii opóźniającej z odpowiadającym mu wejściem multipleksera wprowadza dodatkowe i różne opóźnienie, zależne od jej długości i geometrii, a także wszelkiego rodzaju pojemności pasożytniczych pomiędzy rozważaną ścieżką a innymi elementami układu. Istnieje wiele innych czynników, takich jak: wszelkie niedopasowania powstające w procesach technologicznych przy wytwarzaniu komórek opóźniających, niestałość napięć zasilających, zmiana temperatury pracy układu, niedopasowania pojemności w węzłach wyjściowych komórek, a także niedopasowania prądów przeładunkowych te pojemności, będących przyczyną niejednakowych opóźnień wnoszonych przez poszczególne komórki. Ponadto, przy przenoszeniu przebiegów impulsowych przez elementy opóźniające, realizowanych w postaci różnych modyfikacji bramek CMOS, opóźnienia zboczy narastających i opadających są różne, wskutek czego przenoszony przebieg impulsowy ulega znacznej degradacji, szczególnie przy długim łańcuchu elementów opóźniających (występują nie tylko różne opóźnienia na poszczególnych odczepach linii, ale przebiegi impulsowe różnią się także kształtem). Wszystkie wymienione wyżej czynniki powodują, że charakterystyka kwantyzatora czasowego zawierającego dużą liczbę komórek opóźniających jest nierównomierna (lokalnie może być nawet niemonotoniczna), będąc źródłem zniekształceń przetwarzanego sygnału cyfrowego w postaci wygenerowania impulsu DPWM o szerokości różniące się od wartości obliczonej.

4.2. Hybrydowy konwerter cyfrowo-czasowych DTC w dwubrzegowych modulatorach linearyzowanych LADD.

Hybrydowe modulatory szerokości impulsów DPWM wykorzystują obydwie, wcześniej omówione metody kwantyzacji cyfrowo-czasowej DTC i zostały opisane w wielu pracach [53-59] dotyczących jednobrzegowych modulatorów DPWM.

Każda z obliczonych wartości binarnych początków $t_p(n)$ i końców $t_k(n)$ czasów trwania impulsów zmodulowanych $\tau(n)$, wyrażona w słowie o długości N_{rq} bitów, dzielona jest na dwie części. Pierwsza, zawierająca starsze bity MSB: $d(N_{rq}-1:m)$, przetwarzana jest metodą licznikową, zaś druga, zawierająca młodsze bity LSB: $d(m-1:0)$, przetwarzana jest metodą z linią opóźniającą z odczepami. Ponieważ charakterystyka statyczna kwantyzatora czasowego w metodzie licznikowej jest idealnie liniowa, to podział należy tak dokonać, aby grupa starszych bitów MSB zawierała maksymalną liczbę bitów $(N_{rq}-m)_{\max}$, przy której częstotliwość zegara F_{CLK} jest jeszcze akceptowalna, a która będzie niższa 2^m razy niż w przypadku, gdyby modulator LPWM był realizowany w całości w oparciu o metodę licznikową. Z kolei niewielka liczba m pozostałych młodszych bitów LSB sprawia, że realizacja drugiej części modulatora z linią opóźniającą z odczepami jest prosta, bowiem taki modulator zawiera niezbyt dużą liczbę komórek opóźniających, multiplexer o niewielkiej liczbie wejść, dzięki czemu charakterystyka kwantyzatora czasowego będzie monotoniczna, utworzona prawie z równomiernych schodków.

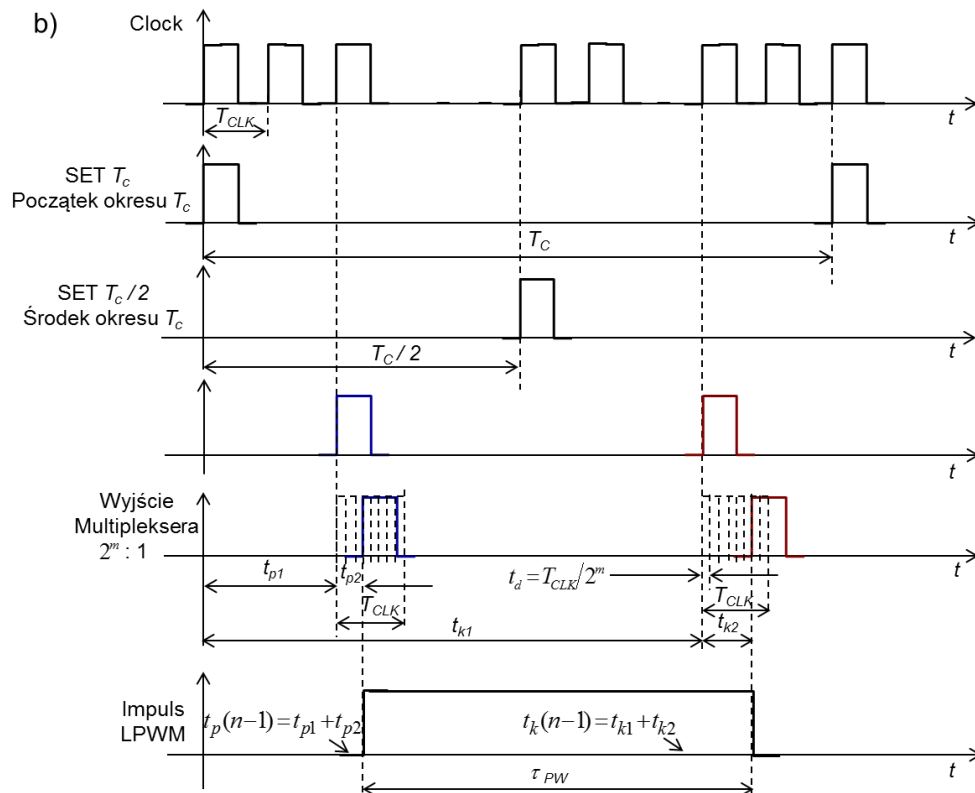
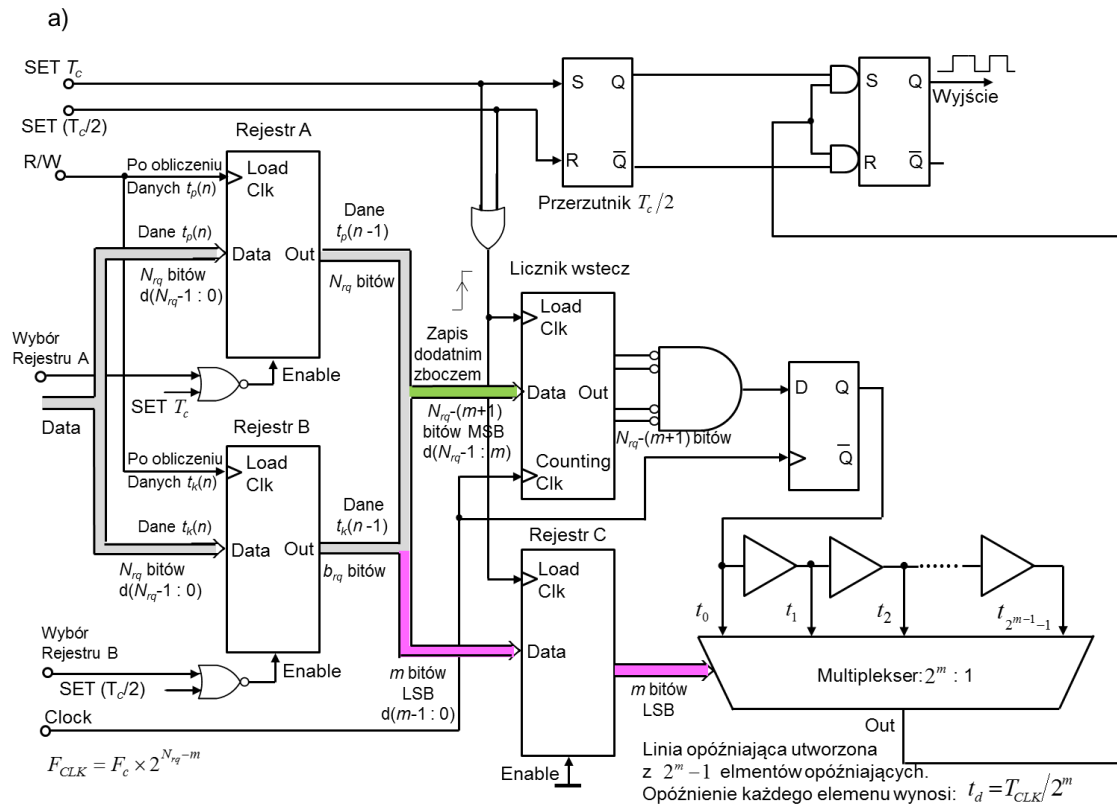
Przykładowo, realizacja modulatora LADD o rozdzielczości $N_{rq}=10$ bitów (przy częstotliwości kluczowania $F_c=384$ kHz) byłaby bardzo trudna przy pomocy samej metody licznikowej, wymagałaby bowiem zastosowania zegara o częstotliwości $F_{CLK}=786,432$ MHz.

Ale realizacja tego modulatora metodą hybrydową, przy przetwarzaniu 6 starszych bitów MSB metodą licznikową i 4 młodsze bity LSB metodą z linią opóźniającą z odczepami, częstotliwość zegara $F_{CLK}=49,152$ MHz, a liczba elementów opóźniających wynosi 16, co pozwala na łatwą implementację takiego modulatora we współczesnych technologiach CMOS.

Na rys. 4.4a przedstawiono architekturę hybrydowego konwertera cyfrowo-czasowego DTC w dwubrzegowych modulatorach linearyzowanych LADD, a na rys. 4.4b - sygnały sterujące i przebiegi czasowe w układzie wyjaśniające jego działanie, przy czym dla przejrzystości rysunku przyjęto, że linia opóźniająca utworzona jest z siedmiu komórek opóźniających. Układ zawiera w sobie bloki funkcjonalne wykorzystywane w obu metodach, które wcześniej były przedstawione i objaśnione na rys. 4.2 i 4.3.

Zmodulowany impuls DPWM generowany jest na wyjściu Q przerzutnika RS, który ustawiany jest w stan $Q=1$ impulsem wyselekcjonowanym przez LSB bity $d(m-1:0)$ czasu początku trwania impulsu $t_p(n-1)$ na wyjściu multiplexera. Linia opóźniająca przenosi impuls generowany na wyjściu dekodera stanu 00..0 licznika zliczającego wstecz, który na samym początku pierwszej połowy okresu T_c został załadowany do cyfrowej wartości początku czasu trwania impulsu $t_p(n-1)$, określonej przez MSB $d(b_{rq}-1:m)$. Generacja początku czasu trwania impulsu DPWM następuje po sumarycznym czasie: $t_p(n-1)=t_{p1}+t_{p2}$. Podobnie generowany jest koniec czasu trwania impulsu DPWM: $t_k(n-1)=t_{k1}+t_{k2}$. Przerzutnik RS ustawiany jest w stan $Q=0$ impulsem wyselekcjonowanym przez LSB $d(m-1:0)$ czasu końca impulsu $t_k(n-1)$ na wyjściu multiplexera. Linia opóźniająca przenosi impuls generowany na wyjściu dekodera stanu 00..0 licznika zliczającego wstecz, który na samym początku drugiej połowy okresu T_c został

załadowany do cyfrowej wartości czasu końca impulsu $t_k(n-1)$, określonej przez starsze bity $d(b_{rq}-1:m)$.



Rys. 4.4. Hybrydowy konwerter cyfrowo-czasowy DTC w dwubrzgowych modulatorach linearyzowanych LADD. a). Architektura układu, b). Przebiegi czasowe sterujące układem.

Czas trwania impulsu na wyjściu dekodera wynosi $T_{CLK}/2$ i taki impuls z wyjścia dekodera stanu 00..0 jest przenoszony przez linię opóźniającą w każdym półokresie kluczowania T_c .

W celu rozróżnienia pierwszej i drugiej połowy okresu T_c służy przerzutnik R-ST $_c/2$ (ustawiany w stan 1 sygnałem SET T_c , a w stan 0 – sygnałem SET $T_c/2$), którego wyjścia Q i \bar{Q} bramkują odpowiednio sygnał ustawiający S i zerujący R przerzutnika wyjściowego.

4.3. Projekt hybrydowego konwertera cyfrowo-czasowego DTC w dwubrzegowych modulatorach linearyzowanych LADD z pętlą synchronizacji opóźnienia DLL

Zdecydowanie bardziej liniową charakterystykę kwantyzatora czasowego, ze znacznie większą równomiernością schodków, można uzyskać przez zastąpienie linii opóźniającej działającej w systemie bez sprzężenia zwrotnego, jak w przedstawionym układzie na rys. 4.4a, układem ze sprzężeniem zwrotnym w postaci pętli synchronizacji opóźnienia DLL (*Delay-Locked Loop*). W kwantyzatorze czasowym, zbudowanym w oparciu o pętlę synchronizacji DLL, sumaryczne opóźnienie wnoszone przez kaskadę $2^{N_{rq}}$ komórek o regulowanym opóźnieniu (a nie $2^{N_{rq}} - 1$, jak z linią opóźniającą bez sprzężenia zwrotnego) jest równe okresowi kluczowania T_c . Na wyjściu pętli DLL otrzymujemy przebieg zegara opóźniony dokładnie o 1 okres, a ujemne sprzężenie zwrotne w pętli utrzymuje zgodność faz przebiegów zegara na wejściu i wyjściu pętli. Dzięki temu kwant opóźnienia pojedynczej komórki opóźniającej jest stabilizowany i nie zmienia się wraz ze zmianami czynników destabilizujących, wymienionych wcześniej w porożdz.4.1.2.

Przy budowie kwantyzatorów o niewielkich rozdzielczościach bitowych, znajdujących praktyczne zastosowanie w modulatorach hybrydowych, ze względu na stosunkowo małą ilość komórek opóźniających tworzących linię opóźniającą, pojedyncza komórka może być nieco bardziej rozbudowana. W szczególności w komórce takiej można wprowadzić zgrubną i dokładną regulację czasów opóźnienia, stabilizować opóźnienie zbocza narastającego i opadającego zegara w każdej komórce [50-52], co zapobiega deformacjom przebiegu czasowego zegara na wszystkich odczepach linii opóźniającej. Kwantyzator czasowy zbudowany w oparciu o takie komórki, przy niezbyt dużych rozdzielczościach bitowych, posiada wystarczającą dla celów praktycznych liniową charakterystykę przetwarzania cyfrowej wartości szerokości impulsu na fizycznie wygenerowaną szerokość impulsu DPWM (równomierna charakterystyka schodkowa).

Wykorzystując opisane wyżej koncepcje hybrydowych modulatorów, opracowano najbardziej złożony modulator dla wzmacniacza klasy BD częstotliwości akustycznych z dwubrzegową, różnicową modulacją cyfrową LBDD [47, 48], [50, 51].

W porównaniu do opisanych wcześniej modulatorów dla wzmacniaczy w klasie AD, modulator taki jest najtrudniejszy do realizacji w czasie rzeczywistym, zarówno ze względu na wymagania dotyczące nakładów obliczeniowych dla wyznaczenia początków i końców czasów trwania impulsów DPWM, jak i jego sprzętowej implementacji. Wiąże się to z koniecznością wygenerowania oddzielnych dwóch przebiegów zmodulowanych LADD sterujących lewą i prawą gałęzią mostka H stopnia końcowego wzmacniacza klasy BD, odpowiednio dla prostego i odwróconego w fazie o 180° sygnału modulującego.

W celu złagodzenia wymagań dotyczących realizacji w czasie rzeczywistym cyfrowego modulatora dla wzmacniacza klasy BD z optymalną, dwubrzegową modulacją różnicową LBDD można obniżyć częstotliwość kluczowania F_c , bowiem widmo częstotliwościowe sygnału zmodulowanego przy tej modulacji nie zawiera składowych nieparzystych częstotliwości kluczowania i ich prążków bocznych, co jest równoważne podwojeniu częstotliwości próbkowania.

Implementacja hybrydowego modulatora z cyfrową modulacją LBDD o rozdzielczości 12-bitowej z częstotliwością kluczowania $F_c = 176,4$ kHz wymaga zastosowania zegara o częstotliwości $F_{CLK} = 80$ MHz, przy przetwarzaniu 9-MSB bitów metodą licznikową i 3-LSB bity metodą wykorzystującą linię opóźniającą lub zegara o częstotliwości $F_{CLK} = 40$ MHz, przy przetwarzaniu 8-MSB bitów metodą licznikową i 4-LSB bity metodą wykorzystującą linię opóźniającą.

W projekcie przyjęto częstotliwość kluczowania równą pięciokrotnej wartości częstotliwości próbkowania sygnału analogowego, tj. $F_c = 5 \times f_s = 5 \times 44,1$ kHz = 220,5 kHz, co w procesie interpolacji wymaga pięciokrotnego nadpróbkowania wejściowego sygnału PCM.

Dla tej częstotliwości kluczowania $F_c = 220,5$ kHz został opracowany modulator hybrydowy z cyfrową modulacją LBDD o rozdzielczości 12-bitowej, przetwarzający 8-MSB bitów metodą licznikową i 4-LSB bity metodą wykorzystującą linię opóźniającą. Przy takiej implementacji modulatora, wymagana częstotliwość zegara wynosi $F_{CLK} = 56,2275$ MHz.

W celu zwiększenia dokładności 4-bitowego kwantyzatora z linią opóźniającą, zastosowano układ z pętlą synchronizacji opóźnienia DLL, przy czym ta sama pętla DLL została wykorzystana w obydwu modulatorach sterujących lewą i prawą gałęzią mostka H stopnia końcowego wzmacniacza, ale dwoma, niezależnie programowanymi multiplekserami selekcjonującymi impulsy wyjściowe. Dla zapewnienia liniowości charakterystyki kwantyzatora z linią opóźniającą zastosowano analogową pętlę DLL z podwójną, tj. zgrubną i dokładną regulacją opóźnienia. Linia opóźniająca składa się z 16 identycznych segmentów, utworzonych przez pojedyncze elementy opóźniające o zgrubnym i dokładnym opóźnieniu, sterowane przez dwie niezależne pętle sprzężenia zwrotnego. Ponadto w każdej pętli sprzężenia zwrotnego, tj. zarówno sterowania zgrubnego jak i dokładnego, zastosowano niezależną synchronizację zboczy narastających i opadających przenoszonych impulsów przez linię opóźniającą.

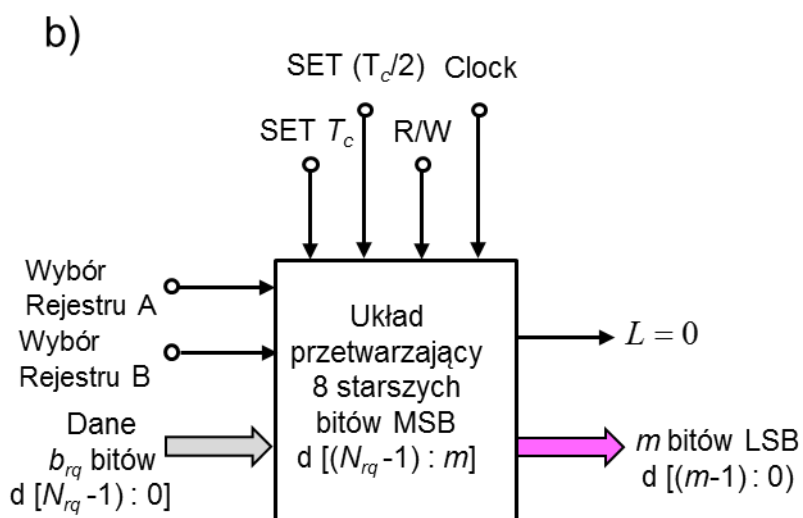
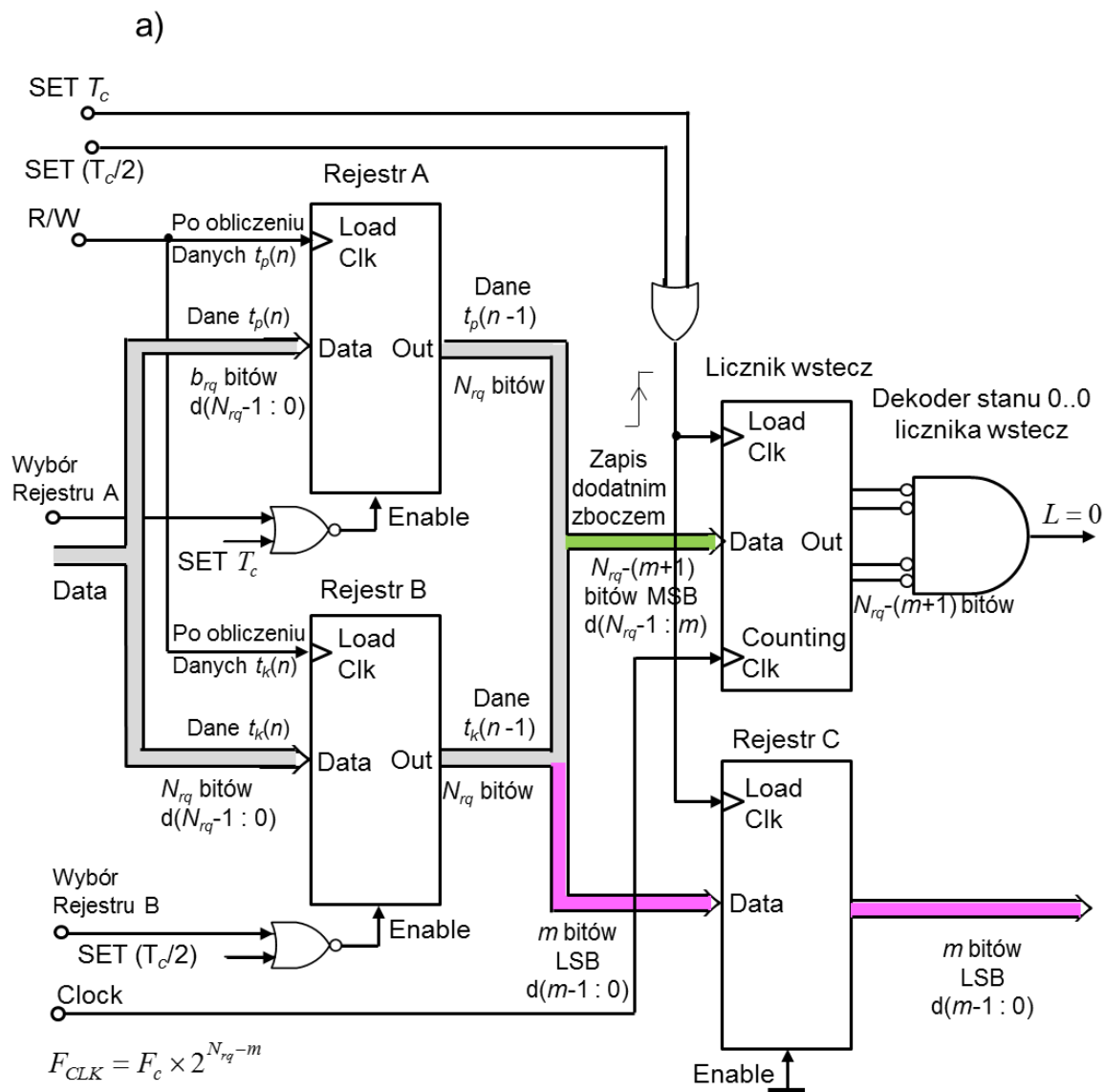
W stanie synchronizacji, pętla DLL utrzymuje stałe opóźnienie pomiędzy impulsami na jej wejściu i wyjściu, równe jednemu okresowi $T_{CLK} = 1 / F_{CLK} = 1 / 56,2275$ MHz = 17,7849 nsec. Przy szesnastu identycznych elementach opóźniających, wymagane średnie opóźnienie, przypadające na jeden element, wynosi $t_d = 17,7849 / 16 = 1,1115$ nsec.

Przetwarzanie ośmiu starszych bitów MSB metodą licznikową, oddzielnie dla lewej i prawej gałęzi mostka H stopnia końcowego, dokonywane jest w identyczny sposób, jak we wcześniej opisanym hybrydowym konwerterze cyfrowo-czasowych DTC w podrozdz. 4.2, przy częstotliwości zegara $F_{CLK} = 56,2275$ MHz. Architektura tej części układu, wraz z oznaczeniem blokowym układu przedstawiono na rys.4.5.

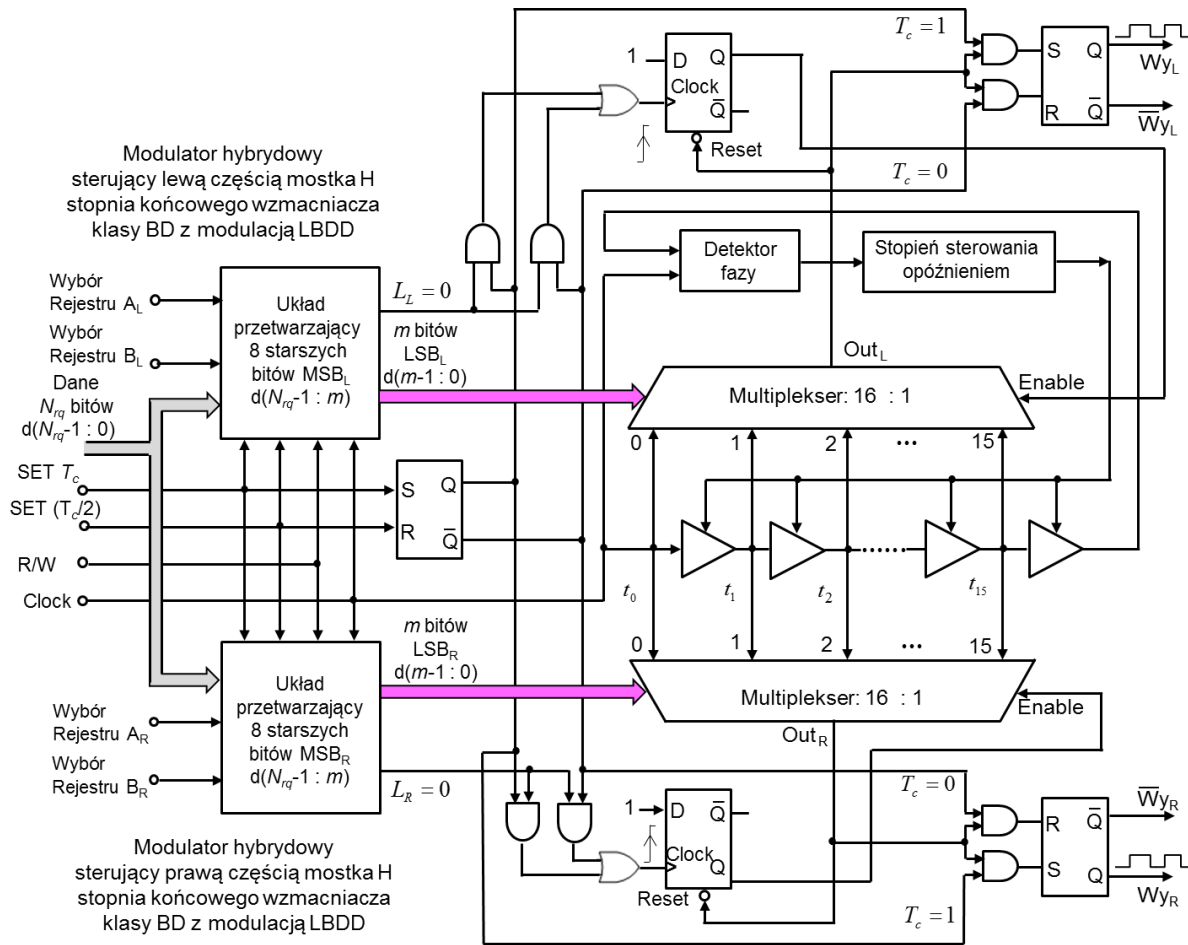
Pełny schemat blokowy opracowanego hybrydowego konwertera cyfrowo-czasowego DTC w dwubrzgowych modulatorach linearyzowanych LADD z pętlą synchronizacji opóźnienia DLL przedstawiono na rys.4.6.

W celu wyjaśnienia zasady generacji początku i końca czasu trwania impulsu w układzie, na rys.4.7 a przedstawiono przebiegi czasowe w jednej gałęzi sterującej modulatora LBDD z rys. 4.6, a na rys. 4.7.b przedstawiono sekwencję przenoszonych impulsów w linii opóźniającej na wejściach multipleksa, gdy sygnał wyboru multipleksa Enable = 1.

W układzie na rys. 4.6 indeksem L oznaczono bloki, wejścia, wyjścia i sygnały wchodzące w skład modulatora sterującego lewą częścią mostka H stopnia końcowego, zaś indeksem R, sterującego prawą częścią tego mostka. Część wspólna, wykorzystywana przez modulatory, sterujące zarówno lewą, jak i prawą część mostka H, zawiera pętlę synchronizacji opóźnienia DLL z linią opóźniającą i przerzutnik RS sterowany impulsami SET T_c oraz SET $T_c / 2$, generujący symetryczny przebieg prostokątny o okresie T_c i współczynniku wypełnienia równym 1/2.



Rys. 4.5. Układ przetwarzający 8 starszych bitów MSB: $d(b_{rq}-1 : m)$;
 a). Architektura układu, b). Oznaczenie blokowe układu.

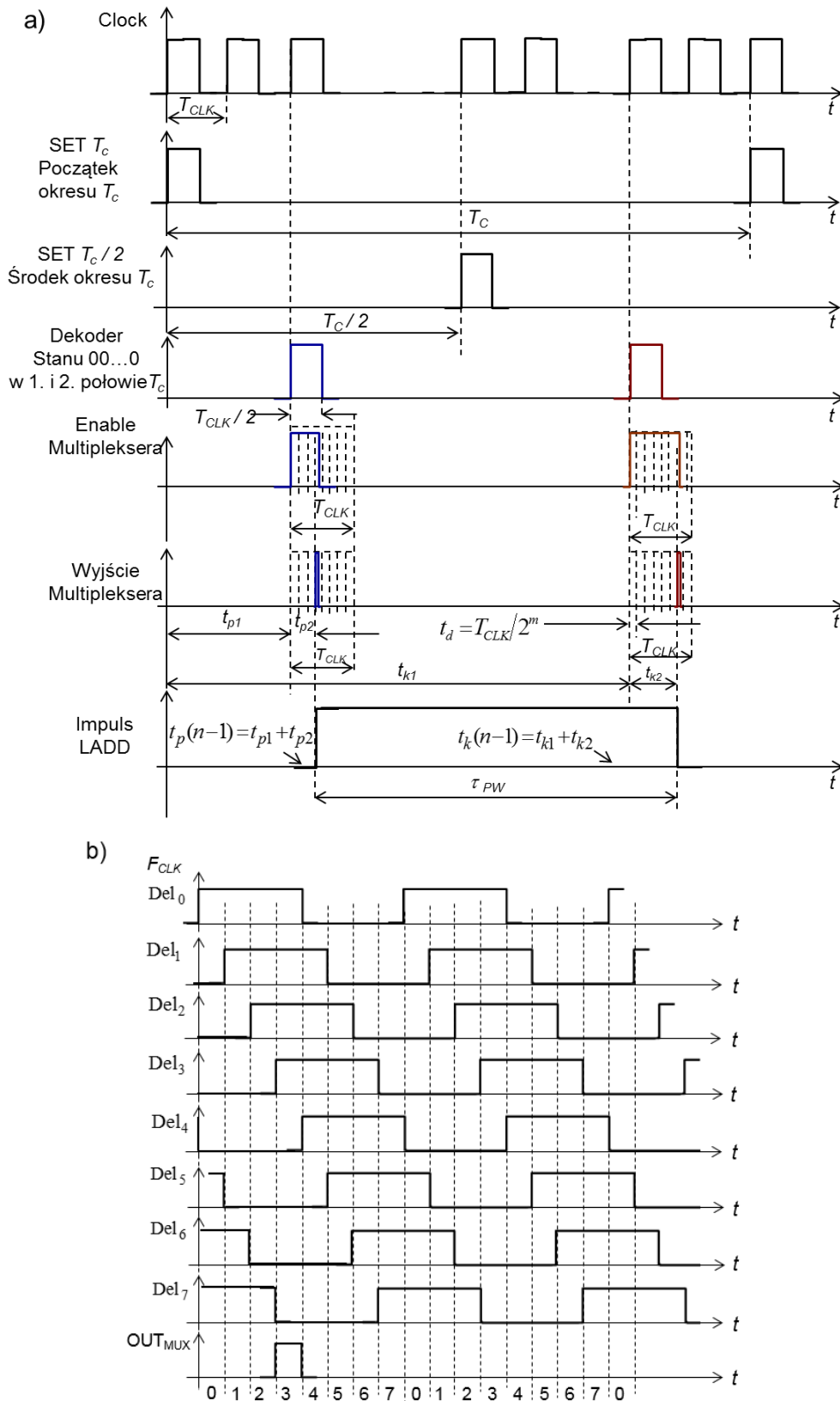


Rys. 4.6. Architektura hybrydowego konwertera cyfrowo-czasowego DTC w dwubrzgowych modulatorach linearyzowanych LADD z pętlą synchronizacji opóźnienia DLL

Zasada generacji początku i końca czasu trwania impulsu DPWM zostanie wyjaśniona w oparciu o przebiegi czasowe w modulatorze sterującym lewą częścią mostka H stopnia końcowego. Pojawiający się impuls, o czasie trwania $T_{CLK}/2$, generowany na wyjściu dekodera stanu 00..0 licznika zliczającego wstecz, który na samym początku pierwszej połowy okresu T_c został naładowany do cyfrowej wartości początku czasu trwania impulsu $t_p(n-1)$ określonej przez starsze bity MSB, narastającym zboczem wpisuje „1” do przerzutnika D, zaś wysoki poziom na wyjściu tego przerzutnika uaktywnia multiplexer (Enable = 1). Na wyjściu multiplexera pojawia się impuls, wyselekcjonowany przez 4 młodsze bity LSB $d(m-1:0)$ początku czasu trwania impulsu $t_p(n-1)$, który ustawia $Q = 1$ wyjściowego przerzutnika RS, pod warunkiem, że półokres kluczowania jest dodatni ($T_c = 1$).

Równocześnie zerowany jest przerzutnik D i multiplexer przestaje być aktywny (Enable = 0). Generacja początku czasu trwania impulsu DPWM następuje po sumarycznym czasie: $t_p(n-1) = t_{p1} + t_{p2}$.

W podobny sposób generowany jest koniec czasu trwania impulsu DPWM..



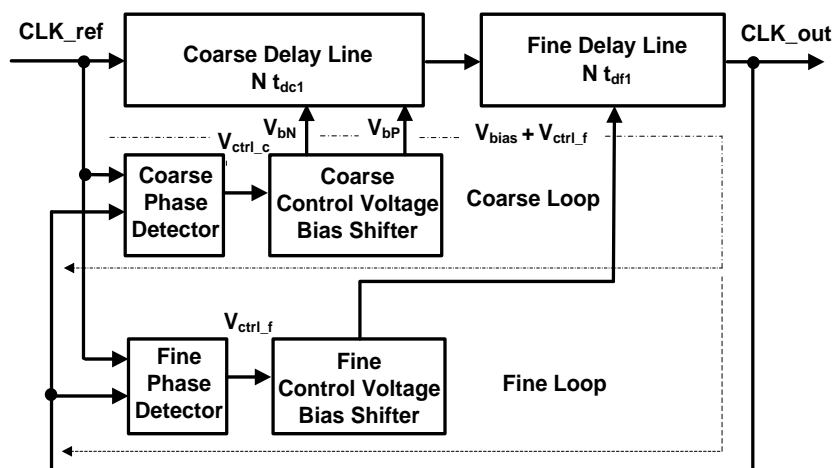
Rys. 4.7. Przebiegi czasowe w jednej gałęzi sterującej hybrydowego modulatora LBDD z rys. 4.6; a). Przebiegi czasowe sterujące układem.; b). Sekwencja przenoszonych impulsów w linii opóźniającej na wejściach multiplexera, przy sygnale wyboru multiplexera, Enable = 1.

Przerzutnik D ustawiany jest w stan $Q = 1$ impulsem generowanym na wyjściu dekodera stanu 00..0 licznika zliczającego wstecz, który na samym początku drugiej połowy okresu T_c

został naładowany do cyfrowej wartości końca czasu trwania impulsu $t_k(n-1)$, określonej przez starsze bity MSB. Następuje uaktywnienie multipleksera, na jego wyjściu pojawia się impuls wyselekcjonowany przez 4 młodsze bity $d(m-1:0)$ cyfrowej wartości końca czasu trwania impulsu $t_p(n-1)$, który ustawia $Q = 0$ wyjściowego przerzutnika RS, pod warunkiem, że półokres kluczowania jest dodatni ($T_c = 0$). Równocześnie zerowany jest przerzutnik D i multiplekszer przestaje być aktywny (Enable = 0). Generacja końca czasu trwania impulsu DPWM następuje po sumarycznym czasie: $t_k(n-1) = t_{k1} + t_{k2}$.

4.3.1. Implementacja pętli synchronizacji opóźnienia DLL ze zgrubnym i precyzyjnym sterowaniem opóźnienia.

Na rys. 4.8 przedstawiono schemat blokowy pętli synchronizacji opóźnienia DLL ze zgrubnym i precyzyjnym sterowaniem opóźnienia. Zawiera dwie linie opóźniające: zgrubną i dokładną, wraz z niezależnymi pętlami ujemnego sprzężenia zwrotnego. W każdej pętli, na wyjściu detektora fazy wytwarzane jest napięcia przestrajające elementy składowe linii opóźniających sterowanych napięciem (VCDL) (*ang. Voltage-Controlled Delay Lines*): zgrubnej lub precyzyjnej (*ang. coarse and fine*), [19]. Całkowite opóźnienie linii opóźniającej jest rozłożone równomiernie na 16 odczepów elementów linii opóźniającej, jednocześnie każdy z nich zawiera zgrubne i precyzyjne elementy VCDL.



Rys. 4.8. Schemat blokowy pętli synchronizacji opóźnienia DLL ze zgrubnym i precyzyjnym sterowaniem opóźnienia

Całkowite opóźnienie linii opóźniającej powinno być równe jednemu okresowi T_{CLK} , co daje 16 równomiernie opóźnionych faz zegara odniesienia na każdym odczepie linii opóźniającej.

$$T_{CLK} = N(t_{dc1} + t_{df1}) \quad (4.7)$$

gdzie: t_{dc1} , t_{df1} są opóźnieniami pojedynczych elementów, odpowiednio zgrubnej i precyzyjnej linii VCDL, $N = 16$ jest liczbą elementów składowych każdej linii VCDL.

Linia opóźniająca przesyła impulsy zegara T_{CLK} , natomiast na wejścia adresowe multipleksersów podawane są 4 młodsze bity LSB $d(3:0)$ obliczonych wartości binarnych początków $t_p(n-1)$ i końców $t_k(n-1)$ czasów trwania impulsów zmodulowanych

$\tau(n-1)$, przy czym, zgodnie z sekwencją zapisywania danych do rejestrów A, B, C w układzie przetwarzającym 8 starszych bitów MSB: $d(N_{rq}-1 : m)$, przedstawionym na rys. 4.5, na samym początku pierwszej połowy okresu T_c na wejścia adresowe multiplekserów podawane są wartości binarne obliczonych czasów początków $t_p(n-1)$ impulsu LADD, natomiast na samym początku drugiej połowy okresu T_c na wejścia adresowe multiplekserów podawane są wartości binarne obliczonych czasów końców $t_k(n-1)$ impulsu LADD (rejstry przeprogramowywane dwa razy w czasie każdego okresu kluczowania T_c).

Architektura oraz implementacja przedstawionej na rys. 4.8 pętli synchronizacji opóźnienia DLL ze zgrubnym i precyzyjnym sterowaniem opóźnienia została przedstawiona w pracach [47, 48], [50-52]. Układ został zaprojektowany w technologii UMC180 nm CMOS. Wykorzystując metody symulacyjne w programie CADENCE, w pracach tych wyznaczono charakterystyki przestrajania pętli synchronizacji opóźnienia DLL ze zgrubnym i precyzyjnym sterowaniem opóźnienia oraz przeprowadzono analizy Monte-Carlo w różnych granicznych warunkach procesu, napięcia i temperatury PVT (*ang. Process, Voltage, and Temperature corners*), w celu weryfikacji działania układu po wyprodukowaniu układu w zastosowanej technologii.

Proponowany 11-bitowy modulator LBDD PWM zapewnia $SNR = 120$ dB oraz THD sygnału wyjściowego poniżej 0,1% w paśmie podstawowym audio, przy częstotliwości przełączania $F_c = 352,8$ kHz i częstotliwości generatora zegara $F_{CLK} = 90,3$ MHz oraz indeksie modulacji $M = 0,95$.

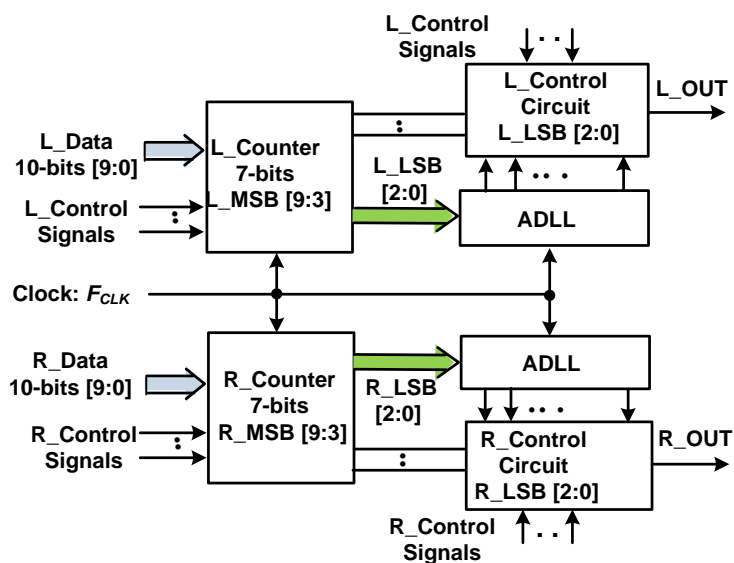
Rozdział 5

5. Implementacja hybrydowego modulatora LBDD PWM w oparciu o mikrokontroler STM32 i programowaną linię opóźniającą (PTDL).

5.1. Ogólna koncepcja hybrydowego modulatora LBDD PWM.

Jak już wspomniano w rozdz. 4, implementacja modulatora LBDD charakteryzuje się największym stopniem skomplikowania w porównaniu do innych modulatorów LPWM, a ponadto jest znacznie trudniejsza do realizacji ze względu na wymagania dotyczące nakładów obliczeniowych w czasie rzeczywistym dla wyznaczenia początków i końców czasów trwania impulsów zmodulowanych $\tau(n)$. W modulatorze tym, konieczne jest bowiem wygenerowanie oddzielnych przebiegów zmodulowanych $LADD_L$ oraz $LADD_R$ sterujących lewą i prawą gałęzią mostka H stopnia końcowego wzmacniacza klasy BD, odpowiednio dla prostego i odwróconego w fazie o 180° sygnału modulującego.

Przedstawiona na rys. 5.1 architektura hybrydowego, dwubrzedowego modulatora LBDD PWM dla wzmacniacza klasy BD sygnałów akustycznych jest tym trudniejsza do praktycznej implementacji, im większa jest rozdzielczość bitowa modulatora, wyrażona w N_{rq} bitach.



Rys.5.1. Ogólny schemat blokowy 10-bitowego, hybrydowego, dwubrzedowego modulatora LBDD PWM dla wzmacniacza audio klasy BD.

Wiąże się to z koniecznością stosowania z jednej strony coraz to wyższych częstotliwości F_{CLK} generatora taktującego, a z drugiej strony niejednakowe opóźnienia wnoszone przez różne ścieżki sygnałowe, i to zarówno w pierwszej części układu przetwarzającego starsze bity MSB ($N_{rq} - 1 : m$) metodą licznikową, jak i w drugiej części układu przetwarzającego młodsze bity LSB ($m - 1 : 0$) metodą wykorzystującą pętlę synchronizacji opóźnienia DLL, mogą być źródłem błędów przetwarzania, większych niż wynikałoby to z zakładanej rozdzielczości bitowej N_{rq} . Źródłem dodatkowych błędów przetwarzania może być również pewna asynchroniczność pracy obu podukładów przetwarzających odpowiednio młodsze i

starsze bity obliczonych początków $t_p(n)$ i końców $t_k(n)$ czasów trwania zmodulowanych impulsów LADD_L oraz LADD_R, która wywołana jest także niejednakowymi opóźnieniami przenoszonych sygnałów, wnoszonymi przez ścieżki sygnałowe w tych podukładach.

Przedstawiona na rys. 5.1 architektura hybrydowego modulatora LBDD składa się w istocie z dwóch niezależnych modulatorów LADD_LPWM oraz LADD_RPWM (odpowiednio lewy i prawy kanał modulatora), wykorzystujących wspólnie jeden układ opóźniający z pętlą synchronizacji opóźnienia DLL.

Realizacja tego układu w technice układów programowalnych PLD byłaby bardzo trudna, bowiem wymagałaby implementacji wielordzeniowego mikroprocesora, ze względu na nakłady obliczeniowe w czasie rzeczywistym wiążące się z realizacją algorytmów kompensacji wstępnej oraz obliczenia początków i końców czasów trwania impulsów zmodulowanych w każdym okresie kluczowania.

W kolejnych podrozdziałach przedstawiono oryginalną architekturę i implementację 9-bitowego (lub 10-bitowego) zlinearyzowanego modulatora szerokości impulsów LBDD PWM dla wzmacniacza klasy BD, opartego na metodzie hybrydowej z wykorzystaniem 32-bitowego mikrokontrolera STM32F407xx z rodziny ARM CortexTM-M4F [80-82] i dwóch programowalnych linii opóźniających z odczepami PTDL [83]. Hybrydowy 9-bitowy (10-bitowy) kwantyzator konwertuje 6-MSB bitów (7-MSB bitów) metodą licznikową w oparciu o mikrokontroler STM32 i jego układy peryferyjne, natomiast pozostałe 3-LSB bity - metodą opartą na PTDL.

Architektura oryginalnych konwerterów cyfrowo-czasowych DTC zbudowanych w oparciu o układy peryferyjne mikrokontrolera STM32 i dwie programowalne linie PTDL, a także częściowe wyniki badań symulacyjnych w programie Matlab oraz badań eksperymentalnych, weryfikujących poprawność działania i dokładność przetwarzania algorytmów przetwarzających cyfrowe dane audio zostały częściowo opublikowane w pracach [45, 46, 49].

Pełne oprogramowanie dla realizacji wszystkich algorytmów: kompensacji wstępnej, obliczania początków i końców czasów trwania impulsów LBDD PWM, generacji uzależnień czasowych potrzebnych do sterowania modulatora LBDD oraz programów: sterowania przetwornika ADC i odczytu przetworzonych danych, implementacji 6-bitowych (7-bitowych) konwerterów cyfrowo-czasowych DTC metodą licznikową dla sześciu starszych MSB[8:3], (siedmiu MSB[9:3] z wykorzystaniem sterowników czasowych (ang. *Timers*), sterowania konwerterów cyfrowo-czasowych DTC w oparciu o układy PTDL dla trzech młodszych LSB[8:3] przedstawiono w dodatku A5.

5.1.1. Dobór częstotliwości zegara i synchronizacja uzależnień czasowych.

Zgodnie z przedstawionymi zależnościami (4.1–4.6) w rozdz.4, jeżeli rozdzielczość bitowa hybrydowego modulatora LADD wynosi N_{rq} , przy takim podziale, że $(N_{rq} - m)$ MSB bitów przetwarzanych jest metodą licznikową, a m LSB bitów metodą wykorzystującą programowaną linię opóźniającą z odczepami PTDL, to linia opóźniająca zawiera 2^m identycznych segmentów opóźniających, a opóźnienie wnoszone przez pojedynczy segment wynosi:

$$t_{d1} = T_{CLK} / 2^m \quad (5.1)$$

Przy założeniu, że częstotliwość próbkowania analogowego sygnału wejściowego wynosi f_s , to częstotliwość kluczowania F_c można określić zależnością:

$$F_c = OVR \times f_s \quad (5.2)$$

gdzie OVR jest współczynnikiem nadpróbkowania.

Częstotliwość $F_{CLK}(N_{rq}, m)$ generatora taktującego w hybrydowym modulatorze LADD określona jest zależnością:

$$F_{CLK}(N_{rq}, m) = F_c \times 2^{N_{rq}+1} = OVR \times f_s \times 2^{N_{rq}+1} \quad (5.3)$$

Uwzględniając zależności (5.1–5.3), błąd przetwarzania hybrydowego modulatora LADD, o rozdzielczości bitowej N_{rq} , musi być mniejszy niż $(t_{d1}/2)$, gdzie t_{d1} określa zależność (5.1).

Przy założeniu, że przetwarzanie $(N_{rq} - m)$ starszych MSB bitów metodą licznikową zostanie zrealizowane przez mikrokontroler STM32F407xx, podstawą do wyznaczenia wszystkich częstotliwości w zależnościach (5.1–5.3) będzie częstotliwość oscylatora f_{osc} , wyznaczająca cykle pracy mikrokontrolera.

Realizując modulator hybrydowy o rozdzielczości bitowej $N_{rq} = 9$ bitów, przy podziale: 6 MSB starszych bitów oraz 3 LSB młodsze bity, zaprogramowano częstotliwość oscylatora: $f_{osc} = 168\text{MHz}$.

– Częstotliwość magistrali APB2 wynosi: $f_{MAG} = \frac{f_{osc}}{2} = \frac{168\text{MHz}}{2} = 84\text{MHz}$

– Częstotliwość zegara:

$$f_{CLK} = \frac{f_{MAG}}{2} = \frac{84\text{MHz}}{2} = 42\text{MHz},$$

– Częstotliwość kluczowania $F_{CLK}(N_{rq}, m)$, dla rozdzielczości $N_{rq} = 9$ bitów wynosi:

$$F_c(N_{rq} = 9 \text{ bit}) = \frac{F_{CLK}}{2^{N_{rq}-m+1}} = \frac{F_{CLK}}{2^7} = \frac{F_{CLK}}{128} = \frac{42\text{MHz}}{128} = 328,125\text{kHz} \quad (5.4a)$$

$$T_c(N_{rq} = 9\text{bit}) = \frac{1}{F_c} = \frac{1}{42\text{MHz}} \times 128 = \frac{1000}{42} \times 128\text{ns} \cong 3047,619\text{ns} = 3,047619\mu\text{s}$$

Natomiast dla rozdzielczości $N_{rq} = 10$ bitów częstotliwość kluczowania wynosi:

$$F_c(N_{rq} = 10 \text{ bit}) = \frac{F_{CLK}}{2^{N_{rq}-m+1}} = \frac{F_{CLK}}{2^8} = \frac{F_{CLK}}{256} = \frac{42\text{MHz}}{256} \cong 164,062\text{kHz} \quad (5.4b)$$

$$T_c(N_{rq} = 10\text{bit}) = \frac{1}{F_c} = \frac{1}{42\text{MHz}} \times 256 = \frac{1000}{42} \times 128\text{ns} \cong 6095,238\text{ns} = 6,095238\mu\text{s}.$$

Całkowity czas konwersji T_{CONV} wbudowanych przetworników ADC [80] został ustawiony, zgodnie z równaniami (5.4a), na taką samą wartość jak okres przełączania T_c aby uniknąć pierwszej interpolacji strumienia danych PCM, i znacznie zaoszczędzić czas obliczeń.

Wbudowany przetwornik ADC w systemie mikrokontrolera STM32F407xx posiada 16 multipleksowanych kanałów i istnieje możliwość zorganizowania konwersji w dwóch grupach: zwykłej i iniekcyjnej [80]. Zgodnie z równaniem (9), aby otrzymać $T_{CONV} = T_c = 128T_{CLK}$ utworzono regularną grupę pięciu konwersji. Regularne kanały i ich kolejność w sekwencji konwersji zostały wybrane w rejestrach ADC_SQRx, a całkowita liczba konwersji w regularnej grupie L [3: 0] bitów została zapisana w rejestrze ADC_SQR1.

$$T_{CONV} = \sum_1^G \text{Sampling time} + 12\text{cycles} = 4 \times 15T_{CLK} + 68T_{CLK} = 128T_{CLK} \quad (5.5)$$

Tak więc, zastosowany przetwornik analogowo-cyfrowy generuje strumień danych audio PCM z częstotliwością:

$$f_{CONV} = F_c = \frac{F_{CLK}}{2^{N_{rq}-m+1}} = \frac{42 \text{ MHz}}{2^7} = 328,125 \text{ kHz} \quad (5.6)$$

$$T_{CONV} = T_c = \frac{1}{F_c} = \frac{1}{42 \text{ MHz}} \times 128 \cong 3,04762 \mu\text{s} \quad (5.7)$$

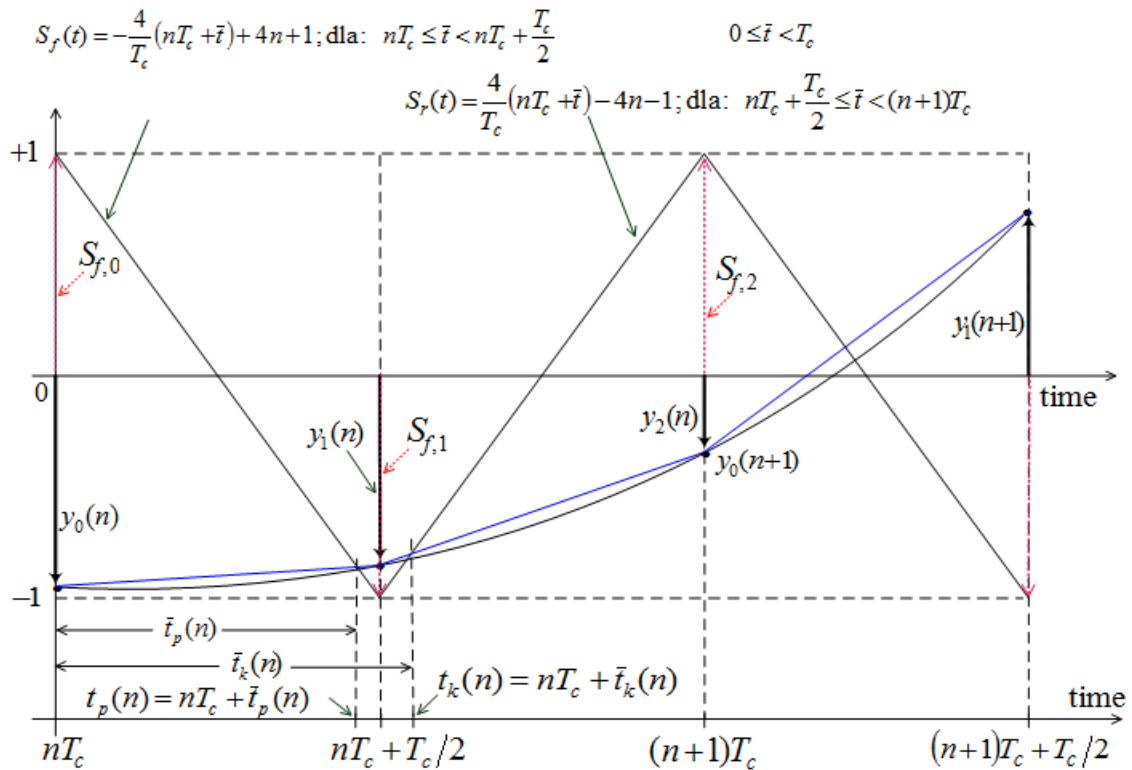
$$T_{CLK} = \frac{1}{F_{CLK}} = \frac{1}{42 \text{ MHz}} = 23,81 \text{ ns}$$

– Opóźnienie wnoszone przez jeden segment linii PTDL wynosi:

$$t_{d1} = \frac{T_{CLK}}{2^m} = \frac{23,81}{2^3} = 2,97 \text{ ns} \quad (5.8)$$

5.1.2. Aproxymacja odcinkami prostoliniowymi cyfrowego sygnału akustycznego dla dwubrzęgowej modulacji LBDD PWM.

Jak pokazano na rys.5.2, przy modulacji LADD, czasy początku i końca impulsu LADD PWM w n-tym okresie kluczowania wyznaczają punkty przecięcia aproksymowanego odcinkami prostoliniowymi, nadpróbkowanego przebiegu modulującego, odpowiednio z opadającą częścią $s_f(t)$ w pierwszym półokresie przebiegu trójkątnego i narastającą częścią $s_r(t)$ w drugim półokresie tego przebiegu.



Rys.5.2. Aproxymacja odcinkami prosto-liniowymi cyfrowego sygnału akustycznego, przy $(Q = 1)$.

Wykorzystując ogólne zależności (3.31) i (3.32) oraz (3.38) i (3.39), wyprowadzone w podrozdz. 3.1.2.2, możemy wyznaczyć czasy początków i końców zmodulowanych

impulsów LADD PWM w n -tych okresach kluczkowania, zależnie od ilości dodatkowych próbek wprowadzonych w drugiej interpolacji:

Dla $Q=1$:

$$\bar{t}_p(nT_c) = \frac{[1 - y_0(n)]}{4 + [y_1(n+1) - y_0(n)]} \times 128 \times T_{CLK} \Big|_{V_T=1V} \quad (5.9)$$

$$\bar{t}_p(\{n+1\}T_c) = \frac{[1 - y_1(n+1)]}{4 + [y_2(n+2) - y_1(n+1)]} \times 128 \times T_{CLK} \Big|_{V_T=1V} \quad (5.10)$$

Dla $Q=3$:

$$\bar{t}_p(\{n+1\}T_c) = \frac{[1 - y_1(n+1)]}{4 + [y_2(n+2) - y_1(n+1)]} \times 128 \times T_{CLK} \Big|_{V_T=1V} \quad (5.11)$$

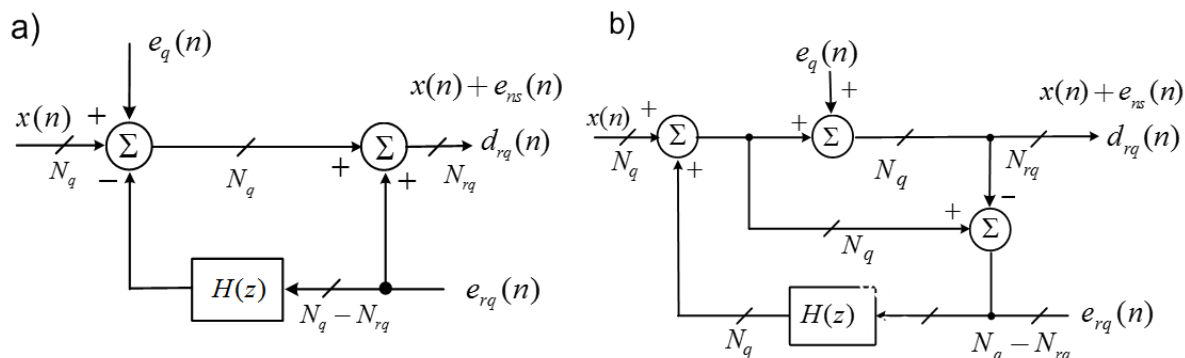
$$\bar{t}_k(\{n+1\}T_c) = \frac{[3 + y_1(n+1)]}{4 + [y_1(n+1) - y_2(n+2)]} \times 128 \times T_{CLK} \Big|_{V_T=1V} \quad (5.12)$$

Dla modulatora LADD_L, mikroprocesor wywoływany przerwami na początku okresu kluczkowania T_c przez wywołanie INT₀ odczytuje wartość przetworzonej próbki PCM dla bezpośredniego sygnału akustycznego (w pierwszym okresie trzeba założyć wstępne dane). Dla modulatora LADD_R potrzeba tylko wyznaczyć kod PCM dla odwróconego w fazie o 180° sygnału akustycznego, na podstawie odczytanej próbki PCM dla sygnału bezpośredniego.

Opisany wyżej algorytm obliczania czasów początku i końca impulsu LADD w ciągu jednego okresu kluczkowania T_c , na podstawie zestawu równań (5.9) i ((5.10) lub (5.11) i (5.12), zależnie od ilości Q dodatkowych próbek, dotyczy modulatora LADD_L. Identyczny algorytm obliczeń jest powtarzany dla modulatora LADD_R.

Po zakończeniu obliczeń z dużą rozdzielczością 32-bitową: początku $t_p(n)$ i końca $t_k(n)$ czasów trwania impulsu LADD w okresie nT_c , zostaje przeprowadzony proces rekwantyzacji, pozwalający na redukcję (obcięcie) długości słowa bitowego obliczonych wartości do mniejszej N_{rq} rozdzielczości i rozdzielenie ich na składowe odpowiadające starszym LADD_L^{MSB (8:3)} i młodszym LADD_L^{MSB (2:0)} bitom.

Na rys. 5.3 przedstawiono modele rekursywnego kształtowania szumów kwantyzacji z jedną lub dwiema pętlami sprzężenia zwrotnego, na których kwantyzator jest modelowany jako dodatkowe, niezależne dodane źródło szumu.



Rys.5.3. Modele rekursywnego kształtowania szumów kwantyzacji; a) z jedną pętlą sprzężenia zwrotnego, b) dwiema pętlami sprzężenia zwrotnego.

W modelach występują następujące zmienne:

$x(n)$ - wejście cyfrowe (obliczone z rozdzielczością N_q -bitów czasy początków

i końców impulsów: $t_p^L(n), t_k^L(n), t_p^R(n), t_k^R(n)$),

$e_q(n)$ - błąd kwantyzacji na wejściu (niezależne dodane źródło szumu),

$e_{rq}(n)$ - źródło szumu rekwantyzacji (generowane po obcięciu obliczonych N_q -bitowych danych cyfrowych do rozdzielczości bitowej N_{rq} -bitów),

$e_{ns}(n)$ - rekwantyzowany szum na wyjściu (po procesie rekwantyzacji szumów),

$d_q(n) = x(n) + e_q(n) + e_{ns}(n)$ - szumy na wyjściu cyfrowym (obliczone z rozdzielczością

N_{rq} - bitów czasy początków i końców impulsów: $t_p^L(n), t_k^L(n), t_p^R(n), t_k^R(n)$,

$H(z)$ - Filtr FIR n -tego rzędu z rzeczywistymi współczynnikami.

Na rys.5.5 zaznaczono również różne długości słów przetwarzanych danych.

Zakładając, że sekwencja błędów $e_q(n)$ jest modelowana jako równomiernie rozłożony biały szum i nie jest skorelowana z sekwencją sygnału $d_{rq}(n)$, na podstawie modelu z dwoma pętlami sprzężenia zwrotnego na rys. 5.2b możemy otrzymać następującą zależność w dziedzinie Z między wejściem - wyjściem systemu.

$$E_{rq}(z) = X(z) + E_n(z) - [X(z) - E_{rq}(z)H(z)] \quad (5.13)$$

$$D_q(z) = X(z) + E_n(z) = E_q(z) + [X(z) - E_{rq}(z)H(z)] \quad (5.14)$$

Na podstawie równań (5.13, 5.14) otrzymujemy zależność między źródłem szumu kwantyzacji - reprezentowanym przez szum $e_q(n)$, a rekwantyzowanym szumem na wyjściu $e_{ns}(n)$, zdefiniowanym jako funkcja transmitancji szumów $NTF(z)$ (ang. *noise transfer function*).

$$NTF(z) = \frac{E_n(z)}{E_{rq}(z)} = 1 - H(z) \quad (5.16)$$

Taką samą zależność (5.16) otrzymujemy dla prostszego modelu z jedną pętlą sprzężenia zwrotnego, przedstawionego na rys. 5.2a.

Natomiast z równania (5.14) możemy wyznaczyć sygnał $D_q(z)$ na wyjściu kwantyzatora:

$$D_q(z) = X(z) + E_q(z)[1 - H(z)] \quad (5.17)$$

Równanie (5.17) bezpośrednio wyjaśnia, że cyfrowy sygnał PWM na wyjściu kwantyzatora w paśmie podstawowym nie ulega żadnej zmianie, natomiast szum kwantyzacji w tym paśmie przenoszony jest zgodnie z funkcją transmitancji szumów $NTF(z)$ (równanie 5.16).

W algorytmie rekwantyzacji zastosowano charakterystykę transmitancji szumów $NTF(z)$ piątego rzędu:

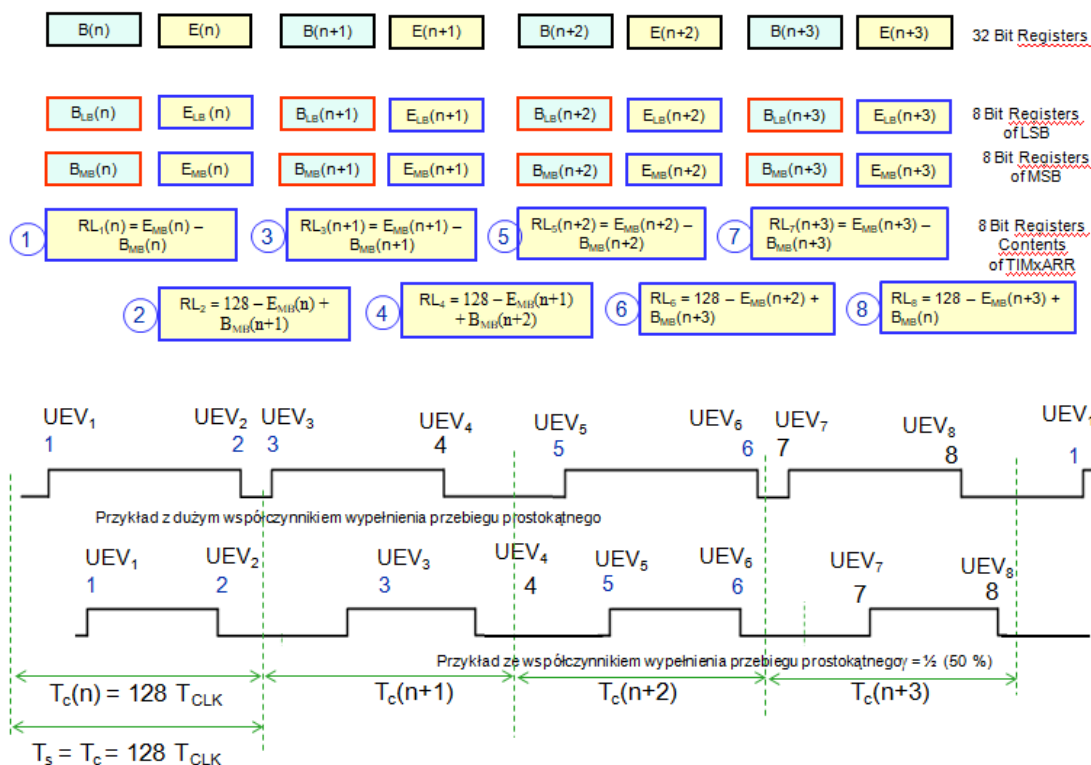
$$NTF(z) = c_0 + c_1z^{-1} + c_2z^{-2} + c_3z^{-3} + c_4z^{-4} + c_5z^{-5} \quad (5.18)$$

ze współczynnikami: $c_0 = -1$; $c_1 = 5$; $c_2 = -10$; $c_3 = 10$; $c_4 = -5$; $c_5 = 1$

Rekwantyzowany sygnał cyfrowy, po przejściu przez układ kształtowania szumów kwantyzacji zachowuje niezmiennione składowe widma sygnału PWM w paśmie podstawowym sygnału modulującego, zaś szum kwantyzacji zostaje przesunięty poza to pasmo, do zakresu wyższych częstotliwości ofiltrowywanych w procesie demodulacji.

Obliczone wartości czasów początku $t_p(n)$ i końca $t_k(n)$ czasów trwania impulsu LADD na podstawie spróbowanego i rekwantyzowanego do 9 bitów sygnału wyjściowego z przetwornika ADC są podzielone na część MSB 6-bitową i LSB 3-bitową.

Wartości te z $n = 4$ początkowych cykli są zapisywane do zdefiniowanych buforów pamięci: przechowujących początki BMB(0:n-1) oraz końce EMB(0:n-1) impulsów w danym cyklu. Wspomniane bufory to 8-bitowe zmienne typu całkowitego bez znaku. Na rys. 5.4 pokazane są symbolicznie zdefiniowane rejestry przechowujące obliczone dane i ich relacje czasowe w pierwszych czterech cyklach T_c .



Rys.5.4. Rejestry zawierające czasy początków i końców impulsów w n -tym i w kolejnym okresie T_c .

Do rejestrów odpowiedzialnych za MSB ładowane są wstępnie ustalone wartości odpowiednio dla początków i końców czasów trwania impulsów PWM, natomiast pozostałe rejestry są zerowane, aby nie występowały przypadkowe wartości niedozwolone.

Do realizacji zadania wygenerowania przebiegów PWM w układzie uruchomieniowym STM32F4 Discovery zostały wykorzystane wewnętrzne układy liczników: TIM1, TIM2 oraz TIM3. Licznikiem synchronizującym pracę całości jest TIM2. To on generuje impulsy, które uruchamiają w odpowiednim momencie pracę dwóch pozostałych timerów TIM1 oraz TIM3, oprócz tego steruje procesem próbkowania sygnału wejściowego w 12-bitowym przetworniku analogowo-cyfrowym ADC1.

Timery w zestawie uruchomieniowym STM32F4 można podzielić na kilka grup, jedną z nich jest grupa *advanced* czyli rozbudowane funkcjonalnie o największych możliwościach konfiguracyjnych timery. Do tej grupy należy TIM1. Został on zastosowany do generacji sygnałów PWM o różnych i co cykl aktualizowanych danych czasowych. Podobnie jak kod ADC1 oraz TIM2 czy TIM3, funkcja inicjująca TIM1 została napisana wykorzystując dostęp bezpośredni do rejestrów urządzenia.

Manipulując rejestrami timera TIM2 uzyskujemy potrzebną częstotliwość próbkowania konwertera ADC1. Zadając: ARR=0x007F oraz PSC=0x0007 licznika, timer TIM2 odlicza w górę od 0 do 127 cykli zegarowych ($1/42\text{MHz}=23,81\text{ns}$). Poprzez wewnętrzną pętlę PLL częstotliwość na magistrali APB1 wynosi 84 MHz. Dzieląc ją przez 2 uzyskujemy taktowanie TIM2 równe 42MHz. Wygenerowany sygnał o częstotliwości $f_{TIM2}=164,063\text{kHz}$ jest również wprowadzony z TIM2 poprzez kanał pierwszy CH1 na pin 4 portu B, PB3.

Motorem generującym wartości impulsów jest timer TIM3. Po starcie do rejestru TIM3_ARR ładowana jest wartość próbki z rejestru BMB(n). Licznik zlicza w górę (up) i po osiągnięciu 6 bitowej wartości z BMB(n) generuje przerwanie pierwsze UEV1. W przerwaniu tym przepisuje do TIM3_ARR różnicę wartości rejestrów EMB(n) oraz BMB(n) czyli EMB(n)-BMB(n). Również komparator generuje przerwanie UEVc1=UEV1, przez co zdarzenie komparatora generuje narastające zbocze impulsu PWM i wysyła do portu wyjściowego PB(0:2), 3 bitową wartość z rejestru ELB(n).

Kolejne zdarzenie wynikające z przerwania UEV2 występuje po osiągnięciu przez licznik wartości EMB(n)-BMB(n), wówczas przepisuje do TIM3_ARR wartość $128 - \text{EMB}(n) + \text{BMB}(n+1)$. Zdarzenie to generuje zbocze opadające impulsu PWM i wysyła wartość BLB($n+1$) na port PB(0:2). W ten sposób powstaje pierwszy impuls w pierwszym cyklu kluczowania. Następne przerwanie UEV3 powoduje przepisanie do TIM3_ARR wartości różnicy rejestrów EMB($n+1$) – BMB($n+1$), zdarzenie komparatora UEVc3 generuje narastające zbocze impulsu PWM i wysyła do portu PB(0:2) trzybitową wartość LSB z rejestru ELB($n+1$).

Po osiągnięciu przez licznik wartości EMB($n+1$) – BMB($n+1$), UEV4 przepisuje do TIM3_ARR wartość $128 - \text{EMB}(n+1) + \text{BMB}(n+2)$, zdarzenie komparatora UEVc4 generuje opadające zbocze impulsu PWM i wysyła do portu PB(0:2) trzybitową wartość LSB z rejestru BLB($n+2$). W ten sposób powstaje kolejny impuls w drugim cyklu kluczowania. Zdarzenie UEV5 występuje po osiągnięciu przez licznik wartości $128 - \text{EMB}(n+1) + \text{BMB}(n+2)$, wtedy przepisuje do TIM3_ARR wartość EMB($n+2$) – BMB($n+2$) wówczas zdarzenie komparatora UEVc5 generuje narastające zbocze kolejnego impulsu PWM i wysyła do portu PB(0:2) trzybitową wartość LSB z rejestru ELB($n+2$). Po osiągnięciu przez licznik wartości $128 - \text{EMB}(n+1) + \text{BMB}(n+2)$ generowane jest przerwanie UEV6, powoduje ono przepisanie do TIM3_ARR wartości $128 - \text{EMB}(n+2) + \text{BMB}(n+3)$, zdarzenie komparatora UEVc6 generuje opadające zbocze impulsu PWM i wysyła do portu PB(0:2) trzybitową wartość LSB z rejestru BLB($n+3$). W ten sposób powstaje kolejny impuls w trzecim cyklu kluczowania. Zdarzenie przerwania UEV7 po raz kolejny przepisuje do TIM3_ARR nową wartość różnicy EMB($n+3$) – BMB($n+3$), zaś zdarzenie komparatora UEVc7 generuje narastające zbocze impulsu PWM i wysyła do portu PB(0:2) trzybitową wartość LSB z rejestru ELB($n+3$).

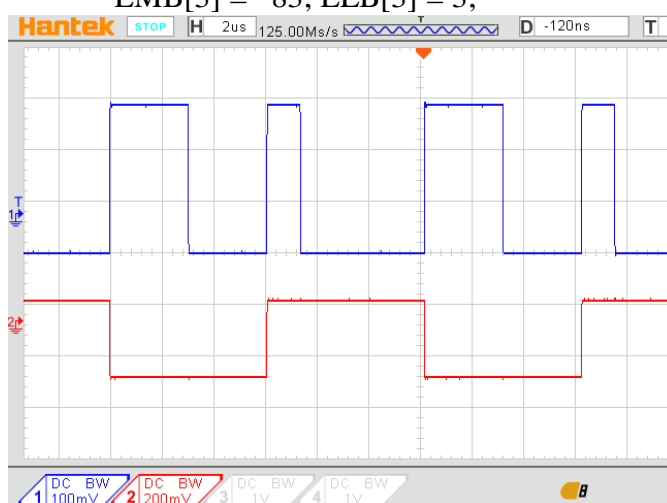
Ostatecznie, po osiągnięciu przez licznik wartości EMB($n+3$) – BMB($n+3$), UEV8 przepisuje do TIM3_ARR wartość $128 - \text{EMB}(n+3) + \text{BMB}(n)$ zaś zdarzenie komparatora UEVc8 generuje opadające zbocze impulsu PWM i wysyła do portu PB(0:2) trzybitową wartość LSB z rejestru BLB(n). W ten sposób powstaje kolejny impuls w czwartym cyklu kluczowania.

Po osiągnięciu wartości przez licznik $128 - \text{EMB}(n+3) + \text{BMB}(n)$ program powraca do zdarzenia z przerwania pierwszego UEV1 i zapętla się. Podobnie jest w przypadku komparatora, przerwanie UCVc4=UEVc1, wtedy generowane są kolejne impulsy na podstawie kolejnych wyliczonych 6-bitowych wartości czasów początkowych i końcowych.

Na rysunku 5.4 widzimy wygenerowane przebiegi impulsów (koloru niebieskiego) na wyjściu PE09 układu uruchomieniowego STM32F4 Discovery dla przykładowych danych 6-bitowych czasów początkowych tpp(0:3) oraz końcowych tkp(0:3) z 8-miu rejestrów BMB czy EMB, (0-127) oraz dodatkowo z 8-miu rejestrów 3-bitowych (0-7), słowa np. BLB czy ELB, gdzie zapisane na początku B oznacza początek, zaś E koniec impulsu:

```
BMB[0] = 21; BLB[0] = 1;
BMB[1] = 56; BLB[1] = 2;
BMB[2] = 21; BLB[2] = 1;
BMB[3] = 56; BLB[3] = 2;
EMB[0] = 120; ELB[0] = 6;
EMB[1] = 83; ELB[1] = 3;
```

EMB[2] = 120; ELB[2] = 6;
 EMB[3] = 83; ELB[3] = 3;



Rys.5.5. Przebiegi impulsów wygenerowane w zestawie uruchomieniowym STM32F4 Discovery.

Wykres czerwony to prostokątny przebieg o częstotliwości $F_c=164,064\text{kHz}$ z wyjścia PB03 timera TIM2. Z wykresu widać wygenerowane dwie paczki impulsów zgodnie z podanymi danymi oraz pełną synchronizację przebiegów.

5.2 Architektura konwertera cyfrowo-czasowego DTC zrealizowanego w oparciu o mikrokontroler STM32 i programowaną linię opóźniającą PTDL

Jak opisano w podrozdz. 2, architektura hybrydowego LBDD DPWM składa się z dwóch synchronicznych hybrydowych podukładów LADD DPWM. Pierwszy z nich LADD_L DPWM generuje sekwencje zmodulowanych impulsów LADD_L do sterowania przełącznikami MOSFET lewej gałęzi mostka H (wygenerowany na podstawie bezpośredniego sygnału modulującego), podczas gdy drugi podukład LADD_R DPWM generuje sekwencje zmodulowanych impulsów LADD_R do sterowania przełącznikami MOSFET prawej gałęzi mostka H (wygenerowany na podstawie odwróconego w fazie sygnału modulującego). Ponieważ obwody LADD_L i LADD_R PWM są podobne, można je zaimplementować w ten sam sposób. Poniższy opis dotyczy tylko modulatora LADD PWM.

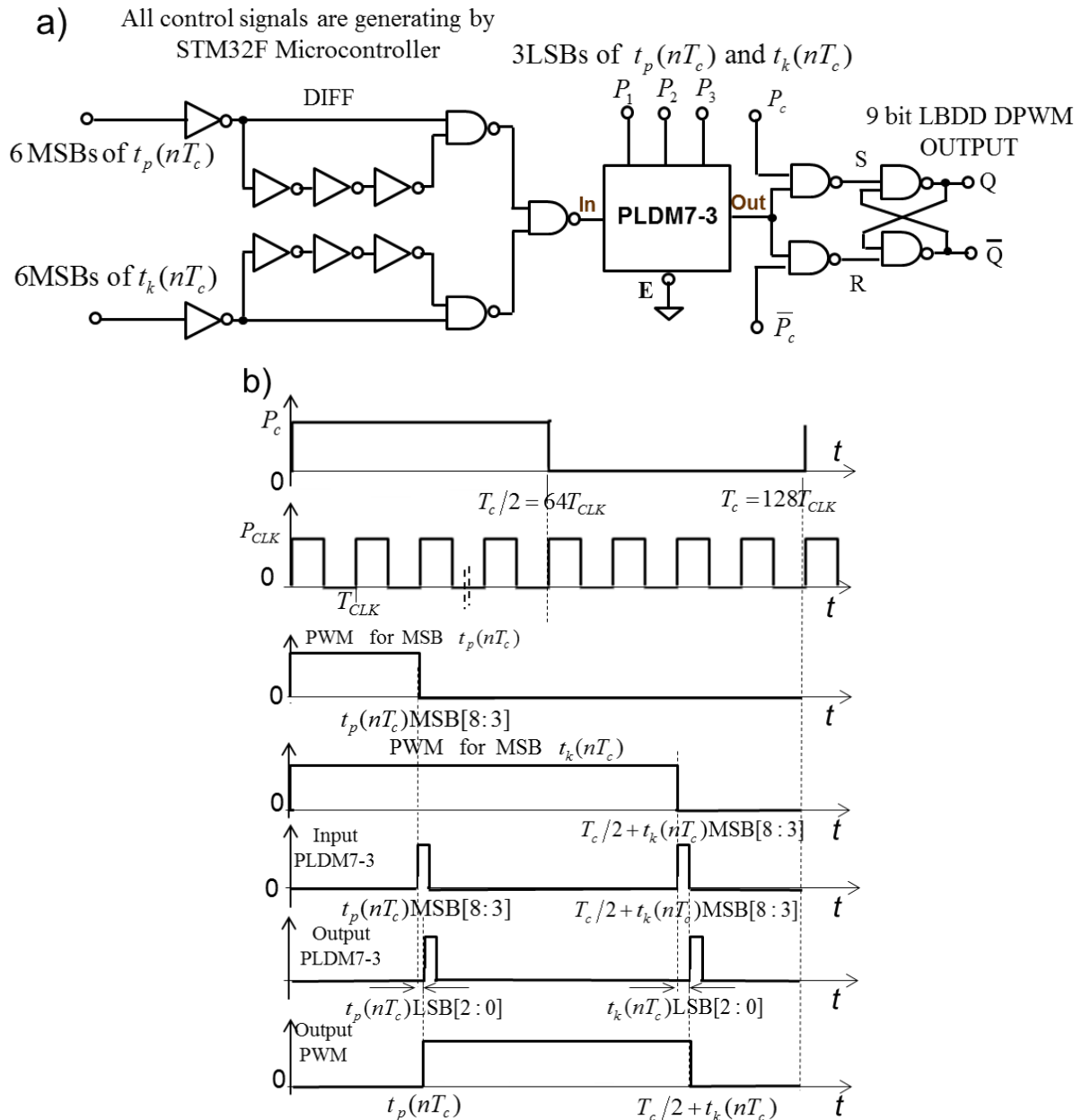
Na rys. 5.6a. przedstawiono architekturę hybrydowego konwertera cyfrowo-czasowego DTC zrealizowanego w oparciu o mikrokontroler STM32 i jego układy peryferyjne oraz programowaną linię opóźniającą PTDL, a także przedstawiono przebiegi czasowe sygnałów sterujących i wyjściowych..

W oparciu o mikrokontroler STM32 i jego zaawansowane timery sterujące TIM1 lub TIM8, w każdym okresie kluczowania T_c generowane są dwa cyfrowe przebiegi z jednobrzegową modulacją LADS PWM_L. Przebiegi te generowane są metodą licznikową na podstawie obliczonych czasów początków i końców zmodulowanych impulsów LADD_L z rozdzielczością 6 MSB bitów po rekwantyzacji. Narastające zbocza obu impulsów LADS PWM_L są z synchronizowane i rozpoczynają się na początku okresu częstotliwości kluczowania T_c . Opadające zbocze pierwszego impulsu LADS pojawia się w czasie odpowiadającym obliczonej wartości $t_p(n)$ położenia zbocza narastającego (wyznaczonej z rozdzielczością 6 MSB bitów po rekwantyzacji), natomiast opadające zbocze drugiego przebiegu LADS pojawia się w czasie odpowiadającym obliczonej wartości $t_k(n)$ położenia zbocza opadającego. Do wygenerowania tych przebiegów wykorzystano timer TIM1.

Różniczkując opadające zbocza obydwu wygenerowanych przebiegów z jednobrzegową modulacją LADS PWM_L otrzymujemy wąskie impulsy szpilkowe odpowiadające lokalizacji czasów początków $t_p(n)$ i końców $t_k(n)$ zmodulowanych impulsów LADD_L, które mogą być wykorzystane do wygenerowania przebiegów z dwubrzegową modulacją LADD_L DPWM (z rozdzielczością 6 MSB bitów po rekwantyzacji), jak pokazano na rys. 5.6b.

Hybrydowy kwantyzator przetwarza pozostałe 3 LSB bity metodą opartą na ogólnie dostępnej, 3-bitowej linii opóźniającej FAST TTL PTLD [83], składającej się z kaskady N = 8 identycznych komórek opóźniających, z czasem opóźnienia:

$$t_{d1} = \frac{T_{CLK}}{2^m} = \frac{23,81}{2^3} = 2,97 \text{ ns} \quad (5.12)$$



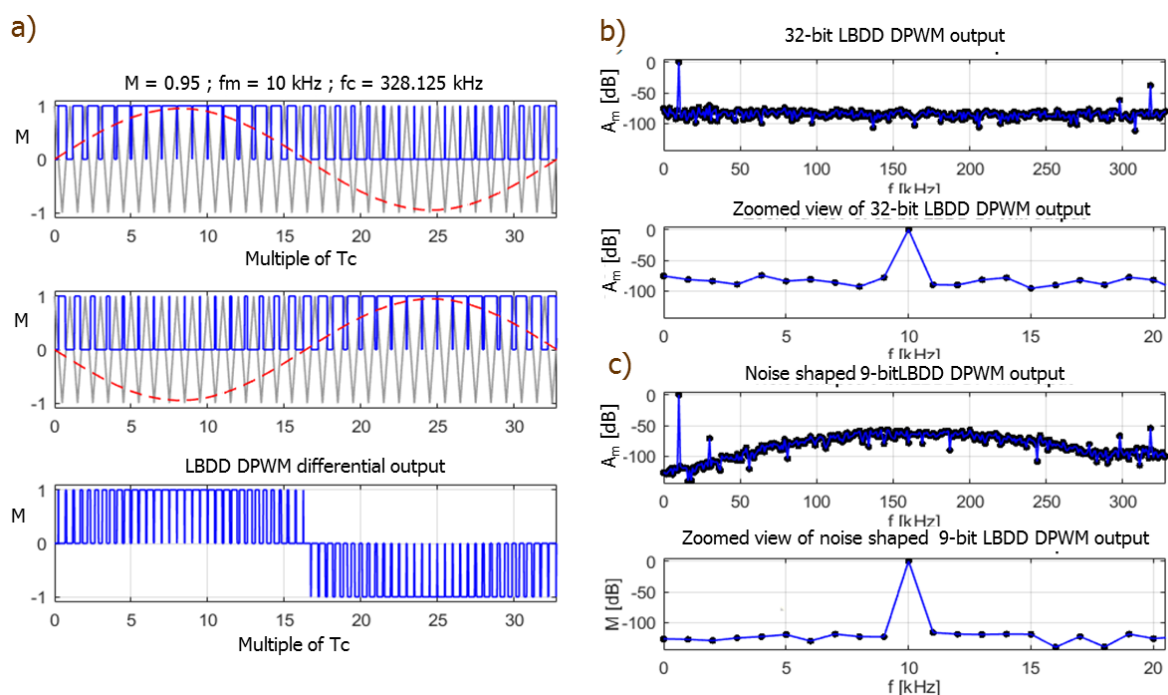
Rys.5.6. Architektura Układ przetwarzający 3-LSB (2: 0) bity danych - z wykorzystaniem kwantyzatora opartego na 3-bitowej linii opóźniającej PTLD; a) Schemat układu, b). przebiegi sygnałów sterujących i wyjściowych w dziedzinie czasu.

Wąskie impulsy z wyjść obu układów różniczkujących, po przejściu przez 3-bitową linię opóźniającą PTDL, są opóźnione na poszczególnych odczepach linii o czasy opóźnień, które są programowane na wejściach adresowych linii przez cyfrowe wartości obliczonych czasów początków i końców zmodulowanych impulsów $LADD_L$ z rozdzielczością 3 LSB (2:0) bitów po rekwantyzacji. Wymaga to dwukrotnego zaprogramowania PTDL w każdym okresie przełączania T_c . Na początku okresu T_c musimy wprowadzić 3 bity LSB (2:0) lokalizacji początku $t_p(n)$ zmodulowanych impulsów $LADD_L$ i zachować te dane przez pierwszą połowę okresu kluczowania $T_c / 2$, podczas gdy na początku okresu w drugiej połowie okresu $T_c / 2$ musimy wprowadzić 3 bity LSB (2:0) końca $t_k(n)$ zmodulowanych impulsów $LADD_L$ i zachować te dane przez drugą połowę.

5.3. Wyniki symulacji hybrydowego modulatora LBDD PWM w programie Matlab i badania eksperymentalne praktycznie wykonanego modulatora.

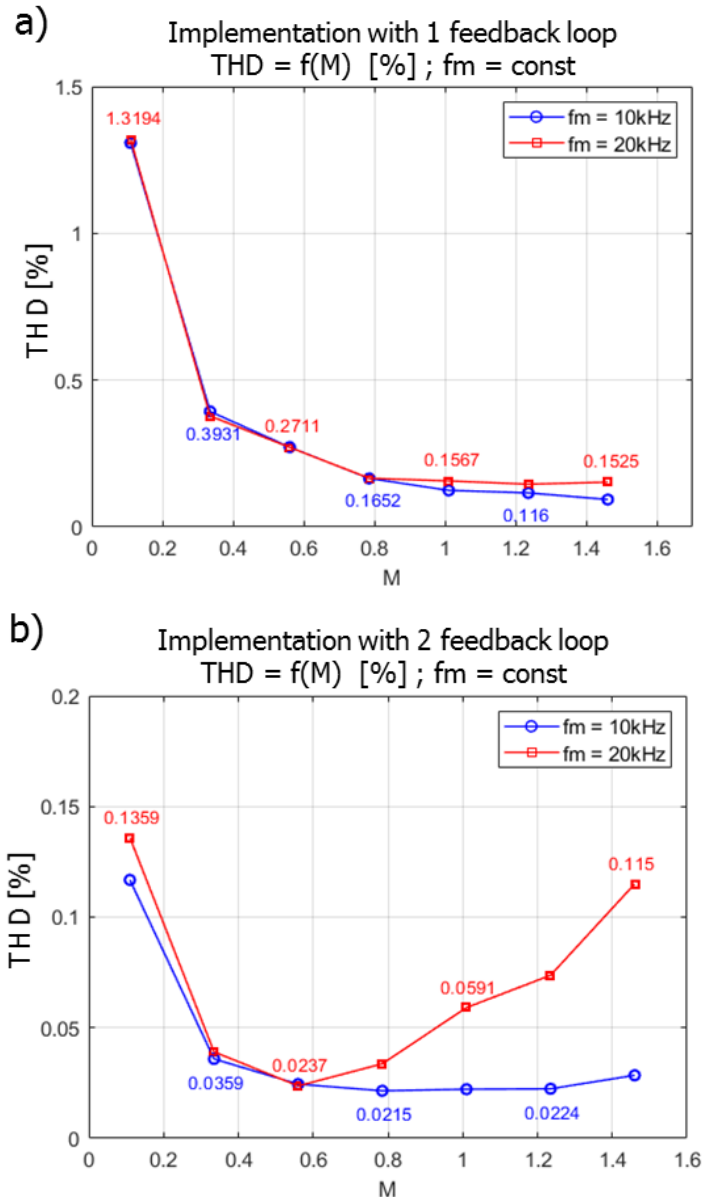
Przebiegi czasowe i charakterystyki widma częstotliwościowego sygnałów wyjściowych zrealizowanego modulatora LBDD PWM DPWM zostały zasymulowane przy użyciu narzędzi Matlab®. Widmo częstotliwości zostało oszacowane poprzez zapamiętanie pewnej liczby impulsów sygnału wyjściowego LBDD PWM, które reprezentują co najmniej jeden okres sygnału modulującego.

Na rys.5.7 przedstawiono wyniki symulacji przebiegów czasowych (rys. 5.7a) i widma częstotliwości 32-bitowego wyjścia LBDD PWM przed rekwantyzacją (rys. 5.7b) i 9-bitowego wyjścia LBDD PWM po rekwantyzacji, przy użyciu rekurencyjnego modelu kształtowania szumu z dwoma pętlami sprzężenia zwrotnego i opisanego w pracy algorytmu aproksymacji odcinkami prostoliniowymi cyfrowego sygnału LBDD PWM (rys. 5.6c) dla: $M = 0,95$, $F_c = 328,125$ kHz, $f_m = 10$ kHz, $Q = 1$, gdzie M - indeks modulacji, Q - liczba pośrednich próbek audio PCM podczas interpolacji w okresie T_c , F_c - częstotliwość przełączania, a f_m - częstotliwość modulującego sygnału audio.



Rys.5.7. Wyniki symulacji w Matlabie; Przebiegi czasowe na wyjściu LBDD PWM (a) ; Widmo częstotliwościowe sygnału wyjściowego LBDD PWM, przy: $M = 0.95$, $F_c = 328.125$ kHz, $f_m = 10$ kHz dla $Q = 1$; przed rekwantyzacją (b), po rekwantyzacji danych wyjściowych dorozdzielczości 9-bitów (c)

Symulacje współczynników THD sygnałów wyjściowych LBDD PWM dla dwóch architektur rekurencyjnego modelu kształtowania szumu kwantyzacji przedstawiono na rys.5.8.

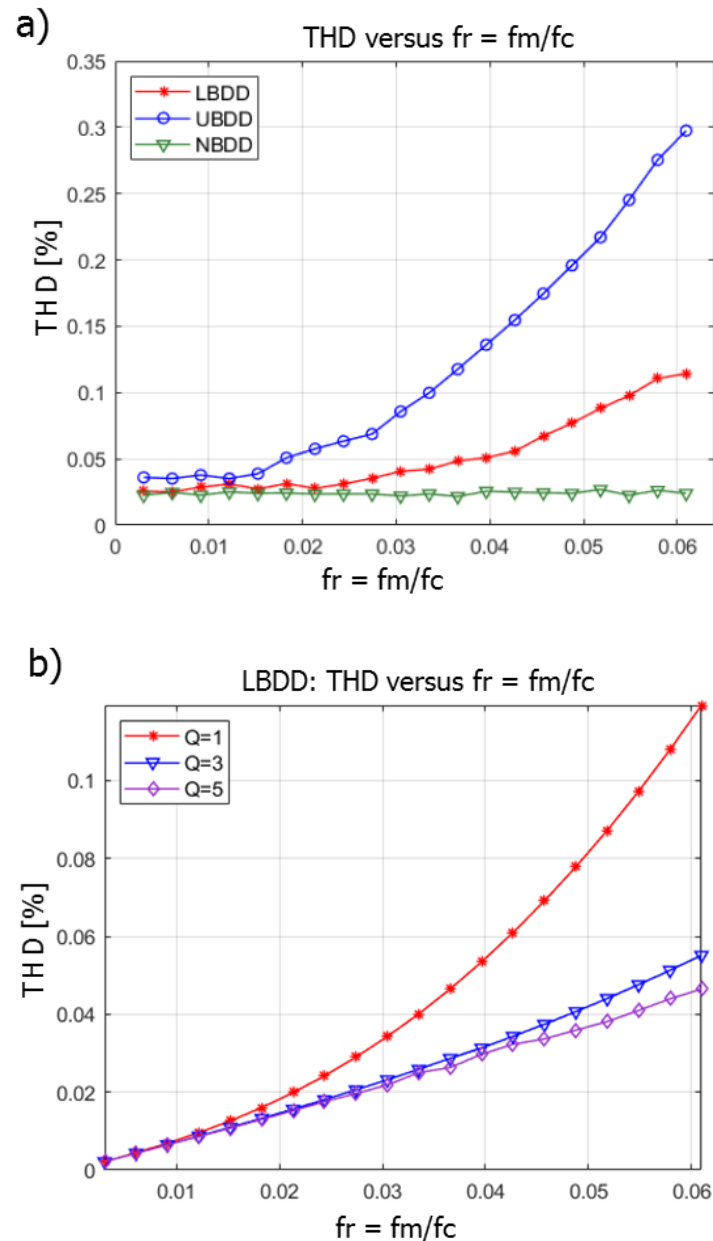


Rys.5.8. Wyniki symulacji w Matlabie współczynników THD na wyjściu LBDD PWM, przy: $Q = 1$, $f_{m1} = 10$ kHz lub $f_{m2} = 20$ kHz i dwóch modelach kształtowania szumów kwantyzacji: a) z jedną pętlą sprzężenia zwrotnego, b) z dwoma pętlami sprzężenia zwrotnego.

Na rys. 5.9 porównano współczynniki THD w modulatorze LBDD PWM ze współczynnikami THD w modulatorach NBDD PWM i UBDD PWM.

Analizując przedstawione charakterystyki widzimy, że nawet prosty algorytm kompensacji wstępnej: nadpróbkowanie w drugim etapie interpolacji ze współczynnikiem $Q = 1$ i zastosowanie w procesie rekwantyzacji modelu kształtowania szumów kwantyzacji z dwoma pętlami sprzężenia zwrotnego, pozwala na znaczną poprawę liniowości modulatora LBDD PWM. Ponadto, wprowadzając większą liczbę Q pośrednich próbek audio PCM w okresie T_c , możemy dodatkowo zmniejszyć poziom THD sygnału LBDD PWM i zbliżyć się do poziomu THD optymalnego, analogowego modulatora NPWM. Wniosek ten potwierdza charakterystyka współczynników THD dla modulatorów NBDD, UBDD i LBDD w funkcji

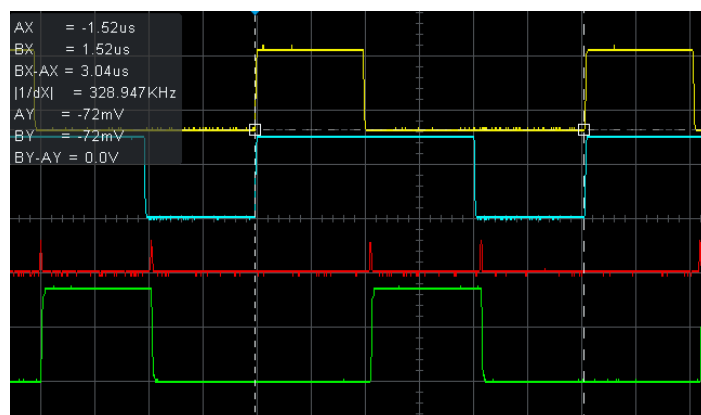
$f_r = f_m/F_c$, pokazana na rys. 5.9a, a także współczynniki THD na wyjściu modulatora LBDD PWM w funkcji $f_r = f_m/F_c$, dla różnych wartości Q (rys. 5.9b).



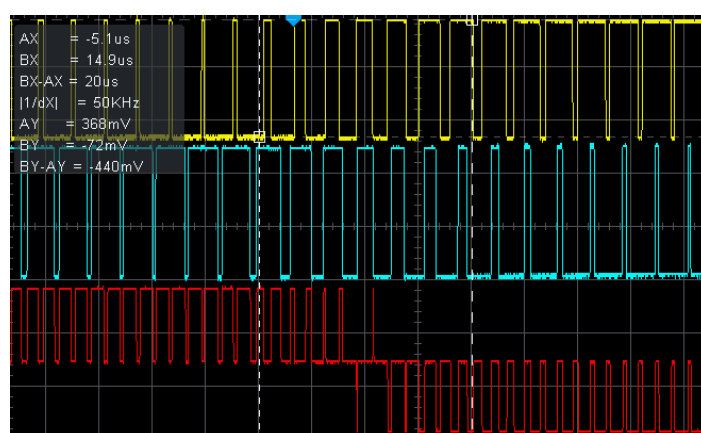
Rys.5.9; (a). Porównanie współczynników THD dla modulatorów NBDD, UDD i LBDD w funkcji $f_r = f_m/F_c$; (b). THD na wyjściu modulatora LBDD PWM dla różnych wartości Q .

Na rys. 5.10 (od góry) przedstawiono oscylogramy dwóch z synchronizowanych impulsów $LADS_L$ PWM, o rozdzielczości 6-MSB po rekwantyzacji, generowanych metodą licznikową przez mikrokontrolera STM32 i jego urządzenia peryferyjne. Zbocza opadające obu impulsów 6-MSB $LADS_L$ PWM są różniczkowane i przepuszczane przez 3-bitowe linie opóźniające PTDL, a następnie wykorzystywane do ustawiania i resetowania przrzutnika wyjściowego, co ilustruje oscylogramy na rys. 5.10 (od dołu).

Na rys. 5.11 przedstawiono oscylogramy przebiegów czasowych generowanych przez hybrydowe, 9-bitowe modulatory $LADD_L$ i $LADD_R$ do sterowania odpowiednio lewej i prawej gałęzi mostka H, oraz na wyjściu modulatora LBDD PWM w trybie różnicowym DM (od dołu).

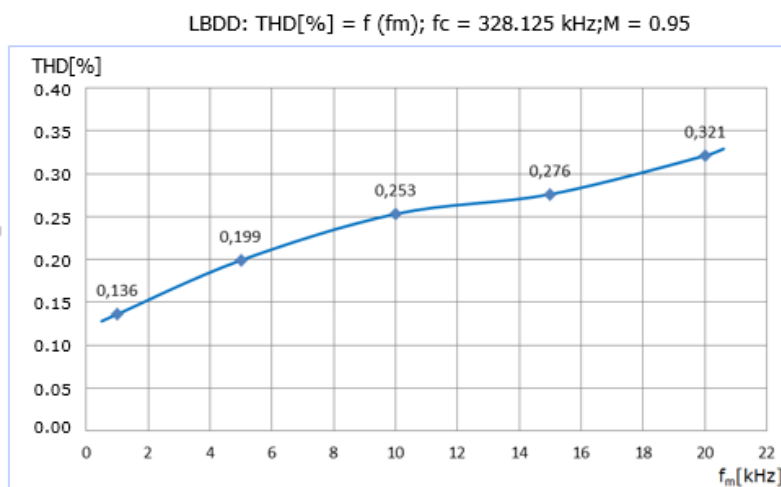


Rys. 5.10. Oscylogramy dwóch z synchronizowanych impulsów 6-MSB LADS_LPWM, generowanych metodą licznika (od góry); Generowanie impulsów 6-MSB LADD_LPWM na wyjściu modulatora LADD_LPWM (od dołu).



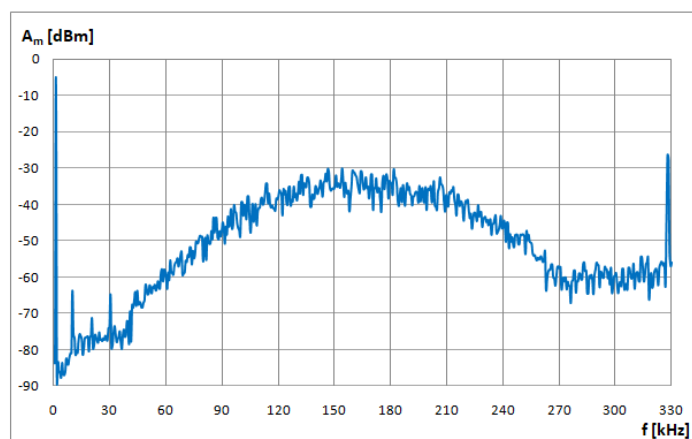
Rys. 5.11. Oscylogramy przebiegów czasowych generowanych przez 9-bitowe modulatory LADD_L i LADD_R (od góry) oraz na wyjściu modulatora LBDD PWM w trybie różnicowym DM (od dołu).

Na rys. 5.12 przedstawiono charakterystykę THD w funkcji częstotliwości sygnału modulującego $THD = \varphi(f_m)$ na wyjściu modulatora LBDD PWM w trybie różnicowym DM, otrzymaną w wyniku pomiarów. Natomiast na rys. 5.13 przedstawiono charakterystyki widmowe sygnału na wyjściu modulatora LBDD PWM w trybie różnicowym DM, wyznaczone eksperymentalnie za pomocą szerokopasmowego analizatora widma.

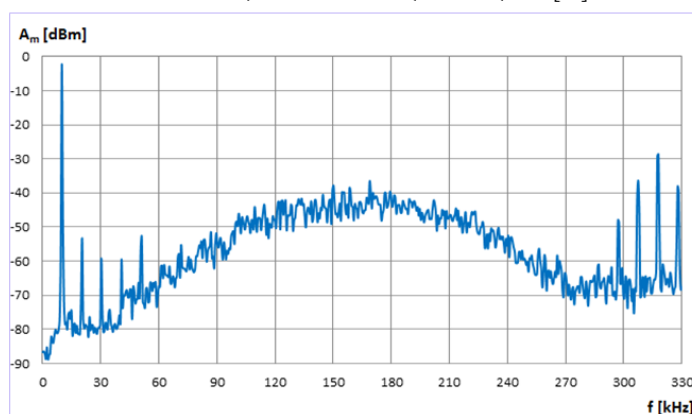


Rys. 5.12. Charakterystyka THD w funkcji częstotliwości sygnału modulującego $THD = \varphi(f_m)$

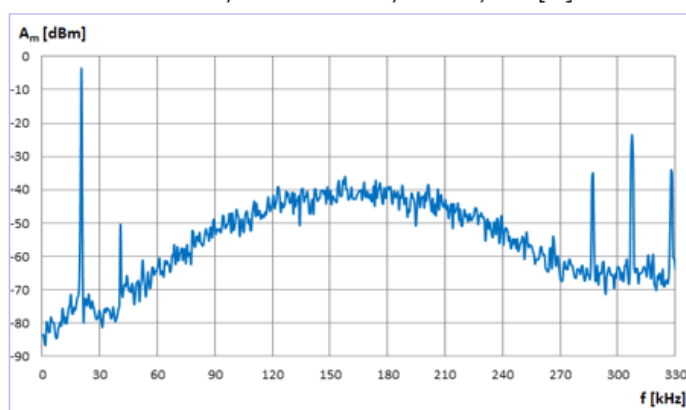
a) LBDD: $f_m = 1\text{kHz}$; $f_c = 328.125\text{ kHz}$; $M = 0.95$; $THD[\%] = 0.136$



b) LBDD: $f_m = 10\text{kHz}$; $f_c = 328.125\text{ kHz}$; $M = 0.95$; $THD[\%] = 0.253$



c) LBDD: $f_m = 20\text{kHz}$; $f_c = 328.125\text{ kHz}$; $M = 0.95$; $THD[\%] = 0.323$



Rys. 5.13. Charakterystyki widmowe sygnału na wyjściu modulatora LBDD PWM w trybie różnicowym DM, wyznaczone eksperymentalnie za pomocą szerokopasmowego analizatora widma.

5.4. Ocena uzyskanych wyników

Zaproponowano nową i oryginalną architekturę oraz implementację 9-bitowego (10-bitowego) zlinearyzowanego układu modulatora LBDD PWM dla cyfrowego wzmacniacza mocy klasy BD. Cały algorytm przetwarzania sygnałów i danych w modulatorze został zaimplementowany w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera

STM32, wraz z jego urządzeniami peryferyjnymi, oraz dwóch ogólnodostępnych, katalogowych, 3-bitowych programowalnych linii opóźniających PTDL.

Przeprowadzono obszerną weryfikację algorytmów przetwarzania sygnałów i danych, zaimplementowanego układu, a także symulację w programie MATLAB oraz badania eksperymentalne proponowanego 9-bitowego hybrydowego modulatora LBDD PWM.

Porównanie współczynników THD symulowanych w MATLAB i przedstawionych na rys. 5.8 wskazuje, że nawet prosty algorytm LBDD (przy $Q = 1$), wykorzystujący rekurencyjny model kształtowania szumu kwantyzacji z dwoma pętlami sprzężenia zwrotnego pozwala na znaczną poprawę liniowości modulatora w porównaniu z innymi rodzajami DPWM. W przypadku wyższych wartości Q , modulator LBDD może dodatkowo zmniejszyć poziomy THD , zbliżając się do optymalnego analogowego modulatora NBDD.

6-MSB bitowy kwantyzator oparty na metodzie licznikowej charakteryzuje się stosunkowo niezbyt dużym stopniem skomplikowania i wykazuje doskonałą liniowość konwersji cyfrowo-czasowej. W tym celu wszystkie bloki funkcjonalne w systemie muszą być idealnie zsynchronizowane, a okres przełączania T_c w podsystemach LADD_L PWM i LADD_R PWM musi rozpocząć się w tym samym czasie.

Przedstawiony w pracy oryginalny konwerter 3-LSB bitowy, wykorzystujący zintegrowany 3-bitowy programowalny PTDL, jest również bardzo prosty i charakteryzuje się dużą dokładnością przetwarzania. Wszystkie programowalne czasy opóźnienia „krok do kroku” w linii PTDL odnoszą się do „kroku zerowego”, który odnosi się do styku wejściowego. Czas opóźnienia w kroku zerowym wynosi 5 ns, ale nie ma wpływu na dokładność przetwarzania, ponieważ wszystkie lokalizacje czasów początków $t_p(n)$ i końców $t_k(n)$ zmodulowanych impulsów fizycznego ciągu 1-bitowych impulsów LBDD PWM są opóźnione o ten sam czas 5 ns.

Praktycznie zmierzony poziom THD na wyjściu modulatora LBDD PWM (charakterystyka przedstawiona na rys. 5.12) ma nieco wyższy poziom niż uzyskany w symulacji Matlab (rys. 5.9b, dla $Q = 1$). Jednak z praktycznego punktu widzenia są one całkiem zadowalające, zapewniając SNR na poziomie 80 dB i THD niższe niż 0,3% w paśmie podstawowym audio do 20 kHz.

Zaletą cyfrowego modulatora LBDD PWM jest również łatwe programowanie odpowiedniego czasu opóźnienia na zboczach narastających wszystkich sygnałów sterujących tranzystorami MOSFET stopnia mocy, co w praktyce pozwala ograniczyć prądy skrośne w procesach przełączania tranzystorów.

Unikalną zaletą opracowanego 9-bitowego (10-bitowego) modulatora LBDD PWM dla cyfrowego wzmacniacza klasy BD częstotliwości akustycznych jest to, że jego podstawową konfigurację, można go zaimplementować za pomocą tylko mikrokontrolera STM32, dwóch ogólnie dostępnych katalogowych 3-bitowych programowalnych linii opóźniających PTDL i kilkunastu standardowych bramek logicznych.

Rozdział 6

6. Wzmacniacze akustyczne klasy BD ze zrównoważonym wyjściem w trybie wspólnym CM.

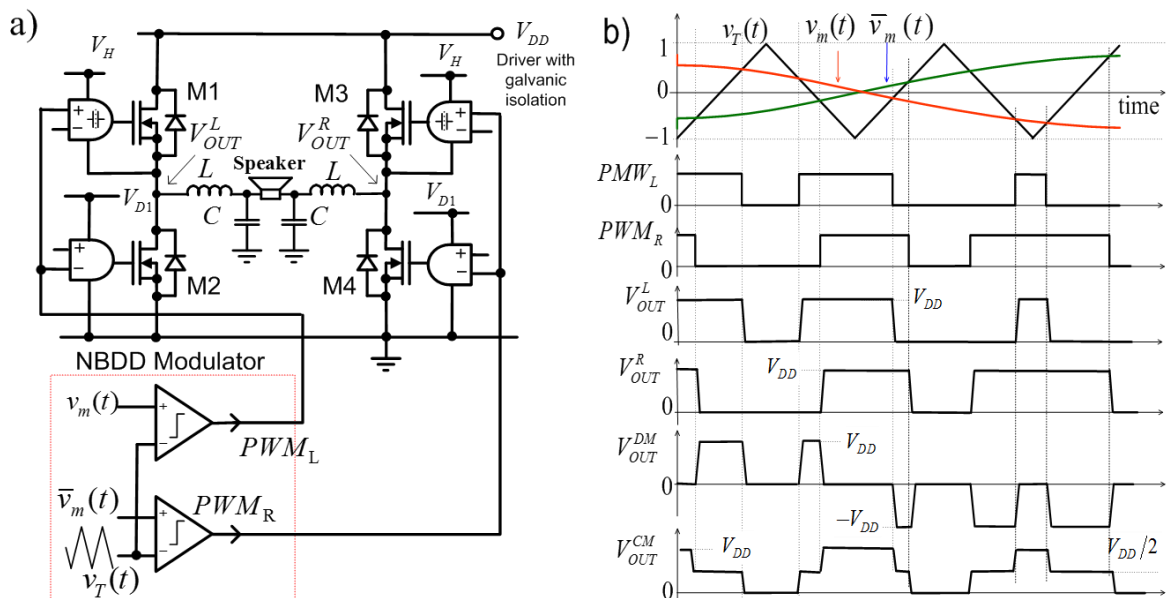
6.1. Wprowadzenie.

Wiele prac poświęcono różnym ulepszonym metodom modulacji PWM, a także topologiom wzmacniaczy mocy klasy D, aby uzyskać dwie najważniejsze cechy: wysoką wierność odtwarzania i dużą sprawność energetyczną.

Stopnie końcowe wzmacniaczy klasy D skonfigurowane są w struktury pół-mostkowe lub mostkowe, w których tranzystory mocy MOSFET pełnią rolę przełączników (klucze), sterowanych od stanu zamknięcia do stanu otwarcia. Charakterystyki statyczne tych elementów w granicznych stanach przewodzenia powinny być zbliżone do charakterystyk przełącznika w stanach zamknięcia i otwarcia, a czasy przełączania możliwie jak najkrótsze. Maksymalna moc obciążenia limitowana jest przez graniczne wartości prądów i napięć zastosowanych tranzystorów, a nie przez ich dopuszczalną moc strat.

Na rys.6.1a przedstawiono stopień wyjściowy wzmacniacza klasy BD w układzie mostka H, sterowany z wyjść modulatora NBDD PWM, lub jego odpowiednika LBDD PWM, a na rys. 6.1b przedstawiono przebiegi czasowe sygnałów sterujących i napięć wyjściowych w układzie.

Sygnały sterujące zawierają czasy opóźnień między stanami przełączania, w których wszystkie przełączniki są wyłączone, aby osiągnąć przełączanie przy zerowym napięciu (ZVS) i zapobiec prądom skrośnym płynącym przez tranzystory MOSFET w procesach ich przełączania.



Rys. 6.1. Wzmacniacz klasy BD z modulatorem NBDD PWM lub LBDD PWM: a). Schemat układu; b) Przebiegi czasowe sygnałów sterujących i napięcia na wyjściach wzmacniacza: różnicowym w trybie DM i sumacyjnym w trybie CM.

Widma częstotliwościowe sygnałów z modulacją NBDD PWM mają postać podwójnych szeregów Fouriera i dla sygnału na wyjściu różnicowym w trybie DM określa zależność (2.8), a na wyjściu sumacyjnym w trybie CM zależność (2.12).

Z równania (2.8) wynika, że efektywna częstotliwość próbkowania różnicowego sygnału wyjściowego w trybie DM jest podwojona, bez zwiększania częstotliwości kluczowania na wyjściu, a wszystkie harmoniczne wokół nieparzystych wielokrotności częstotliwości kluczowania są eliminowane. Jednak na wyjściu sumacyjnym w trybie CM (równanie 2.12) widmo częstotliwościowe sygnału sumacyjnego CM zawiera nieparzyste harmoniczne częstotliwości kluczowania i ich parzyste składowe intermodulacyjne (IM), które są obecne w pełnej skali, nawet przy bardzo niskim poziomie sygnału modulującego.

Wzmacniacze akustyczne klasy BD z modulacją NBDD często w literaturze są wyróżniane jako „bezfiltrowe”, przez co należy rozumieć, że nie ma potrzeby stosowania dodatkowego filtra LC, a wydzielenie sygnału modulującego zapewnia samo obciążenie o charakterze rezystancyjno-indukcyjnym (głośnik). Dotyczy to jednak tylko sygnałów różnicowych w trybie DM. Aby dołączyć sygnał różnicowy z wyjścia wzmacniacza do głośnika, przewody dołączające (najczęściej długie), a także ścieżki połączeniowe obwodu montażowego, przenoszą nie tylko sygnał różnicowy, ale również powstające przy modulacjach NBDD, lub LBDD sygnały wspólne.

Szybkie przełączanie tranzystorów MOSFET w stopniu wyjściowym, duże skoki napięć wyjściowych (w pełnym zakresie napięcia zasilania V_{DD}) oraz szerokie widmo częstotliwościowe sygnałów sumacyjnych w trybie CM mogą prowadzić do emisji zakłóceń o wysokiej częstotliwości RF ze stopnia wyjściowego, ścieżek na płycie drukowanej, filtrów i kabli głośnikowych, które stają się przypadkowymi antenami promieniującymi zakłócenia elektromagnetyczne.

Filtry LC we wzmacniaczach klasy BD z modulacją NBDD lub LBDD muszą być projektowane oddzielnie dla sygnałów różnicowych DM i sumacyjnych CM. Często do filtracji sygnałów wspólnych wykorzystuje się cewki sprzężone magnetycznie o indukcyjności wzajemnej M , co skutkuje skuteczniejszym tłumieniem sygnałów wyjściowych CM, ponieważ cewki sprzężone wykazują znacznie większą impedancję dla prądu wyjściowego sumacyjnego w trybie CM niż dla prądu różnicowego DM [6, 17].

W wielu pracach zaproponowano różne rozwiązania modulacji cyfrowych oraz struktur układowych wzmacniaczy klasy D, a także nowe metody linearyzacji dla zapewnienia wysokiej wierności odtwarzania i redukcji zakłóceń elektromagnetycznych EMI bezfiltrowych wzmacniaczy klasy D [8, 21].

Oryginalną modulację Common-Mode Free BD (CMFBD), która utrzymuje stałe napięcia wyjściowe w trybie CM, przedstawiono w [8]. Wyjście różnicowe w trybie DM tego wzmacniacza ma taką samą postać jak mostkowy wzmacniacz klasy BD z optymalną modulacją NBDD, jednak częstotliwość przełączania tranzystorów mocy MOSFET tworzących nowy stopień wyjściowy mostka H jest podwojona. Szczegółowa analiza przedstawionej modulacji CMFBD pokazuje, że jest ona odpowiednikiem modulacji szerokości impulsu z przesuniętą fazą nośną (PSCPWM), która jest uważana za wielopoziomową metodę PWM dla wzmacniaczy klasy BD [33, 34].

Na rys. 6.2 przedstawiono schemat ideowy wzmacniacza klasy BD z wykorzystaniem modulacji PSCPWM oraz schemat blokowy modulatora PSCPWM generującego wszystkie sygnały sterujące S1 - S3 [8, 33, 34]. Mostek H zawiera dwa dodatkowe przełączniki szeregowo M5 i M6, połączone równolegle z obciążeniem, które służą do bocznikowania dwukierunkowego indukcyjnego prądu obciążenia, gdy M1-M4 są wyłączone i do ustawiania napięcia $V_{DD}/2$ na obu wyjściach niesymetrycznych mostka, za pomocą rezystorów R_b bocznikowych tranzystory M1-M4. Na rys. 6.2c przedstawiono również przebiegi czasowe sygnałów sterujących S1 - S3 z wyjść modulatora i napięcia na wyjściach wzmacniacza.

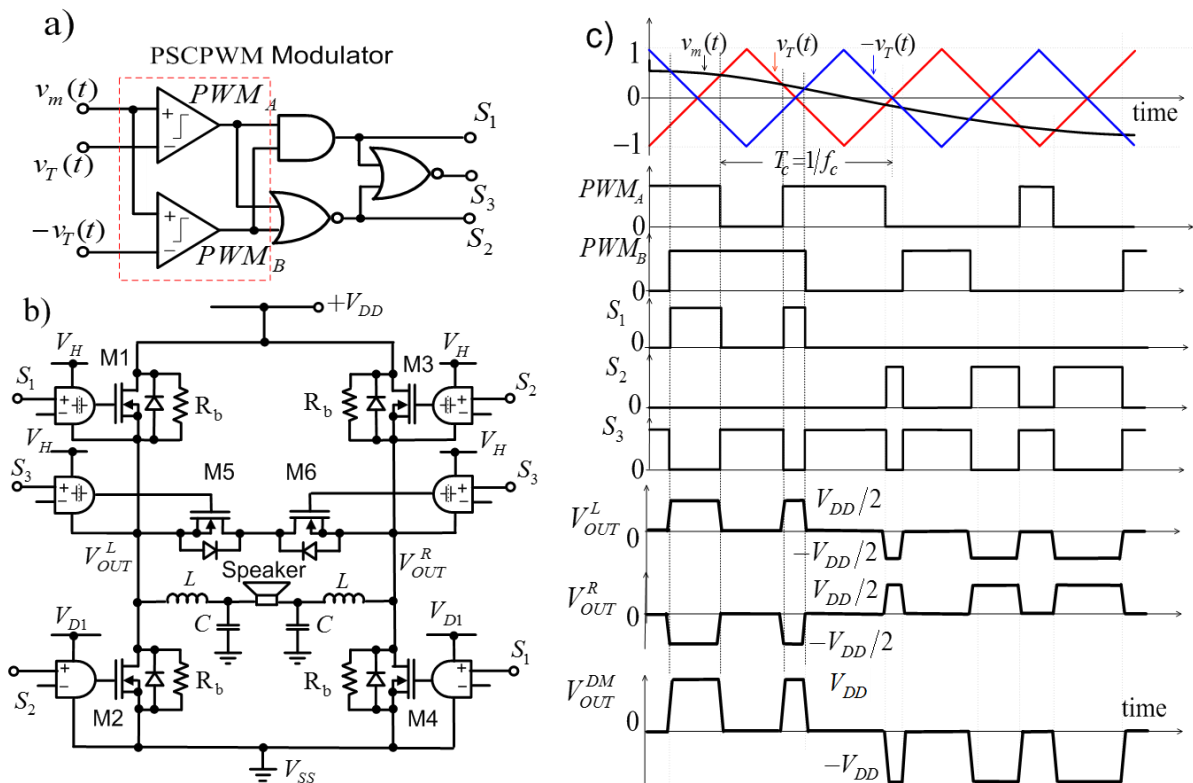
Widma częstotliwościowe sygnałów z modulacją PSCPWM na wyjściu różnicowym w trybie DM oraz na wyjściu sumacyjnym w trybie CM mają postać podwójnych szeregów Fouriera i można je wyrazić po pewnych przekształceniach za pomocą następujących wyrażeń [33, 34]:

$$F_{FSC}^{DM}(t) = M \cos(\omega_m t) + 2 \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\pm \infty} \left\{ \frac{J_n\left(\frac{m\pi M}{2}\right)}{m\pi} \sin\left(\frac{(m+n)\pi}{2}\right) [1 - \cos(n\pi)] \sin[m\Omega_c + n\omega_m]t \right\} =$$

$$= M \cos(\omega_m t) + 4 \sum_{m=1}^{\infty} \sum_{n=0}^{\pm \infty} \left\{ \frac{J_n\left(\frac{2m\pi M}{2}\right)}{2m\pi} \sin\left(\frac{[2m + (2n+1)]\pi}{2}\right) \sin[\{2m\Omega_c + (2n+1)\omega_m\}t] \right\} \quad (6.1)$$

$$F_{FSC}^{CM}(t) = \frac{1}{2} \quad (6.2)$$

Porównując równania (2,8) i (2.12) z odpowiadającym im równaniami (6.1) i (6.2), a także przebiegi czasowe napięć na wyjściach wzmacniaczy, przedstawione na rys. 1b i rys. 2c, widzimy, że wyjście DM wzmacniacza klasy BD z modulacją PSC PWM jest identyczne jak dla optymalnej modulacji NBDD PWM, jednak PSC PWM utrzymuje stałe napięcie sumacyjne w trybie CM.



Rys. 6.2. Wzmacniacz klasy BD z modulacją PSCPWM: a). Schemat blokowy modulatora PSCPWM; b). Stopień wyjściowy; c). Przebiegi czasowe na wyjściach modulatora i mostka H.

Wadą przedstawionego układu z modulacją PSCPWM jest konieczność zastosowania dwóch dodatkowych szeregowych przełączników M5 i M6 oraz przełączania tranzystorów mocy z dwukrotnie większą częstotliwością modulacji NBDD, co skutkuje większymi stratami mocy przełączania. Ponadto straty mocy występują w rezystorach bocznikujących R_b , połączonych równolegle z M1–M4 i tworzących dzielniki napięcia w celu ustawienia napięcia $V_{DD}/2$ na obu wyjściach niesymetrycznych, co również zwiększa czasy narastania i opadania impulsów wyjściowych PWM, przyczyniając się do dalszego wzrostu strat mocy w procesach przełączania.

W pracy doktorskiej przedstawiono nowe architektury i implementacje oryginalnych wzmacniaczy audio klasy BD z otwartą pętlą i zbalansowanym wyjściem w trybie wspólnym. Stopień wyjściowy każdego proponowanego wzmacniacza zawiera typowy mostek H z czterema tranzystorami MOSFET i czterema dodatkowymi przełącznikami MOSFET, które równoważą i utrzymują stałą wartość napięcia wyjściowego w trybie CM, co oznacza, że w tych wzmacniaczach nie ma potrzeby filtracji sygnałów wspólnych [9-10], [45-52]. Prezentowane wzmacniacze wykorzystują rozbudowane schematy modulacji cyfrowych LBDD PWM lub LPSC PWM.

6.2. Wzmacniacze klasy BD ze zrównoważonym wyjściem wspólnym w trybie CM, wykorzystujące rozbudowane modulatory LBDD PWM lub LPSC PWM.

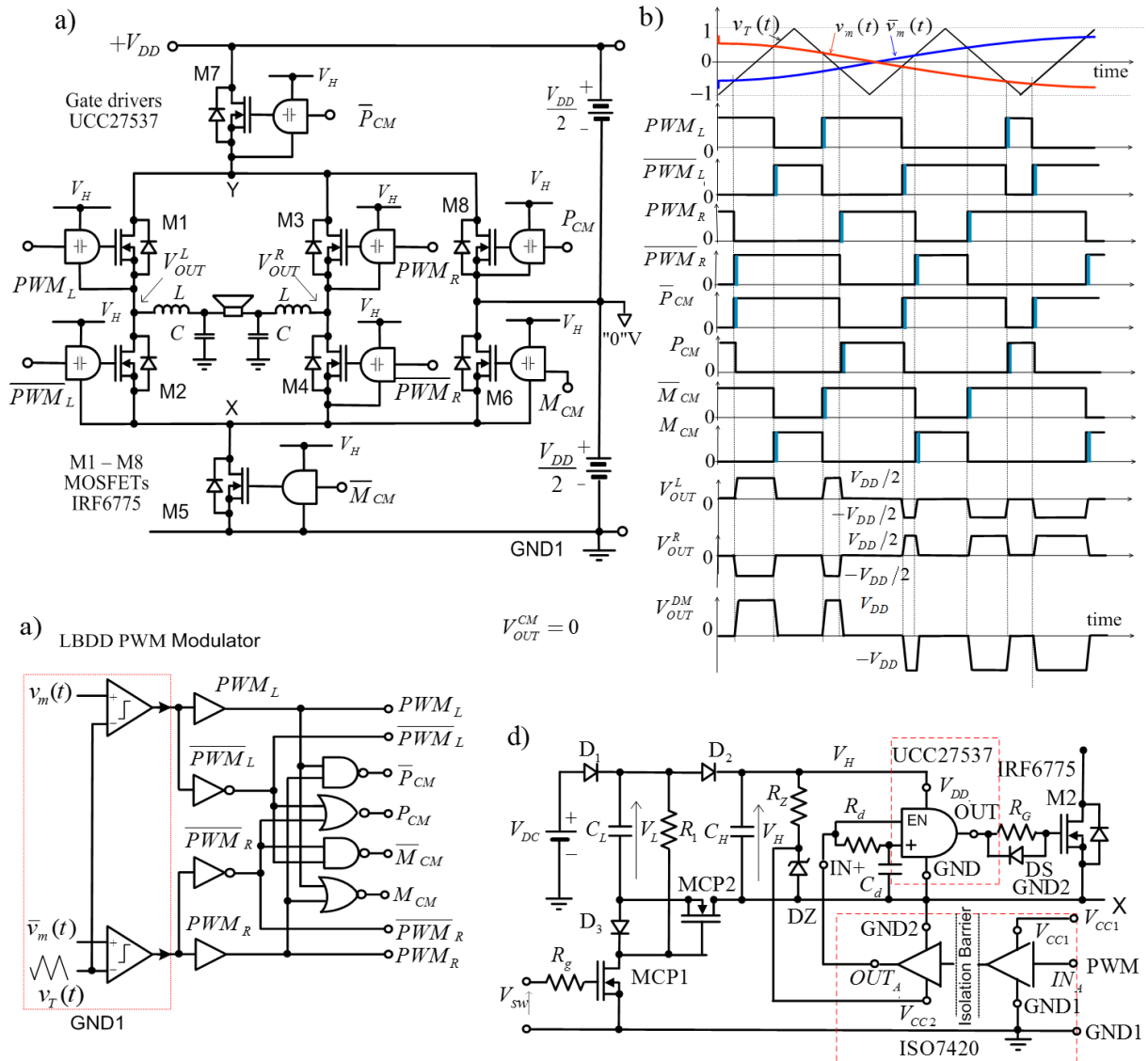
Na rys. 6.3a przedstawiono ulepszoną wersję wzmacniacza audio klasy BD ze zrównoważonym wyjściem wspólnym w trybie CM (opublikowaną wcześniej w [9, 49], wykorzystującą rozbudowany cyfrowy modulator LBDD PWM (rys. 6.3c).

Wzmacniacz ten składa się z typowego stopnia wyjściowego mostka H z czterema tranzystorami MOSFET i czterech dodatkowych przełączników MOSFET (M5, M6 i M7, M8) oddzielających mostek H od zasilacza i przełączających szyny zasilające mostka na połówkowe napięciowe $V_{DD} / 2$, w przedziałach czasu, w których tranzystory MOSFET górnej strony lub dolnej strony mostka H są zamknięte jednocześnie. W tych stanach, gdy tranzystory M1, M3 strony górnej są załączone, tranzystor M7 jest wyłączony zaś tranzystor M8 jest załączony, natomiast, gdy tranzystory M2, M4 dolnej strony są załączone, to tranzystor M5 jest wyłączony, a tranzystor M6 jest załączony. Częstotliwość przełączania wszystkich tranzystorów MOSFET jest taka sama jak w przypadku modulacji LBDD PWM, tj. dwukrotnie niższa niż w przypadku modulacji PSCPWM na rys. 6.2b.

Poprzez wprowadzenie odpowiedniego czasu opóźnienia na zboczach narastających wszystkich sygnałów sterujących bramkami tranzystorów MOSFET (jak pokazano na rys. 6.3b), możliwe jest osiągnięcie w przybliżeniu przełączanie tranzystorów przy zerowym napięciu (ZVS), co zapobiega prądom skrośnym w procesach przełączania. Aby zaimplementować to opóźnienie, zastosowano 2-wejściową bramkę AND sterownika bramki UCC27537 z wejściami Schmitt-Trigger (rys. 3c). Wyjście sterownika bramki jest połączone z bramką tranzystora MOSFET poprzez rezystor R_G i antyrównoległą diodę Schottky'ego, zapewniając zwiększenie prędkości wyłączania. Uziemienie GND1 sterownika DPWM jest izolowane od pływającego uziemienia GND sterownika bramkowego za pomocą cyfrowego izolatora ISO7420 z barierą izolacyjną wykonaną z dwutlenku krzemu (SiO_2).

Na rys. 3c pokazano również obwód samodoładowującej się pompy ładunkowej [17], generujący zmienne zasilanie dla sterownika bramki tranzystora M2, przy czym to samo rozwiązanie stosuje się do wszystkich innych tranzystorów MOSFET. Ciągłe przełączanie MCP1 zapewnia, że izolowane i zmienne zasilanie polaryzacyjne pompy ładującej jest dostępne przez cały czas dla odpowiedniego sterownika, niezależnie od indeksu modulacji M i bez jakiegokolwiek ingerencji w żadaną sekwencję przełączania odnogi fazowej.

Znacznie prostsze rozwiązania dla systemów sterowania bramkami można zastosować, gdy stopień wyjściowy wzmacniacza jest zaimplementowany na komplementarnych parach MOSFET.

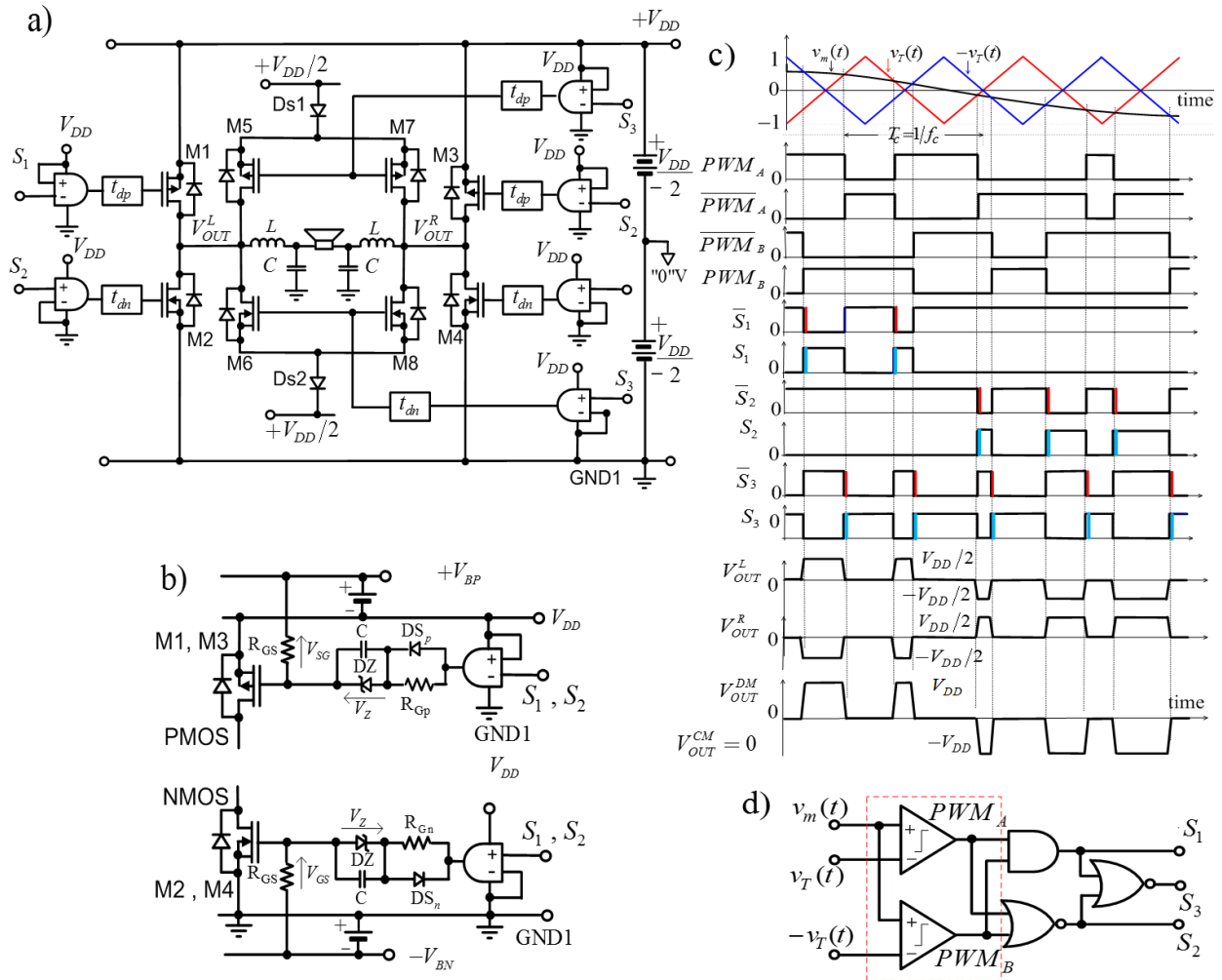


Rys. 6. 3. Wzmacniacz audio klasy BD ze zrównoważonym wyjściem CM, z rozbudowanym cyfrowym modulatorem LBDD PWM: a). Schemat ideowy stopnia wyjściowego; b). Przebiegi czasowe na wyjściach modulatora i stopnia wyjściowego wzmacniacza; c). Schemat logiczny rozbudowanego modulatora LBDD PWM. d). Sterownik bramek z pływającym napięciem zasilającym typu „floating” oraz z galwaniczną izolacją sygnału sterującego LBDD PWM.

Jak pokazano na rysunku 4, sterowniki bramek wszystkich tranzystorów MOSFET mają wspólną masę GND1 i są sterowane bezpośrednio z wyjść modulatora LBDD PWM. Schemat blokowy modulatora LBDD PWM jest również prostszy (rys. 6.4d), ponieważ stopień wyjściowy realizowany na komplementarnych parach MOSFET i nie wymaga par komplementarnych sygnałów sterujących.

Biorąc pod uwagę, że tranzystory M6 i M8 zasilane są połową napięcia $V_{DD}/2$, napięcie zasilania V_{DD} tego układu powinno mieścić się w ograniczonym zakresie opisanym nierównościami:

$$2|V_{GS \min}|_{\text{at } R_{DS(on) \max}} > \frac{V_{DD}}{2} \quad ; \quad V_{DD} < |V_{GS \max}| \quad \text{and} \quad V_{DD} < |V_{DS \max}| \quad (6.3)$$



Rys. 6. 4. Wzmacniacz audio klasy BD ze zrównoważonym wyjściem CM, z rozbudowanym cyfrowym modulatorem LBDD, zaimplementowany na komplementarnych parach MOSFET: a). Schemat ideowy stopnia wyjściowego; b). Przebiegi czasowe na wyjściach wzmacniacza oraz sygnały sterujące LBDD PWM z opóźnionymi czasami załączania tranzystorów NMOS i PMOS; c). Schemat logiczny rozbudowanego modulatora LBDD PWM.

Przy wyższym napięciu bramki niż $|V_{GS\min}|$, rezystancja źródło-dren w stanie włączenia $R_{DS(on)\max}$ będzie mniejsza niż pewna wartość, przy której straty mocy przewodzenia są nadal akceptowalne, gdzie $|V_{DS\max}|$ i $|V_{GS\max}|$ są maksymalnymi, dopuszczalnymi wartościami dla komplementarnych tranzystorów MOSFET.

Najczęściej $|V_{GS\max}| < |V_{DS\max}|$, co przekłada się na warunek: $V_{DD} < |V_{GS\max}|$, w związku z czym nie jest możliwe użycie napięcia zasilania wyższego niż:

$$V_{DS\max} : V_{DD} < |V_{DS\max}| \quad (6.4)$$

Przedstawiony na rys. 6.4c sterownik bramki posiada możliwość niezależnej regulacji prędkościami załączania i wyłączania dla NMOSFET i PMOSFET. Rezystor R_G umożliwia regulację prędkości załączania tranzystora MOSFET (R_{Gn} pozwala na regulację czasu opóźnienia narastających zboczy sygnału LBDD PWMPWM, natomiast R_{Gp} pozwala na niezależną regulację czasu opóźnienia zboczy opadających). Podczas wyłączania, antyrównoległa dioda Schottky'ego bocznikuje rezystor szeregowy R_G , dodatkowo ładunek bramki jest pobierany z równoległego kondensatora C_B ładowanego do napięcia Zenera V_Z ,

zapewniając zwiększenie prędkości wyłączenia. W czasie załączenia przełącznika niewielki prąd stały płynie w przesuwniku poziomu napięcia, utrzymując sterownik we właściwym stanie.

Na rys. 6.5a przedstawiono schemat ideowy oryginalnego wzmacniacza audio klasy BD ze zrównoważonym wyjściem w trybie CM, zaimplementowany na komplementarnych parach MOSFET i sterowany z rozbudowanego modulatora LPSC PWM.

Na rys. 6.5b przedstawiono przebiegi napięć na wyjściach DM i CM wzmacniacza oraz logiczne kombinacje sygnałów sterujących \bar{S}_1 , \bar{S}_2 i \bar{S}_3 , z opóźnionymi czasami załączania tranzystorów NMOS i PMOS. Również w tym przypadku zastosowanie komplementarnych tranzystorów w stopniu mocy znacznie uprościło ich sterowanie, ponieważ sterowniki bramek wszystkich tranzystorów MOSFET mają wspólną masę GND1 i są bezpośrednio sterowane z wyjść rozbudowanego modulatora LPSC PWM.

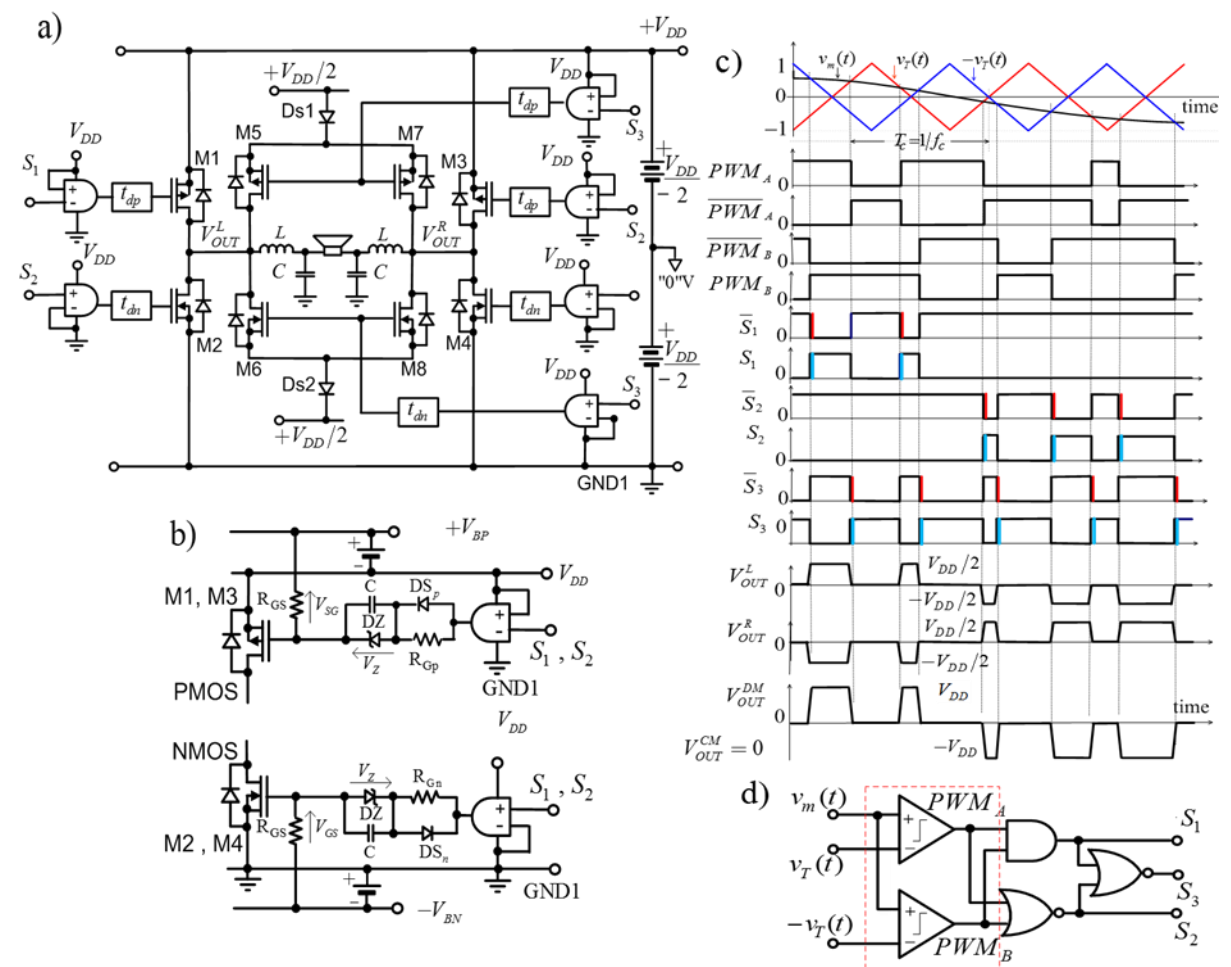


Fig. 6.5. Wzmacniacz audio klasy BD ze zrównoważonym wyjściem w trybie CM, wykorzystujący modulację LPSC PWM: a). Nowa topologia stopnia wyjściowego; b). Implementacja czasów opóźnienia załączenia NMOS i PMOS c). Przebiegi czasowe na wyjściach wzmacniacza i sygnały sterujące \bar{S}_1 , \bar{S}_2 i \bar{S}_3 z opóźnionymi czasami załączania NMOS i PMOS (bezpośrednio na bramkach tych tranzystorów). d). Schemat blokowy rozbudowanego modulatora PSC PWM.

Zamiast rezystorów bocznikujących R_b , aby ustawić oba wyjścia na poziomie $V_{DD}/2$ (jak na rys. 6.2b), utworzono dodatkowy mostek H z tranzystorów M5, M7 i M6, M8, jednak dolna i górna strona nowego mostka H są podłączone do tego samego źródła zasilania $V_{DD}/2$ przez przeciwnie spolaryzowane diody Schottky'ego.

Dwie równoległe gałęzie dwóch szeregowo połączonych tranzystorów NMOSFET (M6, M8) lub PMOSFET (M5, M7) są połączone równoległe z obciążeniem i służą do bocznikowania dwukierunkowego indukcyjnego prądu obciążenia, gdy M1 – M4 są wyłączone oraz do ustawienia obu wyjść niesymetrycznych wzmacniacza na poziomie przy $V_{DD}/2$. Implementacja czasów opóźnienia załączania tranzystorów NMOS i PMOS tak, jak pokazano na rys. 5.4c, pozwala na niezależną regulację czasów opóźnienia narastających i opadających zboczy sygnałów na bramkach tych tranzystorów.

Układ przedstawiony na rys. 6.5.a można zrealizować z wykorzystaniem tylko NMOSFET-ów, ale należy zapewnić izolację galwaniczną w torze transmisji sygnałów sterujących oraz izolowane i pływające zasilanie sterowników bramek.

6.3. Wyniki symulacji w programie SPICE i badania eksperymentalne wzmacniaczy audio klasy DB ze zrównoważonym wyjściem wspólnym w trybie CM.

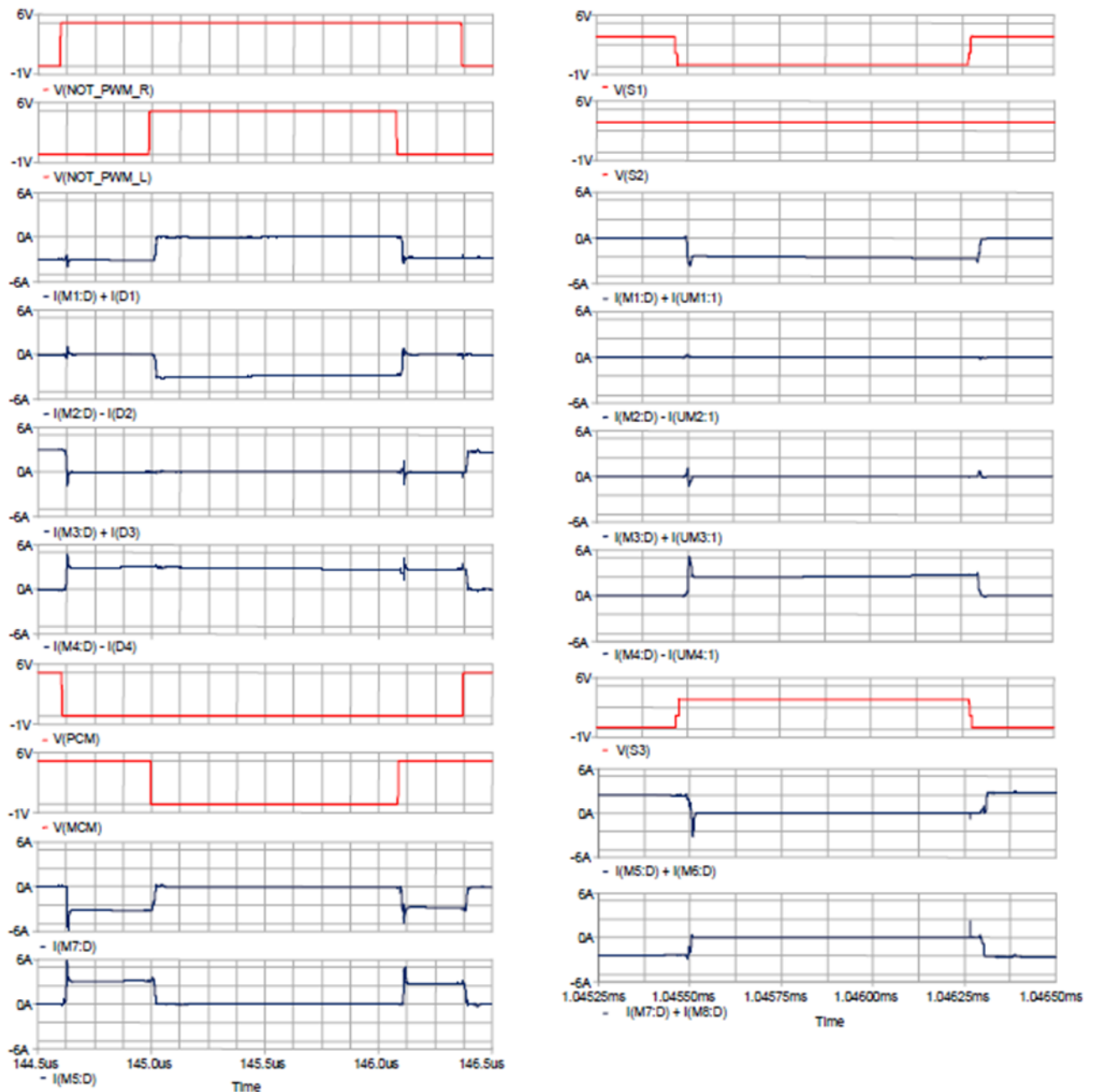
Symulacje w programie SPICE i badania eksperymentalne posłużyły do porównania parametrów proponowanych wzmacniaczy klasy BD ze zbalansowanym wyjściem w trybie CM z prototypem wykorzystującym optymalny schemat modulacji NBDD PWM. Wszystkie wzmacniacze klasy BD zostały przetestowane dla dwóch różnych częstotliwości przełączania: $F_{c1} = 328$ kHz oraz $F_{c2} = 164$ kHz, używając dla każdej częstotliwości przełączania dwóch różnych zestawów rezystancji obciążenia, a także wartości parametrów filtra wyjściowego LC: 1), $R_L = 4 \Omega$, $L = 15 \mu\text{H}$, $C = 1.8 \mu\text{F}$; 2), $R_L = 8 \Omega$, $L = 33 \mu\text{H}$, $C = 1 \mu\text{F}$.

Ponieważ proponowane wzmacniacze na rys. 6.4 i 6.5 zbudowane są na komplementarnych tranzystorach MOSFET, a przyłożone napięcie zasilania $V_{DD} = 24\text{V}$ przekracza napięcie $V_{GS\text{max}}$ (nierówność 6.3), konieczne było zastosowanie układu przesuwania poziomu napięcia z diodą Zenera ($V_Z = 6.2$ V) w celu obniżenia amplitudy napięcia sterującego z wyjścia sterownika bramki (za wyjątkiem tranzystorów MOSFET, których źródła są podłączone do połowy napięcia $V_{DD}/2$, tj. wirtualnej masy GND "0"V). Na rys. 6.6a, 6.6b przedstawiono przebiegi czasowe sygnałów sterujących, generowanych na wyjściach rozbudowanych modulatorów: LBDD PWM lub LPSC PWM w jednym wybranym okresie kluczowania T_c , oraz prądy drenów: od I (M1: D) do I (M4: D) i od I (M5: D)- I (M8 : D) tranzystorów mocy MOSFET we wzmacniaczach mocy pokazanych odpowiednio: a) na rys. 4 ; b) na rys. 5.

Optymalne czasy opóźnienia załączania tranzystorów MOSFET zostały dostosowane poprzez dobranie wartości rezystancji R_{Gn} i R_{Gp} (rys..6.4c i rys. 6.5b). W badanych układach wzmacniaczy, dla $R_{Gp} = 68 \Omega$ oraz $R_{Gn} = 150 \Omega$ otrzymujemy optymalne czasy opóźnienia załączania tranzystorów oraz znaczne ograniczenie prądów skrośnych.

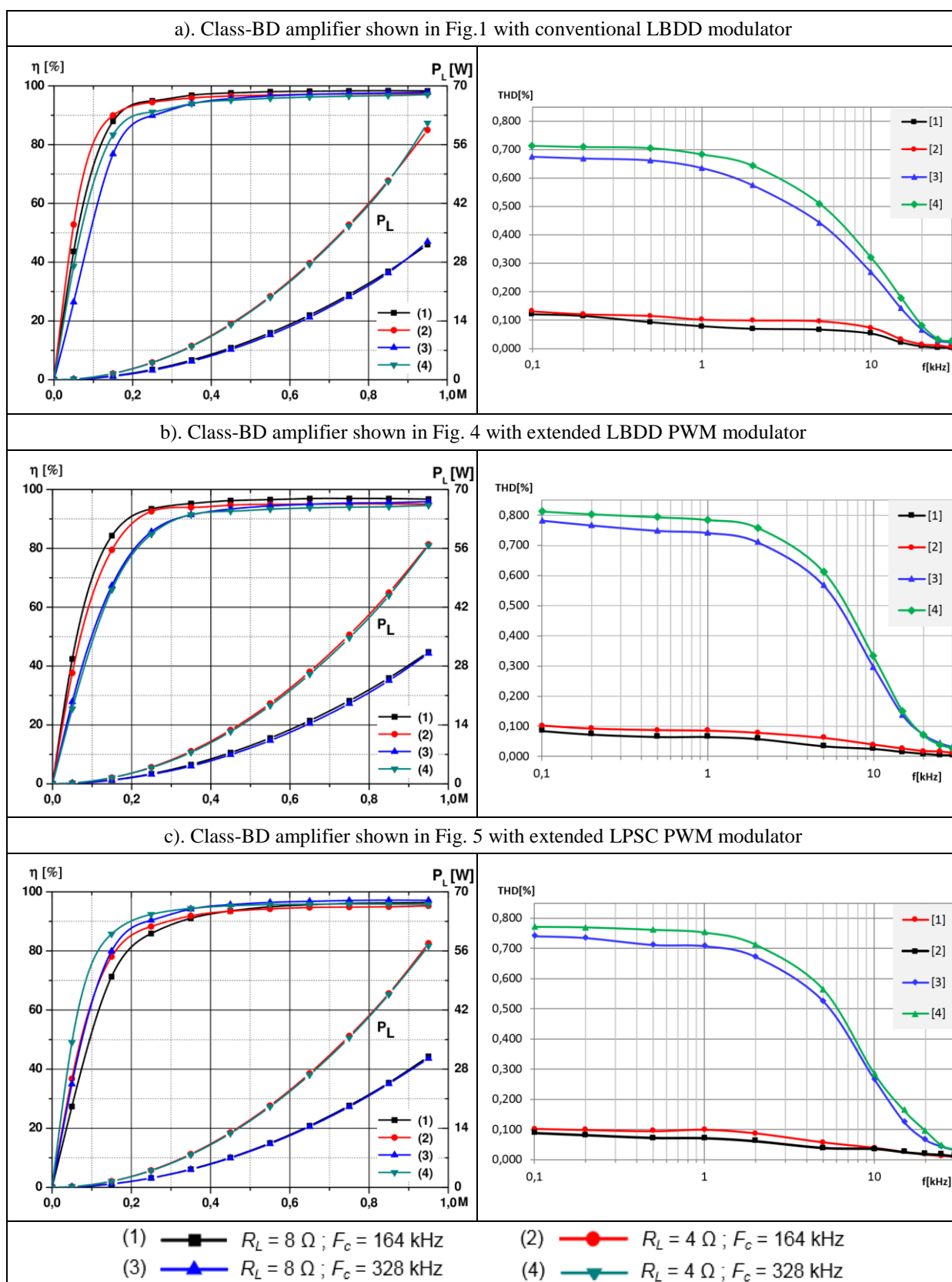
Na rys. 6.7a, b, c przedstawiono sprawność energetyczną i moc wyjściową w funkcji wskaźnika modulacji M , a także THD w funkcji częstotliwości wejściowego sygnału akustycznego dla trzech różnych wzmacniaczy klasy BD: 6.7a) – wzmacniacza z rys. 6.1 z konwencjonalnym modulatorem NBDD PWM ; 6.7b) – wzmacniacza z rys. 6. 4 z rozbudowanym modulatorem LBDD PWM ; 7c) – wzmacniacza z rys. 6.5 z rozbudowanym modulatorem LPSC PWM Charakterystyki te wyznaczono dla dwóch różnych częstotliwości przełączania, przy dwóch zestawach wartości rezystancji obciążenia oraz wartości parametrów filtra wyjściowego LC, dla każdej częstotliwości. Jak widać, charakterystyki mocy wyjściowej wszystkich trzech wzmacniaczy są prawie identyczne, podczas gdy sprawności dwóch proponowanych wzmacniaczy, zawierających cztery dodatkowe przełączniki tranzystorowe do zrównoważenia wyjść wspólnych w trybie CM, są nieco niższe w porównaniu ze sprawnością prototypowego wzmacniacza z modulatorem

NBDD PWM, ze względu na dodatkowe straty mocy w stanach przewodzenia i w procesach przełączania w tych dodatkowych przełącznikach tranzystorowych.



Rys. 6.6. Przebiegi czasowe sygnałów sterujących LPWM generowanych w jednym wybranym okresie T_c oraz prądy drenów tranzystorów mocy w układach pokazanych odpowiednio: a) na rys. 4, b) na rys. 5.

Filtracja niepożądanych składowych widma na wyjściu DM wszystkich trzech testowanych wzmacniaczy jest bardzo łatwa, dla obu stosowanych częstotliwości przełączania, ponieważ widmo częstotliwości nie zawiera harmonicznych częstotliwości przełączania i nie ma składowych IM wokół nieparzystych wielokrotności częstotliwości przełączania. Jak widać na rys. 6.7, wszystkie testowane wzmacniacze wykazują jednak niewielkie zniekształcenia na wyjściach różnicowych DM, spowodowane zniekształconymi sekwencjami zmodulowanych impulsów DPWM, generowanych przez stopnie wyjściowe tych wzmacniaczy.

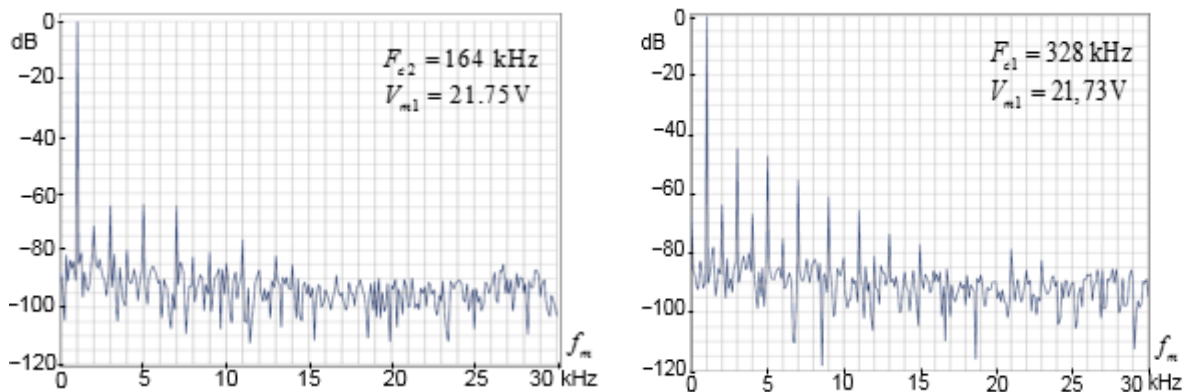


Rys. 6.7. Sprawność i moc wyjściowa w funkcji wskaźnika modulacji M oraz THD w funkcji częstotliwości sygnału audio dla trzech wzmacniaczy pokazanych: a) na rys.6. 1 ; b) na rys. 6.4 ; c) na rys. 6.5, odpowiednio.

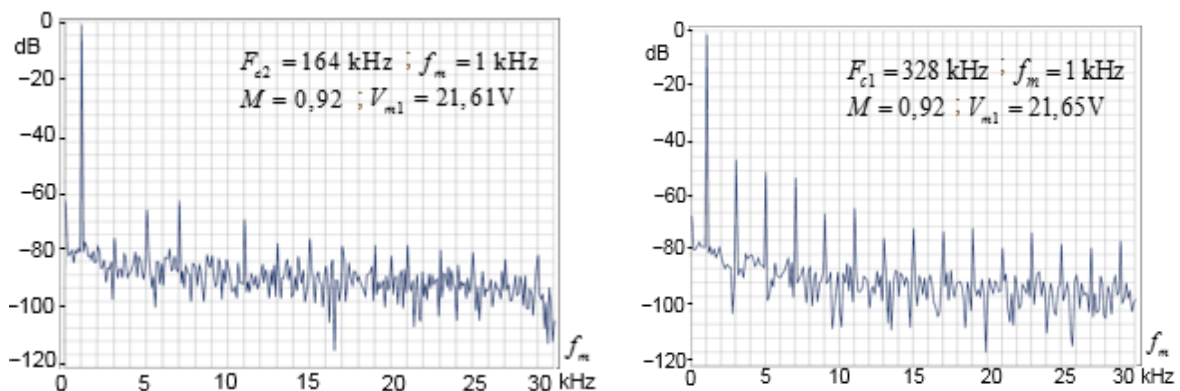
Największy udział w generacji zniekształceń nieliniowych na wyjściu różnicowym DM mają błędy wprowadzane przez procesy przełączania tranzystorów MOSFET, wynikające w szczególności z wprowadzanych do sygnałów sterujących czasów opóźnienia załączania tranzystorów.

Na podstawie rys. 6.7a, b, c możemy zaobserwować następujące interesujące właściwości. Opracowane wzmacniacze klasy BD ze zrównoważonym wyjściem wspólnym CM mają nieco wyższe *THD* niż prototypowy wzmacniacz na rys. 6. 1 z konwencjonalną modulacją NBDD PWM.. Dzieje się tak, ponieważ proponowane wzmacniacze są sterowane przez modulatory generujące sygnały sterujące o rozszerzonym „timing”, co daje więcej błędów czasowych, takich jak: czasy opóźnień, t_{on}/t_{off} , t_r/t_f dodawanych w każdym okresie przełączania T_c przez sterowniki bramek.

a). Class-BD amplifier shown in Fig.1 with conventional LBDD modulator



b). Class-BD amplifier shown in Fig. 4 with extended LBDD PWM modulator



c). Class-BD amplifier shown in Fig. 5 with extended LPSC PWM modulator

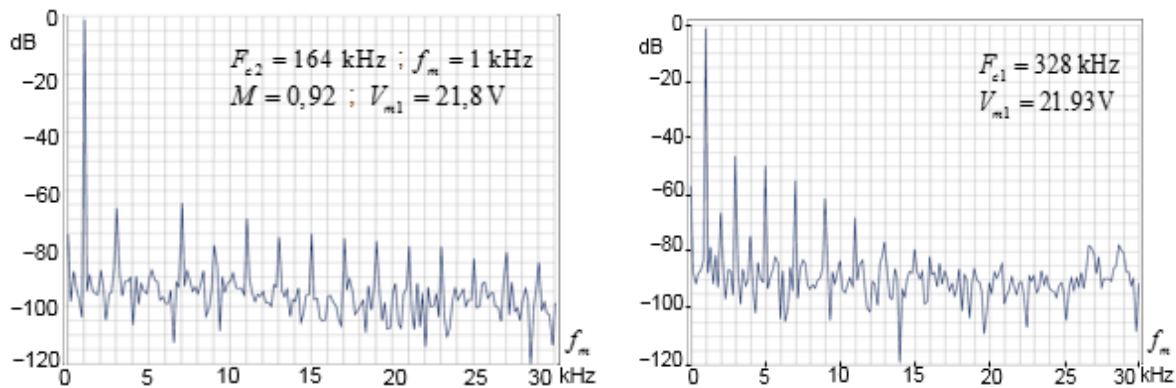
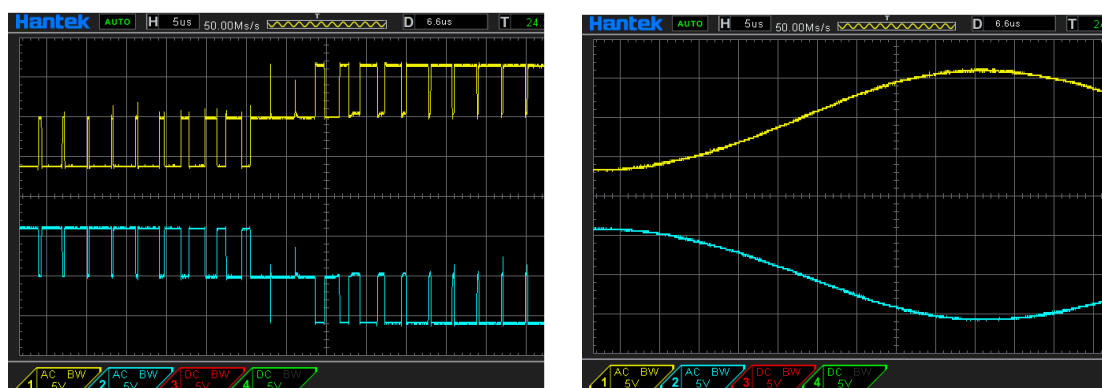
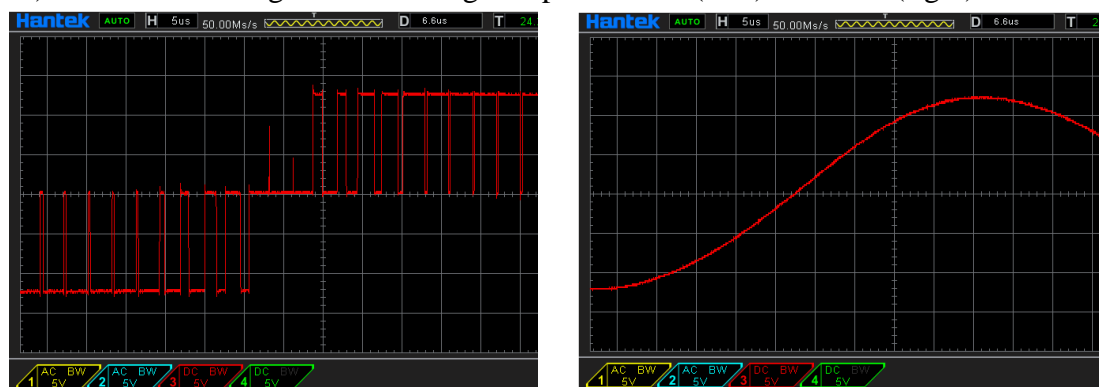


Fig. 6.8. Symulowane odpowiedzi częstotliwościowe THD + N trzech testowanych wzmacniaczy w paśmie do 30 kHz.

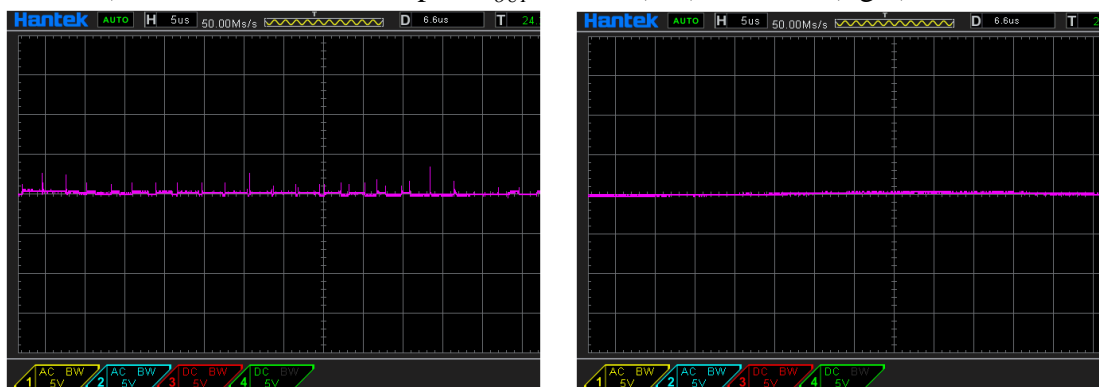
Współczynnik THD wszystkich testowanych wzmacniaczy jest wyższy dla wyższej częstotliwości przełączania $F_{c1} = 328$ kHz niż dla $F_{c2} = 164$ kHz, ponieważ względne błędy taktowania są większe dla krótszego okresu przełączania T_c .



a). Left-half and Right-half H-bridge outputs before (left) and after (right) filtration



b). Differential Mode output V_{OUT}^{DM} before (left) and after (right) filtration



c). Common Mode output V_{OUT}^{CM} before (left) and after (right) filtration

Rys. 6.9. Oscylogramy zmierzone na następujących wyjściach wzmacniacza klasy BD na rys. 6.5:

a). Wyjścia lewej gałęzi i prawej gałęzi mostka H b). Wyjście DM ,

c). Wyjście CM (w lewej kolumnie przed, w prawej kolumnie po filtracji)

$F_{c2} = 164$ kHz, $f_m = 10$ kHz ; w pionie: 1div/5V ; w poziomie: 1div/5 μ s ; $V_{DD} = 24$ V .

Na rys. 6.8a, b, c przedstawiono symulowane odpowiedzi częstotliwościowe THD + N w paśmie do 30 kHz, dla trzech testowanych wzmacniaczy przy dwóch częstotliwościach przełączania: $F_{c1} = 328$ kHz, $F_{c2} = 164$ kHz, przy częstotliwości sygnału akustycznego $f_m = 1$ kHz, indeksie modulacji $M = 0.95$, rezystancji obciążenia $R_L = 8 \Omega$, i parametrach filtru: $L = 33 \mu H$, $C = 1 \mu F$.

Na rys. 9 przedstawiono oscylogramy napięcia zmierzone na następujących wyjściach badanego wzmacniacza klasy BD z modulatorem LPSC PWM, przedstawionego na rys. 6.5: Lewa gałąź półmostka, Prawa gałąź półmostka, Wyjście różnicowe DM, Wyjście wspólne w trybie CM przed i po filtracji. Podobne oscylogramy otrzymujemy dla wzmacniacza klasy BD na rys. 6.4 z modulatorem LBDD PWM.

Porównanie napięć wyjściowych na lewej gałęzi półmostka, prawej gałęzi półmostka i na wyjściu wspólnym CM, przedstawione na rys. 5 i 9 pokazują, że rzeczywiste przebiegi czasowe są zniekształcane przez nakładające się piki na narastających i opadających zboczach impulsu DPWM w każdym okresie przełączania. Głównym źródłem tych pików są błędy czasowe dodawane w każdym okresie przełączania T_c przez sterowniki bramek, takie jak czas martwy, t_{on}/t_{off} ; t_r/t_f .

Nieuchronność błędów taktowania wynika z faktu, że czasy opóźnienia włączenia tranzystorów NMOS i PMOS muszą być realizowane przez niezależną regulację czasów opóźnienia narastających i opadających zboczy sygnałów sterujących LBDD PWM lub LPSC PWM. Nawet przy równych czasach opóźnienia włączenia NMOS i PMOS, w czasie martwym prąd cewki indukcyjnej na wyjściu LPF włącza diodę podłożową. Podczas następnej fazy, gdy następuje przełączenie tranzystorów MOSFET w obu gałęziach mostka pod koniec czasu martwego, dioda podłożowa pozostaje w stanie przewodzenia do czasu, aż zmagazynowane nośniki mniejszościowe w bazie diody zostaną całkowicie usunięte. Ten zwrotny prąd wsteczny ma zwykle kształt piku i prowadzi do niepożądanych zniekształceń przez nakładanie się impulsów na narastających i opadających zboczach impulsów DPWM w każdym okresie przełączania. Jednak filtracja pojawiających się skoków na wyjściu CM jest bardzo łatwa, nawet gdy indukcyjność filtra L jest bardzo mała, co pokazuje oscylogram na rys.6.9.

6.4. Ocena uzyskanych wyników.

Od strony teoretycznej, jak i praktycznej, opisano i przetestowano dwa oryginalne wzmacniacze audio klasy BD z otwartą pętlą i zrównoważonymi wyjściami w trybie wspólnym CM. Stopień wyjściowy każdego proponowanego wzmacniacza zawiera typowy mostek H z czterema tranzystorami MOSFET i czterema dodatkowymi przełącznikami MOSFET, które równoważą i utrzymują stałą wartość napięcia na wyjściu wspólnym w trybie CM.

Każdy ze wzmacniaczy wykorzystuje rozbudowany schemat modulacji cyfrowej LBDD PWM lub LPSC PWM i został zaimplementowany na komplementarnych parach MOSFET. Symulacje SPICE i badania eksperymentalne wykazały, że proponowane wzmacniacze mają podobną wydajność audio do prototypu z optymalnym schematem modulacji NBDD PWM, a jednocześnie mają zrównoważone wyjście wspólne CM, ze stałą wartością napięcia $V_{DD}/2$ na tym wyjściu.

Filtracja niepożądanych składowych widma na wyjściu różnicowym w trybie DM testowanych wzmacniaczy jest bardzo łatwa, ponieważ widmo częstotliwości nie zawiera harmonicznych częstotliwości przełączania i nie ma składowych IM wokół nieparzystych wielokrotności częstotliwości przełączania. Ponieważ wzmacniacze te jednocześnie mają zrównoważone wyjście wspólne CM, ze stałą wartością napięcia $V_{DD}/2$ na tym wyjściu, to można radykalnie ograniczyć, a raczej wyeliminować filtr wyjściowy.

Są to w pełni bezfiltrowe wzmacniacze klasy BD ze zrównoważonym wyjściem wspólnym w trybie CM. Stopnie końcowe tych wzmacniaczy mogą być sterowane przez rozbudowane modulatory, zarówno analogowe NBDD PWM lub PSC PWM, jak i cyfrowe LBDD PWM lub LPSC PWM.

Proponowane wzmacniacze klasy BD mają nieco wyższe *THD* niż prototypowy konwencjonalny wzmacniacz z modulacją LBDD PWM, ponieważ są sterowane przez rozbudowane modulatory, co daje więcej błędów taktowania dodawanych w każdym okresie przełączania T_c przez sterowniki bramek. Współczynnik *THD* wszystkich testowanych wzmacniaczy jest wyższy dla wyższej częstotliwości przełączania $F_{c1} = 328$ kHz niż dla, $F_{c2} = 164$ kHz, ponieważ względne błędy taktowania są większe dla krótszego okresu przełączania T_c .

We wzmacniaczach klasy BD ze zbalansowanym wyjściem wspólnym CM zaleca się stosowanie niezbyt wysokiej częstotliwości przełączania (w przedstawionym rozwiązaniu $F_{c2} = 164$ kHz), co skutkuje wyższą sprawnością energetyczną i niższymi *THD*, nawet przy zredukowanym filtrze wyjściowym LC.

Rozległe badania symulacyjne w SPICE oraz badania eksperymentalne wykazały, że proponowane wzmacniacze klasy BD mają podobne parametry jak prototypowy wzmacniacz klasy BD z optymalną modulacją NBDD, a jednocześnie posiadają zrównoważone stałe napięcie wyjściowe w trybie CM, co umożliwia realizację bezfiltrowych wzmacniaczy klasy D, jednocześnie eliminując lub znacznie zmniejszając zakłócenia promieniowania elektromagnetycznego (EMI).

W praktyce ze względu na niedoskonałe przebiegi napięć sterujących tranzystorami MOSFET, na wyjściu CM wzmacniacza generowane są krótkie impulsy szpilkowe, łatwe do odfiltrowania przez zredukowany filtr wyjściowy LC, nawet przy bardzo niewielkiej wartości indukcyjności L.

Rozdział 7

7. Wnioski końcowe

Wszystkie postawione cele badawcze w pracy zostały w całości osiągnięte, a tezy pracy doktorskiej zostały uzasadnione, udowodnione i potwierdzone badaniami symulacyjnymi i eksperymentalnymi.

Jeden z głównych celów pracy, jakim było opracowanie od strony teoretycznej oraz implementacja cyfrowego, linearyzowanego modulatora szerokości impulsów DPWM z kompensacją wstępną do sterowania nowych, oryginalnych wzmacniaczy akustycznych klasy BD, ze zrównoważonym wyjściem dla sygnałów wspólnych w trybie CM, o stałej wartości napięcia na tym wyjściu, został w pełni zrealizowany.

Dużą część pracy poświęcono algorytmom przetwarzania sygnałów niezbędnych do konwersji cyfrowych danych audio, uzyskanych ze źródła, na cyfrowy sygnał o modulowanej szerokości impulsów DPWM. Skoncentrowano się na linearyzowanych, rozbudowanych modulatorach szerokości impulsów LBDD PWM i LPSC PWM z kompensacją wstępną, umożliwiających możliwie jak najwierniejszą emulację naturalnych modulacji NBDD PWM lub PSC PWM.

Zostały zdefiniowane w teorii, zaprojektowane i przesymulowane w programie Matlab® algorytmy kompensacji wstępnej, składające się z bloków modułowych: interpolacji, obliczenia położenia początków i końców czasu trwania impulsu LBDD PWM lub LPSC PWM w n -tych okresach kluczowania i kształtowania szumów kwantyzacja, a następnie zostały zaimplementowane w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera STM32 i programowanych linii opóźniających z odczepami PTDL.

Opracowano w pełni oryginalną architekturę konwertera cyfrowo-czasowego DTC, który konwertuje rekwantyzowane dane cyfrowe, określające położenie początków $t_p(n)$ i końców $t_k(n)$ impulsów DPWM w kolejnych n -tych okresach przełączania T_c , w fizyczny ciąg 1-bitowych impulsów o modulowanej szerokości do sterowania stopniem wyjściowym wzmacniacza klasy D. a następnie został on zaimplementowany w oparciu o mikrokontroler STM32 i programowaną linię opóźniającą PTDL.

Zaproponowano nową i oryginalną architekturę oraz implementację 9-bitowego (10-bitowego) zlinearyzowanego układu modulatora LBDD PWM dla cyfrowego wzmacniacza mocy klasy BD. Cały algorytm przetwarzania sygnałów i danych w modulatorze został zaimplementowany w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera STM32, wraz z jego urządzeniami peryferyjnymi, oraz dwóch ogólnodostępnych, katalogowych, 3-bitowych programowalnych linii opóźniających PTDL.

Przeprowadzono obszerną weryfikację algorytmów przetwarzania sygnałów i danych, zaimplementowanego układu, a także symulację w programie MATLAB® oraz badania eksperymentalne proponowanego 9-bitowego hybrydowego modulatora LBDD PWM.

Porównanie współczynników *THD* symulowanych w programie MATLAB® wskazuje, że nawet prosty algorytm LBDD (przy $Q = 1$), wykorzystujący rekurencyjny model kształtowania szumu kwantyzacji z dwoma pętlami sprzężenia zwrotnego pozwala na znaczną poprawę liniowości modulatora, w porównaniu z innymi rodzajami modulacji DPWM. W przypadku wyższych wartości Q , modulator LBDD może dodatkowo zmniejszyć poziomy *THD*, zbliżając się do optymalnego analogowego modulatora NBDD.

6-MSB bitowy kwantyzator oparty na metodzie licznikowej charakteryzuje się stosunkowo niezbyt dużym stopniem skomplikowania i wykazuje doskonałą liniowość konwersji cyfrowo-czasowej. W tym celu wszystkie bloki funkcjonalne w systemie muszą być idealnie zsynchronizowane, a okres przełączania T_c w podsystemach LADD_L PWM i LADD_R PWM musi rozpocząć się w tym samym czasie.

Praktycznie zmierzony poziom *THD* na wyjściu modulatora LBDD PWM ma nieco wyższy poziom niż uzyskany w symulacji Matlab®. Jednak z praktycznego punktu widzenia są one całkiem zadowalające, zapewniając *SNR* na poziomie 80 dB i *THD* niższe niż 0,3% w paśmie podstawowym audio do 20 kHz.

Zaletą cyfrowego modulatora LBDD PWM jest również łatwe programowanie odpowiedniego czasu opóźnienia na zboczach narastających wszystkich sygnałów sterujących tranzystorami MOSFET stopnia mocy, co w praktyce pozwala ograniczyć prądy skrośne w procesach przełączania tranzystorów.

Unikalną zaletą opracowanego 9-bitowego (10-bitowego) modulatora LBDD PWM dla cyfrowego wzmacniacza klasy BD częstotliwości akustycznych jest to, że jego podstawową konfigurację można zaimplementować za pomocą tylko mikrokontrolera STM32, dwóch ogólnie dostępnych katalogowych 3-bitowych programowalnych linii opóźniających PTDL i kilkunastu standardowych bramek logicznych.

Drugim, ważnym celem pracy było opracowanie oryginalnych nowych architektur wzmacniaczy akustycznych klasy BD, charakteryzujących się zrównoważonym wyjściem dla sygnałów wspólnych, tj. posiadających stałe napięcie na wyjściu sumacyjnym w trybie CM.

Stopień wyjściowy proponowanych wzmacniaczy audio klasy BD zawiera typowy mostek H z czterema tranzystorami MOSFET oraz cztery dodatkowe przełączniki MOSFET, które równoważą i utrzymują stałą wartość napięcia na wyjściu sumacyjnym w trybie wspólnym. Przedstawione w pracy wzmacniacze klasy BD wykorzystują rozbudowane schematy modulacji LBDD PWM lub LPSC PWM.

Gdy stopień wyjściowy jest zbudowany tylko na tranzystorach NMOSFET, sterowniki bramek wymagają zasilania typu „floating”, a sygnały sterujące bramkami tranzystorów muszą być izolowane galwanicznie. Zastosowanie komplementarnych tranzystorów MOSFET w stopniu wyjściowym znacznie upraszcza systemy sterowania bramkami. Proponowane

wzmacniacze zostały porównane pod względem parametrów wyjściowych w trybie różnicowym (DM) i trybie wspólnym (CM) ze wzmacniaczem klasy BD w typowej konfiguracji mostka H, sterowanego z modulatora NBDD PWM.

Obszerne badania symulacyjne w programie SPICE oraz badania eksperymentalne wykazały, że proponowane wzmacniacze klasy BD mają podobne parametry jak prototypowy wzmacniacz klasy BD z optymalną modulacją NBDD, a jednocześnie mają zrównoważone wyjście dla sygnałów wspólnych o stałym napięciu, umożliwiając tym samym realizację bezfiltrowych wzmacniaczy klasy D.

Filtracja niepożądanych składowych widma na wyjściu różnicowym w trybie DM testowanych wzmacniaczy jest bardzo łatwa, ponieważ widmo częstotliwości nie zawiera harmonicznym częstotliwości przełączania i nie ma składowych IM wokół nieparzystych wielokrotności częstotliwości przełączania. Ponieważ wzmacniacze te jednocześnie mają zrównoważone wyjście wspólne CM, ze stałą wartością napięcia na tym wyjściu, to można radykalnie ograniczyć, a raczej wyeliminować filtr wyjściowy, przy równoczesnej eliminacji lub znacznym ograniczeniu zakłóceń elektromagnetycznych radiacyjnych (EMI).

Są to w pełni bezfiltrowe wzmacniacze klasy BD ze zrównoważonym wyjściem wspólnym w trybie CM.

Dodatki

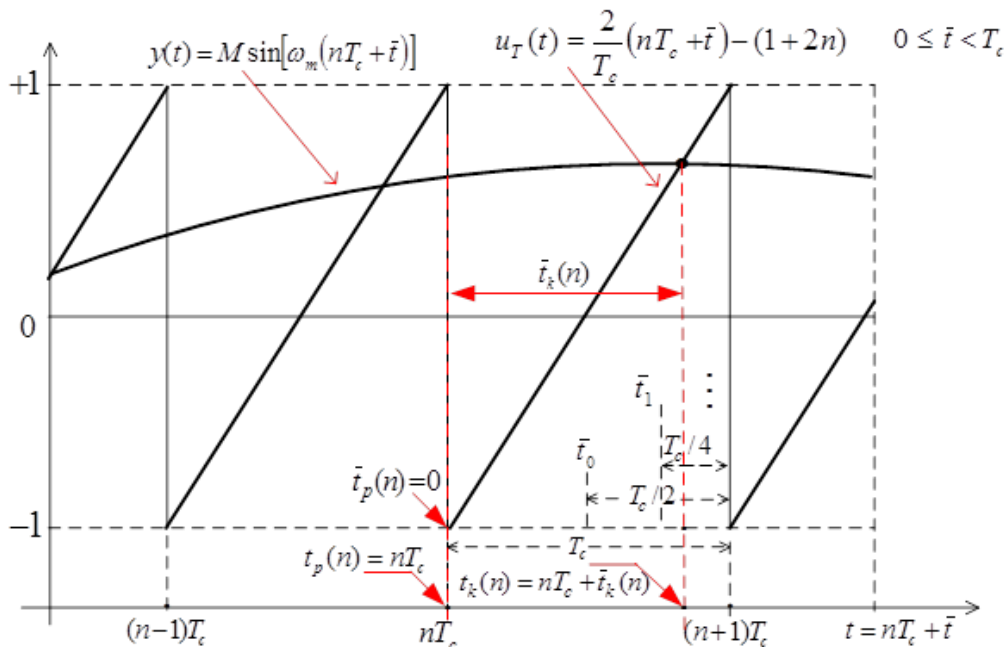
Dodatek A.1

A.1.1. Wyznaczenia przebiegów czasowych sygnałów z modulacją NPWM, dla sinusoidalnego sygnału modulującegogo

Wykorzystując metodę binarną, w programie Matlab® dość łatwo można wyznaczyć z zadaną dokładnością przebiegi czasowe sygnałów z modulacją NPWM (początki i końce czasu trwania impulsu w każdym okresie kluczowania), dla deterministycznego sygnału modulującegogo.

A.1.1.1 Wyznaczenie przebiegów czasowych sygnałów z modulacją NADS

Rys. D.1 wyjaśnia zasadę wyznaczenia szerokości impulsu w n -tym okresie kluczowania metodą binarną, przy modulacji jednobrzęgowej NADS, dla sinusoidalnego przebiegu modulującegogo: $y(t) = M \sin(\omega_m t)$.



Rys. D.1. Wyznaczenie szerokości impulsu w n -tym okresie metodą binarną dla modulacji NADS

Jak zaznaczono na rys. D.1, w kolejnych okresach kluczowania ciągły czas t możemy zapisać:

$$t = nT_c + \bar{t} ; \quad \text{dla : } n = 0, 1, 2, \dots, (N - 1) ; \quad \text{gdzie : } 0 \leq \bar{t} < T_c , \quad (\text{D.1})$$

$N = (T_m / T_c)$ jest liczbą impulsów PWM jednym okresie sygnału modulującegogo.

Przebiegi czasowe sygnałów: modulującegogo i piłokształtnego w n -tym okresie kluczowania opisują równania:

$$y(t) = M \sin[\omega_m(nT_c + \bar{t})] \quad ; \quad u_T = \frac{2}{T_c}(nT_c + \bar{t}) - (1 + 2n) \quad ; \quad 0 \leq \bar{t} < T_c \quad (\text{D.2})$$

dla : $n = 0, 1, 2, \dots, (N - 1)$ (pierwszy okres kluczowania otrzymujemy dla: $n = 0$)

Przy modulacji NADS, początek impulsu PWM w n -tym okresie kluczowania wynosi nT_c , natomiast koniec impulsu wyznacza punkt przecięcia przebiegu modulującegogo $y(nT_c + \bar{t})$ z przebiegiem piłokształtnym $u_T(nT_c + \bar{t})$. Algorytm wyznaczania tego punktu będzie bardziej przejrzysty, gdy przebieg piłokształtny będzie zapisany zawsze dla pierwszego okresu kluczowania ($n = 0$), zaś przesuwany będzie tylko przebieg modulujący, tj.:

$$y(t) = M \sin[\omega_m(nT_c + \bar{t})] \quad \text{dla: } n = 0, 1, 2, \dots, (N-1); \quad \text{natomiast: } u_T(\bar{t}) = \frac{2}{T_c} \bar{t} - 1 \quad (\text{D.3})$$

Binarna metoda wyznaczania końca czasu trwania impulsu PWM w n -tym okresie kluczkowania polega na kolejnym binarnym dzieleniu okresu T_c na odcinki dwa razy krótsze: $(T_c/2i)$ dla $i = 2, 4, 8, 16, \dots$, aż do momentu, gdy znajdziemy w wyniku podziału taki przedział $0 \leq \bar{t} < T_c$, w którym

$$y(t) = M \sin[\omega_m(nT_c + \bar{t})] = u_T(\bar{t}) = \frac{2}{T_c} \bar{t} - 1.$$

Algorytm ten można opisać w kilku krokach:

(1) Podstawiam: $n = 0, i = 2, k = 0$

(2) Obliczam: $\bar{t}_k = \frac{T_c}{i}$;

(3) Jeżeli: $M \sin[2\pi f_m(\bar{t}_k + nT_c)] > u_T(\bar{t}_k)$, to powiększam: $k = k + 1$

$$\bar{t}_{k+1} = \frac{T_c}{i} + \frac{T_c}{2i} = \bar{t}_k + \frac{T_c}{2i}$$

$$\text{w przeciwnym razie} \quad \bar{t}_{k+1} = \frac{T_c}{i} - \frac{T_c}{2i} = \bar{t}_k - \frac{T_c}{2i}$$

(4) Powiększam: $i = 2i$

(5) Zależnie od spełnienia warunku (3), (sprawdzając przy tym, z jaką dokładnością spełniony jest ten warunek), z nową wartością \bar{t}_{k+1} , wchodzę w pętlę programu do wyznaczenia nowej wartości \bar{t}_{k+1} , czyli do kroku (3). Przy każdym powiększeniu k o 1, dwukrotnie zwiększa się indeks i (krok 4) i podobnie jak to

miejsce w przypadku binarnej kompensacji wagowej, z coraz to większą dokładnością $\left(\Delta \bar{t}_k - \frac{T_c}{2^p}\right)$

zblizamy się do dokładnej wartości współrzędnej punku przecięcia obydwu przebiegów czasowych.

(6) Jeżeli warunek (3) spełniony jest z zadaną dokładnością, to wyznaczenie czasu końca impulsu PWM w n -tym okresie kluczkowania należy uznać za zakończone.

Początek i koniec impulsu PWM w n -tym okresie, są odpowiednio równe:

$$t_p(n) = nT_c \quad ; \quad t_k(n) = nT_c + \bar{t}_{k+1}(n)$$

$\bar{t}_{k+1}(n)$ jest ostatnią wartością wyznaczoną przy wyjściu z pętli.

(7) Podstawiam: $n = n + 1, i = 2, k = 0$ i wchodzę do kroku (2), aż do wyczerpania wszystkich wartości $n = 0, 1, 2, \dots, (N-1)$.

A.1.1.2 Wyznaczenie przebiegów czasowych sygnałów z modulacją NADD

W przypadku modulacji dwubręgowej NADD, w każdym okresie kluczkowania należy wyznaczyć zarówno początek, jak i koniec czasu trwania impulsu PWM. W tym celu możemy wykorzystać algorytm podobny do opisanego wyżej, realizowany w dwóch oddzielnych, nieco zmodyfikowanych pętlach programu.

W obu pętlach, w kroku (2) algorytmu należy obliczyć: $\bar{t}_k = \frac{T_c}{2i}$ (zamiast $\bar{t}_k = \frac{T_c}{i}$)

Pierwsza pętla algorytmu dotyczy wyznaczania początków czasu trwania impulsów $(\bar{t}_p(n))$ PWM w n -tym okresie kluczkowania (w miejsce indeksu k należy podstawić p), i zgodnie z rys. D.2, w kroku (3) opisanego wyżej algorytmu sygnał sinusoidalny należy porównać z opadającą częścią przebiegu trójkątnego, opisanego dla pierwszego okresu kluczkowania ($n = 0$), równaniem :

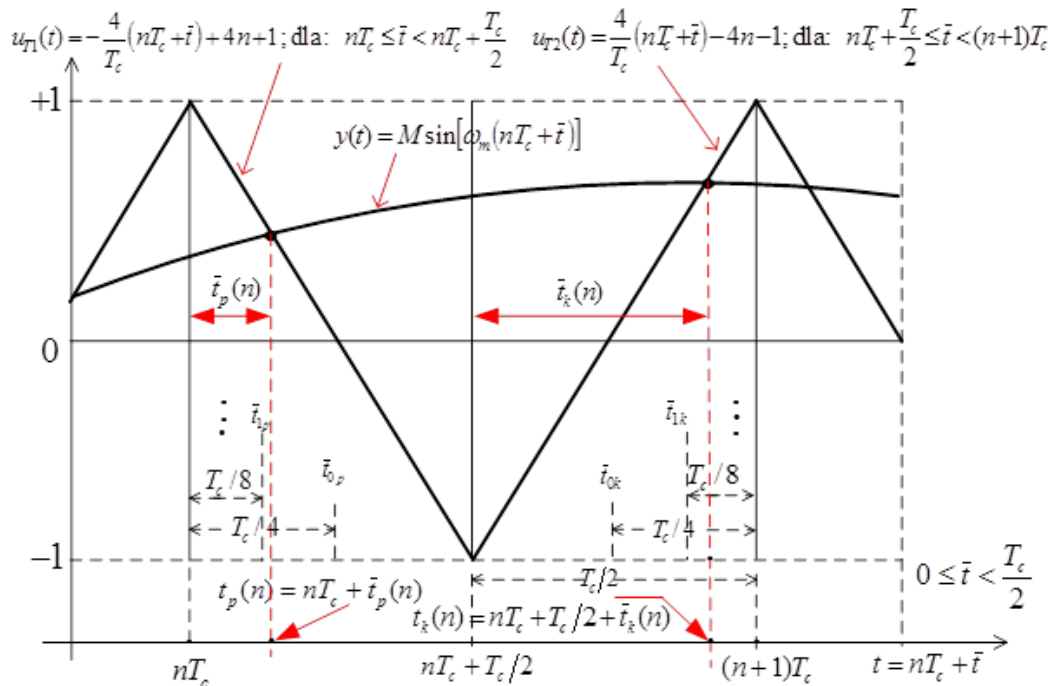
$$u_{T1}(t) = -\frac{4}{T_c} \bar{t} - +1 \quad ; \quad \text{dla: } 0 \leq \bar{t} < \frac{T_c}{2} \quad (\text{D.4})$$

Przy wyjściu z pętli, początek zmodulowanego impulsu jest równy: $t_p(n) = nT_c + \bar{t}_p(n)$

Druga pętla algorytmu dotyczy wyznaczania końców czasu trwania ($\bar{t}_k(n)$) impulsów PWM w n -tym okresie kluczowania i w kroku (3) opisanego wyżej algorytmu sygnał sinusoidalny należy porównać z narastającą częścią przebiegu trójkątnego, opisanego dla pierwszego okresu kluczowania ($n = 0$), równaniem :

$$u_{T1}(t) = \frac{4}{T_c} \bar{t} - 1; \quad \text{dla: } \frac{T_c}{2} \leq \bar{t} < T_c \quad (D.5)$$

Przy wyjściu z pętli, koniec zmodulowanego impulsu jest równy: $t_k(n) = nT_c + T_c/2 + \bar{t}_k(n)$

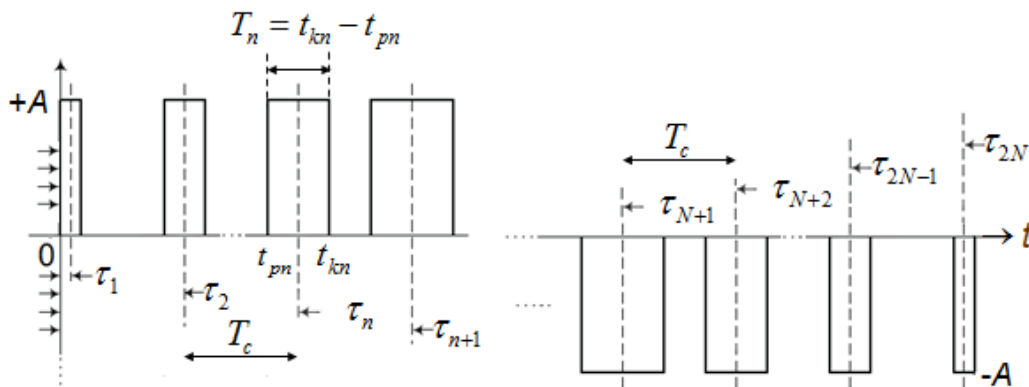


Rys. D.2. Wyznaczenie szerokości impulsu w n -tym okresie metodą binarną dla modulacji NADD

A.1.2. Analiza spektralna sygnałów z modulacją PWM w programie Matlab®.

Widma częstotliwościowe sygnałów zmodulowanych PWM wyznaczono metodą estymacyjną przy założeniu, że sygnał modulujący jest periodyczny.

Na rys. D.3 przedstawiono poglądowy rozkład impulsów odpowiadający modulacjom w klasie BD, na którym zaznaczono początki i końce czasów trwania impulsów, ich szerokości oraz odległości środków impulsów od początku układu współrzędnych. Przedstawiony ciąg impulsów składa się z dwóch podzbiorów, z których jeden zawiera N impulsów o amplitudzie $+1$, zaś drugi, N impulsów o amplitudzie -1 .



Rys. D.3. Poglądowy rozkład impulsów przy modulacjach PWM

Pojedynczy impuls w n -tym okresie kluczowania może być zapisany w dziedzinie czasu w postaci:

$$x(t) = A \left[\text{Rect} \left(\frac{t - \tau_n}{T_n} \right) \right] = A \begin{cases} 1 \left[t - \left(\tau_n - \frac{T_n}{2} \right) \right] - 1 \left[t - \left(\tau_n + \frac{T_n}{2} \right) \right] & \text{dla } t \in \left(\tau_n - \frac{T_n}{2}, \tau_n + \frac{T_n}{2} \right) \\ \frac{1}{2} & \text{dla } t = \tau_n \pm \frac{T_n}{2} \\ 0 & \text{dla } t \text{ pozostałych} \end{cases} \quad (\text{D.6})$$

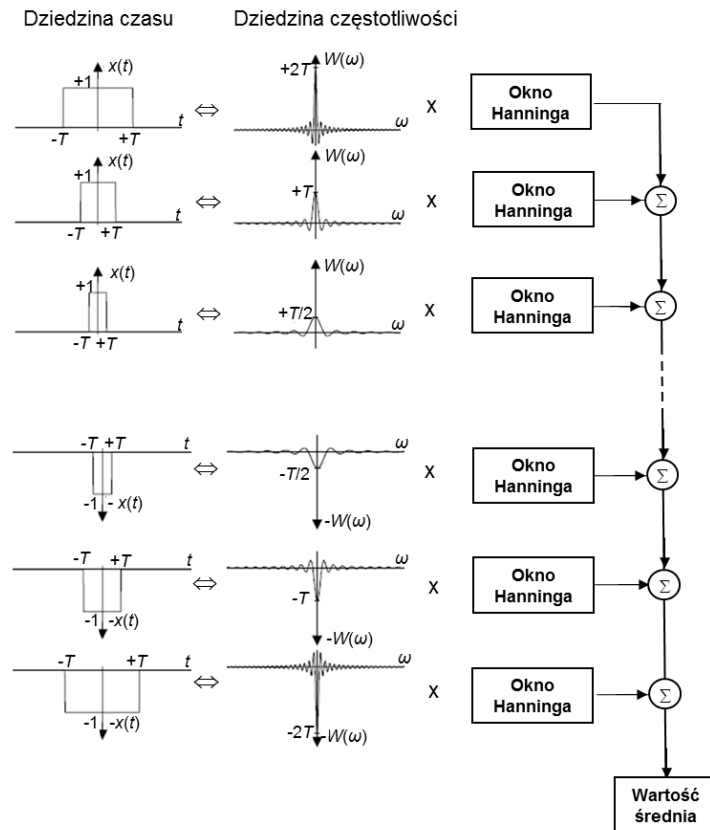
Ponieważ pojedynczemu impulsowi prostokątnemu w dziedzinie czasu odpowiada transformata Fouriera w dziedzinie częstotliwości:

$$A \text{Rect} \frac{t - \tau_n}{T_n} \Leftrightarrow A T_n \text{Sinc} (T_n f) e^{-j\pi f \tau_n} \quad (\text{D.7})$$

Korzystając z liniowości przekształcenia Fouriera, dla całego ciągu impulsów przedstawionego na rys. D.3 otrzymujemy:

$$\sum_{n=1}^N A \left[\text{Rect} \left(\frac{t - \tau_n}{T_n} \right) \right] - \sum_{n=N+1}^{2N} A \left[\text{Rect} \left(\frac{t - \tau_n}{T_n} \right) \right] \Leftrightarrow \sum_{n=1}^N A T_n \text{Sinc} (T_n f) \left[e^{-j2\pi f \tau_n} \right] - \sum_{n=N+1}^{2N} A T_n \text{Sinc} (T_n f) \left[e^{-j2\pi f \tau_n} \right] \quad (\text{D.8})$$

Rysunek D.4 wyjaśnia kolejne etapy wyznaczania widma częstotliwościowego sygnału z modulacją PWM w klasie BD. Dla całego ciągu impulsów w dziedzinie czasu wyznaczane są zespolone widma częstotliwościowe w postaci odpowiadających im funkcji Sinc, a następnie sekwencja ta jest mnożona przez funkcje okna Hanninga w celu zwiększenia rozdzielczości częstotliwościowej i amplitudowej analizy częstotliwościowej. Otrzymane w wyniku analizy macierze zespolonych składowych częstotliwościowych wszystkich impulsów są dodawane, następnie uśredniane (średnia wartość zależy od ilości analizowanych impulsów). Uśredniona wartość macierzy zespolonych składowych częstotliwościowych jest estymatą widma częstotliwościowego zmodulowanego sygnału PWM.



Rys. D.4. Kolejne etapy wyznaczania widma częstotliwościowego sygnału PWM z modulacją w klasie BD

Dodatek A.2

Kody programów w języku Matlab® modulacji analogowych, jednobrzgowych NADS i NBDS oraz dwubrzgowych NADD i NBDD.

```
clc;
clear all;
close all;
format short;
typ_mod1 = 'Modulacja NADS';
typ_mod2 = 'Modulacja NBDS';
Am = 0.95;
Fc = 352.8;
rozm_cz = 12;
dz = 20;
fm = 0.98*dz; % 1, 10, 20
Tc = 1/Fc;
Tm = 1/fm;
N = Fc/(fm/dz); % ilość cykli
dt = 1/(N*Fc);
t = 0:dt:N/Fc;
f = 0:fm/dz:Fc;
xm = Am*sin(2*pi*fm*t); % przebieg modulujący
y = sawtooth(2*pi*Fc*t,1); % przebieg kluczujący Fc, jednobrzgowy
y = sawtooth(2*pi*Fc*t,0.5); % przebieg kluczujący Fc, dwubrzgowy

% Modulacje: NADS, NBDS
xplus=0; xminus=0; xpp=-1;
for i = 1:1:N
    tcp=Tc/2; tcm=Tc/2;
    for iter=1:1:64
        if ( (Am*sin(2*pi*fm*(tcp+(i-1)*Tc))>((2/Tc)*tcp-1) )
            tcp=tcp+Tc/2^(iter+1);
        else
            tcp=tcp-Tc/2^(iter+1);
        end;
        tkonplus(i)=tcp;
        if ( (-Am*sin(2*pi*fm*(tcm+(i-1)*Tc))>((2/Tc)*tcm-1) )
            tcm=tcm+Tc/2^(iter+1);
        else
            tcm=tcm-Tc/2^(iter+1);
        end;
        tkonminus(i)=tcm;
    end;
    % przebieg modulowany gdy A>0, unipolarny
    xplus = xplus+rec(t-(i-1)*Tc,tkonplus(i));
    % przebieg modulowany gdy A<0, unipolarny
    xminus= xminus+rec(t-(i-1)*Tc,tkonminus(i));
    % przebieg modulowany gdy A>0, bipolarny
    xpp = xpp+2*rec(t-(i-1)*Tc,tkonplus(i));
end;
for i = 1:1:length(tkonplus) % if length(tkonplus)==length(tkonminus)
    okno(i) = hanning(length(tkonplus(i)));
    wsp(i) = sqrt(sum(okno(i).^2));
    hann_okno(i) = okno(i)/wsp(i)*sqrt(length(okno(i)));
```

```

sr_impmp(i)= Tc*(i-1)+(tkonplus(i))/2;
ze_widp(i,:) = (tkonplus(i))*...
    sinc(f*(tkonplus(i))).*...
    exp(-j*2*pi*f*sr_impmp(i))*hann_okno(i);

sr_impm(i)= Tc*(i-1)+(tkonminus(i))/2;
ze_widm(i,:) = (tkonminus(i))*...
    sinc(f*(tkonminus(i))).*...
    exp(-j*2*pi*f*sr_impm(i))*hann_okno(i);
end;
wp_p = sum(ze_widp)/length(tkonplus);
wp_m = sum(ze_widm)/length(tkonminus);
wp_rozn = abs(wp_p-wp_m)/max(abs(wp_p-wp_m));
wp_p = 2*abs(wp_p)/max(abs(wp_p));
wp_p(1) = 0;

% Modulacje: NADD, NBDD.
xpp =-1; xplus1 =0; xplus2 =0;
xminus= 1; xminus1=0; xminus2=0;
for i = 1:1:N
    tcpp=Tc/4; tckp=3*Tc/4;
    tcpm=Tc/4; tckm=3*Tc/4;
    for iter=1:1:64
        if ( (Am*sin(2*pi*fm*(tcpp+(i-1)*Tc))>((4/Tc)*tcpp-1) )
            tcpp=tcpp+Tc/2^(iter+1);
        else
            tcpp=tcpp-Tc/2^(iter+1);
        end;
        tpp(i)=tcpp+(i-1)*Tc;
        if ( (Am*sin(2*pi*fm*(tckp+(i-1)*Tc))<((-4/Tc)*tckp+3) )
            tckp=tckp+Tc/2^(iter+1);
        else
            tckp=tckp-Tc/2^(iter+1);
        end;
        tkp(i)=tckp+(i-1)*Tc;
        if ( (-Am*sin(2*pi*fm*(tcpm+(i-1)*Tc))>((4/Tc)*tcpm-1) )
            tcpm=tcpm+Tc/2^(iter+1);
        else
            tcpm=tcpm-Tc/2^(iter+1);
        end;
        tpm(i)=tcpm+(i-1)*Tc;
        if ( (-Am*sin(2*pi*fm*(tckm+(i-1)*Tc))<((-4/Tc)*tckm+3) )
            tckm=tckm+Tc/2^(iter+1);
        else
            tckm=tckm-Tc/2^(iter+1);
        end;
        tkm(i)=tckm+(i-1)*Tc;
    end;
    xplus1 = xplus1+rec(t,tpp(i));
    xplus2 = xplus2+rec(t,tkp(i));
    xplus = 1-(xplus2-xplus1); % przebieg NPWM dla A>0
    xminus1 = xminus1+rec(t,tpm(i));
    xminus2 = xminus2+rec(t,tkm(i));
    xminus = 1-(xminus2-xminus1); % przebieg NPWM dla A<0
    tkonplus = tkp - tpp;
    tkonminus = tkm - tpm;
end;
xpp = xpp+2*xplus;

for i = 1:1:length(tkonplus)

```

```

okno(i) = hanning(length(tkonplus(i)));
wsp(i) = sqrt(sum(okno(i).^2));
hann_okno(i) = okno(i)/wsp(i)*sqrt(length(okno(i)));

sr_impp(i)= (tpp(i)+tkp(i))/2;
ze_widp(i,:) = tkonplus(i)*...
    sinc(f*tkonplus(i)).*...
    exp(-j*2*pi*f*sr_impp(i))*hann_okno(i);

sr_impm(i)= (tpm(i)+tkm(i))/2;
ze_widm(i,:) = tkonminus(i)*...
    sinc(f*tkonminus(i)).*...
    exp(-j*2*pi*f*sr_impm(i))*hann_okno(i);
end;
wp_p = sum(ze_widp)/length(tkonplus);
wp_m = sum(ze_widm)/length(tkonminus);
wp_rozn = abs(wp_p-wp_m)/max(abs(wp_p-wp_m));
wp_p = 2*abs(wp_p)/max(wp_p);
wp_p(1) = 0;

% Przebiegi czasowe i spektralne: część wspólna dla modulacji analogowych
pwm = xplus-xminus; % wypadkowy przebieg fali PWM
p_pwm = xpp; % przebieg fali PWM dla A>0
p_mp = xm; % A= 0.95, przebieg fali modulującej
p_mm = -xm; % A=-0.95, przebieg fali modulującej
widmo = wp_rozn; % widmo przebiegu

figure(1)
subplot(311)
plot(t,y,'m','linewidth',1);
hold on;
plot(t,p_mp,'r','linewidth',2)
plot(t,p_pwm,'b','linewidth',2)
hold off;
title(['typ_mod1 ', M= ' num2Str(Am)...
', Fc= ' num2Str(Fc) 'kHz'...
', fm= ' num2Str(fm) 'kHz'],'FontSize',12);
xlabel('t [ms]');
ylabel('A');
axis([0 Tm -1.1 1.1]);
grid on;
subplot(312);
plot(f,wp_p,'k.','markersize',14);
hold on;
plot(f,wp_p,'b','linewidth',1);
hold off;
title(['Widmo NPWM, rozdz. df= ' num2Str(fm/dz) 'kHz'],'FontSize',12);
xlabel('f [kHz]');
ylabel('|Am|');
axis([-2 Fc -0.1 1.1]);
grid on;
subplot(313);
plot(f,20*log10(wp_p),'k.','markersize',14);
hold on;
plot(f,20*log10(wp_p),'b','linewidth',1);
hold off;
title('Widmo NPWM w dB','FontSize',12);
xlabel('f [kHz]');

```

```

ylabel('20*log10|Am|');
axis([-2 Fc -400 10]);
grid on;

figure(2)
subplot(311)
plot(t,y,'m','linewidth',1);
hold on;
plot(t,pwm,'b','linewidth',2)
plot(t,p_mp,'r','linewidth',2)
plot(t,p_mm,'g','linewidth',2)
hold off;
title([typ_mod2 ' ', M= ' num2Str(Am)...
      ', Fc= ' num2Str(Fc) 'kHz' ...
      ', fm= ' num2Str(fm) 'kHz'], 'FontSize',12);
xlabel('t [ms]');
ylabel('A');
axis([0 Tm -1.1 1.1]);
grid on;
subplot(312);
plot(f,widmo,'k.','markersize',14);
hold on;
plot(f,widmo,'b','linewidth',1);
hold off;
title(['Widmo NPWM, rozdz. df= ' num2Str(fm/dz) 'kHz'], 'FontSize',12);
xlabel('f [kHz]');
ylabel('|Am|');
axis([-2 Fc -0.1 1.1]);
grid on;
subplot(313);
plot(f,20*log10(widmo),'k.','markersize',14);
hold on;
plot(f,20*log10(widmo),'b','linewidth',1);
hold off;
title('Widmo NPWM w dB', 'FontSize',12);
xlabel('f [kHz]');
ylabel('20*log10|Am|');
axis([-2 Fc -400 10]);
grid on;

```

Dodatek A.3

Kody programów w języku Matlab® modulacji cyfrowych, jednobrzgowych UADS, UBDS oraz dwubrzgowych UADD, UBDD.

```
clc;
clear all;
close all;
format long;

Am      = 0.95;
Fs      = 44.1;
Ts      = 1/Fs;
K       = 7;
Fc      = (K+1)*Fs;
Tc      = 1/Fc;
rc      = 12;
dz = 10;
om = 4;           % martwe okresy
okr = 1;

fm = 0.98*dz;     % 1, 10, 20
Tm = 1/fm;
N = 360;         % ilość cykli

tp = 0:Ts:(dz+2*om)*Tm-Ts;
x = Am*sin(2*pi*fm*tp); % przebieg modulujący

zera=zeros(1,(K+1)*length(x));
zera(1:K+1:(K+1)*length(x))=x(1:length(x));
x_zero=zera;

ipr_up = length(x_zero); % Liczba próbek po upsamplingu
wpr_up = 0:1:ipr_up-1;   % Wektor z próbek
M = 45; %75 %235;       % połowa długości filtra
NM = 2*M+1; n = 1:M;
wc = pi/(K+1);
fc = wc/(2*pi);         % fc=1/(2*(K+1))
hh = 2*fc*sin(wc*n)/(wc*n); % współczynnik skalujący
% 2*fc = 1/(ilp+1)

% wzmocnienie K+1 razy, aby próbka środkowa była równa 1
hh = (K+1)*[hh(M:-1:1) 2*fc hh(1:M)];
w = blackman(NM);       % okno Blackmana
h = hh.*w';
a = om*Fs*(K+1)/fm;
x_f = conv(x_zero,h);   % Splot sygnału z odpowiedzią
% impulsową filtra

x_fKa = x_f(:,M+a+1:end-M-a);
f = 0:fm/dz:Fc;
t = 0:Tc/(N*10):dz*Tm; % -Tc/N;
xm = Am*sin(2*pi*fm*t);
y = sawtooth(2*pi*Fc*t,1); % przebieg kluczujący Fc jednobrzgowy

xn=-1; xc=0;
for i = 1:1:length(x_fKa)
```

```

    %tkon(i)=(Tc/2)*(Am*sin(2*pi*fm*(i-1)*Tc)+1);
    tkon(i,:)=(Tc/2)*(x_fKa(i)+1);
    tkon = tkon + 1e-6*(tkon.*(randn(1,N*okr)));
    xn = xn+2*rec(t-(i-1)*Tc,tkon(i)); % przebieg modulowany
    % skwantowany przebieg wejściowy xm
    xc = xc+Am*sin(2*pi*fm*(i-1)*Tc)*rec(t-(i-1)*Tc,(1-1e-9)*Tc);
end;

for n = 1:length(tkon)
    okno(n) = hanning(length(tkon(n)));
    wsp(n) = sqrt(sum(okno(n).^2));
    hann_okno(n) = okno(n)/wsp(n)*sqrt(length(okno(n)));

    sr_imp(n)= Tc*(n-1)+tkon(n)/2;
    f_sinc(n,:) = (tkon(n)*sinc(f*tkon(n)).*...
        exp(-j*2*pi*f*sr_imp(n)))*hann_okno(n);
end;

wp = sum(f_sinc)/length(tkon);
wp= 2*abs(wp)/abs(max(wp));
wp(1)=0

upwm = xn; % przebieg fali modulowanej
p_mod = xm;
widmo = wp; % widmo przebiegu

figure(1)
subplot(311)
    plot(t,y,'m','linewidth',1);
    hold on;

    plot(t,xc,'k','linewidth',1);
    plot(t,p_mod,'r','linewidth',1);
    plot(t,upwm,'b','linewidth',2);

    hold off;
    title(['Modulacja cyfrowa' , M= ' num2Str(Am)...
        ', Fc= ' num2Str(Fc) 'kHz'...
        ', fm= ' num2Str(fm) 'kHz'...
        ', df= ' num2Str(fm/dz) 'kHz'], 'FontSize',12);
    xlabel('t [ms]', 'FontSize',12);
    ylabel('A', 'FontSize',12);
);
axis([0 Tm -1.1 1.1]);
grid on;
subplot(312);
    plot(f,widmo,'k','markersize',14);
    hold on
    plot(f,widmo,'b','linewidth',1);
    hold off;
    %title(['Widmo UPWM, rozdz. df= ' num2Str(fm/dz) 'kHz'], 'FontSize',12);
    xlabel('f [kHz]', 'FontSize',12);
    ylabel('|Am|', 'FontSize',12);
    axis([-2 Fc -0.1 1.1]);
    grid on
subplot(313);
    plot(f,20*log10(widmo),'k','markersize',14);
    hold on
    plot(f,20*log10(widmo),'b','linewidth',1);
    hold off;

```



```

%title('Widmo UPWM w dB','FontSize',12);
xlabel('f [kHz'],'FontSize',12);
ylabel('20*log10|Am|','FontSize',12);
axis([-2 Fc -150 10]);
grid on;

clc;
clear all;
%close all;
format long;

Am      = 0.95;
Fs      = 44.1;
Ts      = 1/Fs;
K       = 7;
Fc      = (K+1)*Fs;
Tc      = 1/Fc;
rozm_cz = 9;
okr     = 1;
dz      = 10;
om      = 6;           % martwe okresy
fm      = 0.98*dz;    % 1, 10, 20
Tm      = 1/fm;
N       = 360;       % ilość cykli
tp      = 0:Ts:(dz+2*om)*Tm-Ts;
xp      = Am*sin(2*pi*fm*tp); % p. modulujący A= 0.95;
xm      = -Am*sin(2*pi*fm*tp); % p. modulujący A=-0.95;
zerap=zeros(1,(K+1)*length(xp));
zerap(1:K+1:(K+1)*length(xp))=xp(1:length(xp));
x_zerop=zerap;
zeram=zeros(1,(K+1)*length(xm));
zeram(1:K+1:(K+1)*length(xm))=xm(1:length(xm));
x_zerom=zeram;

M = 210;           % połowa długości filtra
NM = 2*M+1; n = 1:M;
wc = pi/(K+1);
fc = wc/(2*pi);   % fc=1/(2*(K+1))
hh = 2*fc*sin(wc*n)/(wc*n); % współczynnik skalujący
% 2*fc = 1/(ilp+1)
% wzmacnienie K+1 razy, aby próbka środkowa była równa 1
hh = (K+1)*[hh(M:-1:1) 2*fc hh(1:M)];
w = blackman(NM); % okno Blackmana
h = hh.*w';
a = om*Fc/fm;
x_fp = conv(x_zerop,h); % Splot sygnału z odpowiedzią
% impulsową filtru
x_fm = x_fp(:, M+a+1:end-M-a);
x_fm = conv(x_zerom,h); % Splot sygnału z odpowiedzią
% impulsową filtru
x_fm = x_fm(:, M+a+1:end-M-a);
f = 0:fm/dz:Fc;
t = 0:Tc/(10*N):dz*Tm; % -Tc/N;
x = Am*sin(2*pi*fm*t);
y = sawtooth(2*pi*Fc*t,1); % przebieg kluczujący Fc jednobrzegowy
xnplus=0; xcplus=0; xnminus=0; xcminus=0;
for i = 1:N
    %tkonplus(i)=(Tc/2)*(+Am*sin(2*pi*fm*(i-1)*Tc)+1);
    tkonplus(i,:)=(Tc/2)*(x_fm(i)+1);
    xnplus = xnplus + rec(t-(i-1)*Tc,tkonplus(i)); % przebieg modulowany

```

```

xcplus = xcplus + Am*sin(2*pi*fm*(i-1)*Tc)*rec(t-(i-1)*Tc,(1-1e-12)*Tc);
%tkonminus(i)=(Tc/2)*(-Am*sin(2*pi*fm*(i-1)*Tc)+1);
tkonminus(i,:)=(Tc/2)*(x_fm(i)+1);
xnminus = xnminus + rec(t-(i-1)*Tc,tkonminus(i)); % przebieg modulowany
xcminus = xcminus +(-Am)*sin(2*pi*fm*(i-1)*Tc)*rec(t-(i-1)*Tc,(1-1e-12)*Tc);
tkon(i)=tkonplus(i)-tkonminus(i);
tkon = tkon + 1e-6*(tkon.*(randn(1,N*okr)));
end
for i = 1:1:length(tkon)
    okno(i) = hanning(length(tkon(i)));
    wsp(i) = sqrt(sum(okno(i).^2));
    hann_okno(i) = okno(i)/wsp(i)*sqrt(length(okno(i)));

    sr_imp(i)= Tc*(i-1)+(tkonplus(i)+tkonminus(i))/2; % (tkon(i))/2;
    f_sinc(i,:) = (tkon(i)*sinc(f*tkon(i)).*...
        exp(-j*2*pi*f*sr_imp(i)))*hann_okno(i);
end
wp = abs(sum(f_sinc))/length(tkon);
wp = wp/max(wp);
wp(1)= 0;
upwm = xnplus-xnminus; % przebieg fali nośnej
p_mod = x; % przebieg fali modulującej
widmo = wp; % widmo przebiegu
figure(2)
subplot(311)
plot(t,xcplus,'k','linewidth',1);
hold on;
plot(t,p_mod,'r','linewidth',1);
plot(t,-p_mod,'g','linewidth',1);
plot(t,xcminus,'g','linewidth',1);
plot(t,y,'m','linewidth',1);
plot(t,upwm,'b','linewidth',1);
hold off;
title(['Modulacja cyfrowa' , M= ' num2str(Am)...
    ', Fc= ' num2str(Fc) 'kHz'...
    ', fm= ' num2str(fm) 'kHz'], 'FontSize',10);
xlabel('t [ms]', 'FontSize',12);
ylabel('A', 'FontSize',12);
axis([0 Tm -1.1 1.1]);
grid on;
subplot(312);
plot(f,widmo,'k','markersize',12);
hold on
plot(f,widmo,'b','linewidth',1);
hold off;
title(['Widmo UPWM, rozd. df= ' num2str(fm/dz) 'kHz'], 'FontSize',10);
xlabel('f [kHz]', 'FontSize',12);
ylabel('|Am|', 'FontSize',12);
axis([-2 2+Fc -0.1 1.1]);
grid on
subplot(313);
plot(f,20*log10(widmo),'k.','markersize',12);
hold on
plot(f,20*log10(widmo),'b','linewidth',1);
hold off;
title('Widmo UPWM w dB', 'FontSize',10);
xlabel('f [kHz]', 'FontSize',12);
ylabel('20*log10|Am|', 'FontSize',12);
axis([-2 2+Fc -150 10]);
grid on;

```

Dodatek A.4

Kody programów w języku Matlab® linearyzowanych modulacji cyfrowych, jednobrzgowych LADS, LBDS oraz dwubrzgowych LADD, LBDD.

```
clc;
clear all;
close all;
format long;
Am = 0.95;
Fs = 44.1;           % czestotliwosc probkowania
N = 360;
rc = 10;            % rozmiar czcionki
K = 7;              % podstawowe probki ->Fc
Q = 0;              % nadprobkowanie
om = 5;             % om - martwe okresy, MQ - polowa dlugosci filtra
MQ = 200;
okr = 3;
dz = 10;            % okresy do analizy; f wejsciowa -> fm
Ts = 1/Fs;
Tc = Ts/(K+1);
Fc = 1/Tc;
dt = Tc/(10*N);
fm = 0.98*dz;
Tm = 1/fm;
wpo = (K+1)*(Q+1);
t = 0:Ts:(dz+2*om)*Tm-Ts;
xp = Am*sin(2*pi*fm*t);
xm = -Am*sin(2*pi*fm*t);

ts = 0:Ts:dz*Tm-Ts;
xsp = Am*sin(2*pi*fm*ts);
xsm = -Am*sin(2*pi*fm*ts);

txy = 0:dt:dz*Tm-dt;
xap = Am*sin(2*pi*fm*txy);
xam = -Am*sin(2*pi*fm*txy);

ya = sawtooth(2*pi*Fc*txy,1); % przebieg kluczujacy
f = 0:fm/dz:Fc;
zerap = zeros(1,wpo*length(xp));
zerap(1:wpo:wpo*length(xp))= xp(1:length(xp));
x_zerop = [zerap 0];

zeram = zeros(1,wpo*length(xm));
zeram(1:wpo:wpo*length(xm))= xm(1:length(xm));
x_zerom = [zeram 0];

NMQ = 2*MQ+1;
n = 1:MQ;
wc = pi/(wpo);
fc = wc/(2*pi);           % fc=1/(2*Q)
hh = 2*fc*sin(wc*n)/(wc*n); % wspolczynnik skalujacy 2*fc = 1/Q
hh = (wpo)*[hh(MQ:-1:1) 2*fc hh(1:MQ)]; % wzmocnienie Q+1 razy, aby
% probbka srodkowa rowna 1
w = blackman(NMQ);       % okno Blackmana
```

```

h = hh.*w';
a = floor(om*Fc/fm);
x_fp = conv(x_zerop,h); % Splot sygnalu z odpowiedzi
                        % impulsowa filtru

x_fp = x_fp(:,MQ+1:end-MQ);
x_fQp = x_fp(:,a+1:a+1+(Q+1)*360);

x_fm = conv(x_zerom,h); % Splot sygnalu z odpowiedzi
                        % impulsowa filtru

x_fm = x_fm(:,MQ+1:end-MQ);
x_fQm = x_fm(:,a+1:a+1+(Q+1)*360);
ip = length(x_fQp);
wip = 0:ip-1;
tx_fp = wip*Ts/(wpo);

ipp = length(x_zerop);
wipp = 0:ipp-1;
tx_zerop = wipp*Ts/(wpo);
tQ=Tc/(Q+1);
for i=1:Q+2
    S(i,:)=(2/Tc)*(i-1)*tQ-1;
end
% Przebieg LBDS
lpwm_p = 0; lpwm_m = 0;
for n=1:N
    xn_fp(:,n) = x_fQp(:,1+(n-1)*(Q+1):n*(Q+1)+1);
    xn_fm(:,n) = x_fQm(:,1+(n-1)*(Q+1):n*(Q+1)+1);
    i=1;
    while i<=Q+1
        if ( xn_fp(i,n)>S(i) && xn_fp(i+1,n)<S(i+1) )
            tkonp(n,:)= Tc*(i*xn_fp(i,n)-(i-1)*xn_fp(i+1,n)+1)/...
                ((xn_fp(i,n)-xn_fp(i+1,n))*(Q+1)+2);
            break;
        end
        i=i+1;
    end
    lpwm_p = lpwm_p+rec2(txy-(n-1)*Tc,tkonp(n),0);
    k=1;
    while k<=Q+1
        if ( xn_fm(k,n)>S(k) && xn_fm(k+1,n)<S(k+1) )
            tkonm(n,:)= Tc*((k)*xn_fm(k,n)-(k-1)*xn_fm(k+1,n)+1)/...
                ((xn_fm(k,n)-xn_fm(k+1,n))*(Q+1)+2);
            break;
        end
        k=k+1;
    end
    lpwm_m = lpwm_m+rec2(txy-(n-1)*Tc,tkonm(n),0);
end
lpwm_c = (lpwm_p + lpwm_m)/2;
lpwm_r = lpwm_p - lpwm_m;

for i = 1:length(tkonp)
    oknop(i) = hanning(length(tkonp(i)));
    wspp(i) = sqrt(sum(oknop(i).^2));
    hann_oknop(i) = oknop(i)/wspp(i)*sqrt(length(oknop(i)));
    sr_imp(i)= (i-1)*Tc+tkonp(i)/2;
    f_sincp(i,:)= tkonp(i)*sinc(f*tkonp(i)).*...
        exp(-j*2*pi*f*sr_imp(i))*hann_oknop(i);
end
wpp = (sum(f_sincp))/length(tkonp);

```

```

for i = 1:length(tkonm)
    oknom(i) = hanning(length(tkonm(i)));
    wspm(i) = sqrt(sum(oknom(i).^2));
    hann_oknom(i) = oknom(i)/wspm(i)*sqrt(length(oknom(i)));

    sr_imp(i) = (i-1)*Tc+tkonm(i)/2;
    f_sincm(i,:) = tkonm(i)*sinc(f*tkonm(i)).*...
        exp(-j*2*pi*f*sr_imp(i))*hann_oknom(i);
end
wpm = (sum(f_sincm))/length(tkonm);

wp_p = abs(wpp); wp_p = wp_p/max(wp_p);
wp_m = abs(wpm); wp_m = wp_m/max(wp_m);
wp_pr = abs(wpp-wpm); wp_pr = wp_pr/max(wp_pr);
wp_pc = abs((wpp+wpm)/2);
wp_pc = wp_pc/max(wp_pc);

figure(1)
subplot(411)
plot(txy,ya,'m','linewidth',1);
hold on;
plot(txy,xap,'r');
stem(ts,xsp,'b','linewidth',1);
plot(txy(1:length(lpwm_p)),lpwm_p,'b','linewidth',2);
stem(tx_fp,x_fQp,'r');
hold off;
title(['Modulacja LBDS' ': M= ' num2str(Am)...
        ', Q= ' num2str(Q) ...
        ', Fc= ' num2str(Fc) 'kHz'...
        ', fm= ' num2str(fm) 'kHz;'],'FontSize',rc);
xlabel('t[ms]','FontSize',12);
ylabel('Am','FontSize',12);
axis([0 Tm -1.1 1.1]);
grid on;
subplot(412)
plot(txy,ya,'m','linewidth',1);
hold on;
plot(txy,xam,'r');
stem(ts,xsm,'b','linewidth',1);
plot(txy(1:length(lpwm_m)),lpwm_m,'b','linewidth',2);
stem(tx_fp,x_fQm,'r');
hold off;
title([' M= ' num2str(-Am)...
        ', Q= ' num2str(Q) ...
        ', Fc= ' num2str(Fc) 'kHz'...
        ', fm= ' num2str(fm) 'kHz.'],'FontSize',rc);
xlabel('t[ms]','FontSize',12);
ylabel('Am','FontSize',12);
axis([0 Tm -1.1 1.1]);
grid on;
subplot(413)
plot(txy(1:length(lpwm_r)),lpwm_r,'b','linewidth',2);
title('Przebieg pwm r3Ä¼nicowy','FontSize',rc);
xlabel('t[ms]','FontSize',12);
ylabel('Am','FontSize',12);
axis([0 Tm -1.1 1.1]);
grid on;
subplot(414)
plot(txy(1:length(lpwm_c)),lpwm_c,'b','linewidth',2);

```

```

title('Przebieg pwm sumacyjny', 'FontSize', rc);
xlabel('t[ms]', 'FontSize', 12);
ylabel('Am', 'FontSize', 12);
axis([0 Tm -0.1 1.1]);
grid on;

% dwubrzegowa linearyzowana i cyfrowa modulacja LADD oraz LBDD
clc;
clear all;
close all;
format long;
rc = 9; % rozmiar czcionki
M = 0.95; % amplituda
Nrq = 6;
dz = 10;
fm = 1*dz; % [kHz] - sygнал wejsciowy
Tm = 1/fm;
fosc = 168000; % [kHz] - sygнал zegarowy
fclk = fosc/4;
okr = 1;
wsp = 1; % rozdzielczosc widma np: wsp=2 => 500Hz
fs = ceil(fclk/2^(Nrq+1)); % [kHz] - podstawowa czestotliwosc probkowania
Ts = 1/fs;
t = 0:Ts:wsp*Tm*dz*okr;
xpp = M*sin(2*pi*fm*t);
xpo = (-1)*xpp; % jego sygнал, odwrocony
ta = 0:Ts/dz:dz*Tm-Ts/dz;
ya = sawtooth(2*pi*fs*(ta+Ts/2), 0.5);
tl = 0:Ts/fs:Tm*dz-Ts/fs; % punkty PWM
f = 0:1/wsp:fs;
% LADDp - sygнал prosty, obliczenia tppl(n) oraz tkpl(n)
lpwmp = 0;
for n=1:length(xpp)-1
    tppl(n,:) = Ts*(((n-1)*xpp(n+1)-(n)*xpp(n)+4*(n-1)+1)/...
        (xpp(n+1)-xpp(n)+4));
    yppl(n,:) = (-4/Ts)*tppl(n)+4*(n-1)+1;
    tkpl(n,:) = Ts*(((n-1)*xpp(n+1)-n*xpp(n)-4*(n-1)-3)/...
        (xpp(n+1)-xpp(n)-4));
    ykpl(n,:) = (4/Ts)*tkpl(n)-4*(n-1)-3;
    tkonpl(n) = tkpl(n) - tppl(n);
    sr_imppl(n) = (tkpl(n) + tppl(n))/2;
    lpwmp = lpwmp+rec2(tl,tkonpl(n),tppl(n));
end
% LADDo - sygнал, odwrocony, obliczenia tpol(n) oraz tkol(n)
lpwmo = 0;
for n=1:length(xpo)-1
    tpol(n,:) = Ts*(((n-1)*xpo(n+1)-(n)*xpo(n)+4*(n-1)+1)/...
        (xpo(n+1)-xpo(n)+4));
    ypol(n,:) = (-4/Ts)*tpol(n)+4*(n-1)+1;
    tkol(n,:) = Ts*(((n-1)*xpo(n+1)-n*xpo(n)-4*(n-1)-3)/...
        (xpo(n+1)-xpo(n)-4));
    ykol(n,:) = (4/Ts)*tkol(n)-4*(n-1)-3;
    tkonol(n) = tkol(n) - tpol(n);
    sr_impol(n) = (tkol(n) + tpol(n))/2;
    lpwmo = lpwmo+rec2(tl,tkonol(n),tpol(n));
end
lpwm_r = lpwmp -lpwmo;
tkonpl = tkonpl + 2e-7*(randn(1,okr*wsp*fs));
tkonol = tkonol + 2e-7*(randn(1,okr*wsp*fs));
m_j = ones(1,length(f));

```

```

f_sincp = sum((tkonpl(:)*m_j).*sinc(tkonpl(:)*f)...
.*exp(-j*2*pi*sr_imppl(:)*f));
f_sinco = sum((tkonol(:)*m_j).*sinc(tkonol(:)*f)...
.*exp(-j*2*pi*sr_impol(:)*f));
w_r = abs(f_sincp-f_sinco);
w_r = w_r/max(w_r);
Qrq = 9;
filtr = [5 -10 10 -5 1]; % filtr sprzezenia zwrotnego
dl_fil = length(filtr); % "dlugosc filtru
wyj_filp = [];
wyj_filp(1) = 0; % Pierwszy element wyjsciowego
% filtru sprzezenia zwrotnego,
% Zwrotne filtrowanie wektora
erq_pp = zeros(1,dl_fil);
wyj_filo = [];
wyj_filo(1) = 0; % Pierwszy element wyjsciowego
% filtru sprzezenia zwrotnego,
% Zwrotne filtrowanie wektora
erq_po = zeros(1,dl_fil);
for n=1:length(tkonpl)
tk_24bitp(n) = round(tkonpp(n)/Ts*2^24);
dnp = tk_24bitp(n) - wyj_filp;
dn_8bitp(n) = bitshift(tk_24bitp(n),-16);
erqp = tk_24bitp(n) - bitshift(dn_8bitp(n),16);
tk_Qrqbitp(n) = bitshift(abs(dnp+erqp),-(24-Qrq));
erq_pp = [erqp erq_pp(1:end-1)];
wyj_filp = erq_pp*filtr';
tkonpr(n) = Ts*tk_Qrqbitp(n)/(2^Qrq);
end
for n=1:length(tkonol)
tk_24bito(n) = round(tkonop(n)/Ts*2^24);
dno = tk_24bito(n) - wyj_filo;
dn_8bito(n) = bitshift(tk_24bito(n),-16);
erqo = tk_24bito(n) - bitshift(dn_8bito(n),16);
tk_Qrqbito(n) = bitshift(abs(dno+erqo),-(24-Qrq));
erq_po = [erqo erq_po(1:end-1)];
wyj_filo = erq_po*filtr';
tkonor(n) = Ts*tk_Qrqbito(n)/(2^Qrq);
end
tkonpp = tkonpp + 7e-9*(randn(1,wsp*fs));
f_sincpr = sum((tkonpp(:)*m_j).*sinc(tkonpr(:)*f).*...
exp(-j*2*pi*sr_imppl(:)*f));
tkonop = tkonop + 7e-9*(randn(1,wsp*fs));
f_sincor = sum((tkonop(:)*m_j).*sinc(tkonor(:)*f).*...
exp(-j*2*pi*sr_impol(:)*f));
wp_r = abs(f_sincpr-f_sincor);
wp_r = wp_r/max(wp_r);

figure(1)
subplot(311)
plot(ta,ya,'m','linewidth',1);
hold on
plot(tl,lpwmp,'b','linewidth',1);
plot(t,xpp,'k-','linewidth',1);
hold off;
title(['M=' num2str(M) ','; fc=328.125kHz','; fm=' num2str(fm),...
'kHz'],'FontSize',rc);
xlabel('t[ms]');
ylabel('Am');
axis([0 Tm/1 -1.1 1.1]);
grid on;
subplot(312)

```

```

plot(ta,ya,'m','linewidth',1);
hold on
    plot(tl,lpwmo,'b','linewidth',1);
    plot(t,xpo,'k-','linewidth',1);
hold off;
xlabel('t[ms]');
ylabel('Am');
axis([0 Tm -1.1 1.1]);
grid on;
subplot(313)
hold on
    plot(tl,lpwm_r,'b','linewidth',1);
hold off;
title('LBDD DPWM differential output','FontSize',rc);
xlabel('t[ms]');
ylabel('Am');
axis([0 Tm -1.1 1.1]);
grid on;
figure(2)
subplot(411)
plot(f,20*log10(w_r),'k.','markersize',10);
hold on
    plot(f,20*log10(w_r),'b','linewidth',1);
hold off;
title(['24-bit LBDD DPWM output'], 'FontSize',rc);
xlabel('f [kHz]');
ylabel('20log_1_0|Am|');
axis([0 fs -150 10]);
grid on;
subplot(412)
plot(f,20*log10(w_r),'k.','markersize',10);
hold on
    plot(f,20*log10(w_r),'b','linewidth',1);
hold off;
title('Zoomed view of 24-bit LBDD DPWM output','FontSize',rc);
xlabel('f [kHz]');
ylabel('20log_1_0|Am|');
axis([0 fs/15 -150 10]);
grid on;
subplot(413)
plot(f,20*log10(wp_r),'k.','markersize',10);
hold on
    plot(f,20*log10(wp_r),'b','linewidth',1);
hold off;
title(['Noise-shaped 9-bit LBDD DPWM output'], 'FontSize',rc);
xlabel('f [kHz]');
ylabel('20log_1_0|Am|');
axis([0 fs -150 10]);
grid on;
subplot(414)
plot(f,20*log10(wp_r),'k.','markersize',12);
hold on
    plot(f,20*log10(wp_r),'b','linewidth',1);
hold off;
title('Zoomed view of noise-shaped 9-bit LBDD DPWM output','FontSize',rc);
xlabel('f [kHz]');
ylabel('20log_1_0|Am|');
axis([0 fs/15 -150 10]);
grid on;

```


Dodatek A.5

Kod programu w języku C dla środowiska μ Vision V5.26.2.0 w oparciu o rejestry urządzeń mikrokontrolera STM32F4 Discovery generujący rekwantyzowane 9 bitowe czasy początkowe i końcowe dla czterech kanałów PWM LADS.

```
#include <stm32f4xx.h>

#define ilCyk_Tc          (uint32_t)0x00000200 // 512 cykle w kluczowaniu Tc;
#define BUFFER_SIZE      (uint32_t)0x00000200

const float VT = 1.46;

// nadprokowanie, Q ilosc probek dodatkowych
uint16_t Q = 1;
//-----
// zmienne
volatile uint16_t samADC[2*BUFFER_SIZE];

volatile uint32_t valADC = 0, samADCsr[1024];

// ADC, probki ADC1
volatile float tab_lp_sim[2*BUFFER_SIZE], lp_fsim[BUFFER_SIZE][2], lp_rsim[BUFFER_SIZE][2],
              tab_lo_sim[2*BUFFER_SIZE], lo_fsim[BUFFER_SIZE][2], lo_rsim[BUFFER_SIZE][2];

volatile uint16_t tlp[BUFFER_SIZE], tklp[BUFFER_SIZE],
                 tplo[BUFFER_SIZE], tklo[BUFFER_SIZE];

volatile uint16_t tlp6b[BUFFER_SIZE], tklp6b[BUFFER_SIZE],
                 tplo6b[BUFFER_SIZE], tklo6b[BUFFER_SIZE];

volatile uint16_t tlp3b[BUFFER_SIZE], tklp3b[BUFFER_SIZE],
                 tplo3b[BUFFER_SIZE], tklo3b[BUFFER_SIZE];

volatile uint16_t tp3b[BUFFER_SIZE], tk3b[BUFFER_SIZE];

uint16_t il_pr = 4, n = 0, k = 0, kk = 0, ind = 0, dif;
int8_t znak = 0x01;

//-----
// rekwantyzacja- dane
#define w2do32b          0xFFFFFFFF // 2^32 bitow
#define w2do24b          0x0FFFFFFF // 2^24 bitow
#define w2do16b          0x0000FFFF // 2^16 bitow
#define w2do9b           0x000001FF // 2^9 bitow
#define w2do24_9b        0x00007FFF // (24-9)-> 2^15 bitow

int filtr[5] = {5,-10, 10, -5, 1};
int erpp[5] = {0, 0, 0, 0, 0}, erkp[5] = {0, 0, 0, 0, 0},
    erpo[5] = {0, 0, 0, 0, 0}, erko[5] = {0, 0, 0, 0, 0};

volatile int32_t opp = 0, okp = 0, opo = 0, oko = 0;
volatile long long blad_tpp, blad_tkp, blad_tpo, blad_tko;

volatile float tlp_24b, tlp_08b,
```

```

        tklp_24b, tklp_08b,
        tplo_24b, tplo_08b,
        tklo_24b, tklo_08b;

volatile int32_t  epp, dpp, ekp, dkp,
                 epo, dpo, eko, dko;

volatile uint16_t  tplp_rq[BUFFER_SIZE], tklp_rq[BUFFER_SIZE],
                  tplo_rq[BUFFER_SIZE], tklo_rq[BUFFER_SIZE];

volatile uint16_t  tplp6b_rq[BUFFER_SIZE], tklp6b_rq[BUFFER_SIZE],
                  tplo6b_rq[BUFFER_SIZE], tklo6b_rq[BUFFER_SIZE];

volatile uint16_t  tplp3b_rq[BUFFER_SIZE], tklp3b_rq[BUFFER_SIZE],
                  tplo3b_rq[BUFFER_SIZE], tklo3b_rq[BUFFER_SIZE];

void confPins(GPIO_TypeDef* port, uint16_t pin, uint16_t param);
void setPorts(void);

void mastTIM2(void);           // glowny czasomierz

void pwmTIM1(void);           // LADS x 4
void DMA2_S1_TIM1(void);      // DMA dla kanalu TIM1 CH1
void DMA2_S2_TIM1(void);      // DMA dla kanalu TIM1 CH2
void DMA2_S6_TIM1(void);      // DMA dla kanalu TIM1 CH3
void DMA2_S4_TIM1(void);      // DMA dla kanalu TIM1 CH4

void reQuant(void);
void DMA2_S5_GPIOB(void);
// konwerter analogowo-cyfrowy
void convADC1(void);
void DMA2_S0_ADC1(void);
// funkcje dodatkowe
void bufLPF(void);
void obliczenia_tp_tk(void);
void form_time(void);
void LSBclkTIM3(void);

/*****/
// funkcja glowna
int main(void)
{
    SysTick_Config(SystemCoreClock/1000);
    setPorts();
    __DSB();
    Init_TIM6();
    Init_DAC_DMA1();
    mastTIM2();
    convADC1();
    DMA2_S0_ADC1();
    pwmTIM1();
    DMA2_S1_TIM1();           // tplp
    DMA2_S2_TIM1();           // tklp
    DMA2_S4_TIM1();           // tklo
    DMA2_S6_TIM1();           // tplo
    //-----
    LSBclkTIM3();
    LED3_GPIO->BSRRH = LED3_bm | LED4_bm | LED5_bm | LED6_bm;
    while(1){
    }
}

```

```

}

/*****/void
mastTIM2(void) // GLOWNY CZASOMIERZ STERUJACY TIM1 oraz ADC1
{
// Timer ogolnego przeznaczenia TIM2
/*
    Impulsy synchronizujace TIM1, ADC1 etc.
    Wybrana czestotliwosc czasomierza: Fs = APB1(42MHz) / 2^8
        => Fs = 164.0625kHz,
    wyjscie PWM: PB3, jako wyzwalacz dla: ADC, CD74HCT75 i oscyloskopu
*/

// TIM2 control register 2 (TIM2_CR2)
TIM2->CR2 |= TIM_CR2_MMS_1; // (1<<5), => update: trigger output (TRGO).

// TIM2 DMA/Interrupt enable register (TIMx_DIER)
TIM2->DIER |= TIM_DIER_UIE; // (1<<0) => UIE: Update interrupt enable

// TIM2 compare mode register 1 (TIM2_CCMR1), channel 1 and 2
TIM2->CCMR1 |= TIM_CCMR1_OC2M_2| TIM_CCMR1_OC2M_1 // (1<<14)|(1<<13)|(0<<12)=>
OC2M[2:0]: Output compare 2 mode
    | TIM_CCMR1_OC2PE
// (1<<11)=> Output compare 2 preload enable | TIM_CCMR1_OC1PE; //
(1<<3) => Preload register on TIMx_CCR1 enabled
// TIM2 compare mode register 2 (TIM2_CCMR2), channel 3 and 4
TIM2->CCMR2 = 0x0000;

// TIM2 compare enable register (TIM2_CCER)
TIM2->CCER = 0x0010; // (1<<5) => Compare 2 output enable

// TIM2 prescaler (TIM2_PSC)
TIM2->PSC = 0x0007; // prescaler value = 7 => the counter clock frequency CLK_CNT is
// equal to: fCLK_PSC / (PSC[15:0] + 1)

// TIM2 auto-reload register (TIM2_ARR)
TIM2->ARR = iCyk_Tc/4-1; // 512/4-1 = 127 => ARR[15:0]: Auto-reload value (16bits -> 65535)

// TIM2 counter (TIM2_CNT)
TIM2->CNT = 0x0000; // CNT[15:0]: Counter value

// TIM2 compare register 2 (TIM2_CCR2)
TIM2->CCR2 = iCyk_Tc/8 // CCR2 is the value to be loaded in the actual compare 2 register (preload value).

// TIM2 event generation register (TIM2_EGR)
TIM2->EGR = TIM_EGR_UG; // (1<<0), UG: Update generation

// TIM2 control register 1 (TIM2_CR1)
TIM2->CR1 |= TIM_CR1_ARPE; // (1<<7), TIM2_ARR buffered ARPE => Auto-reload preload enable
}

void convADC1(void) // conf ADC1
{
/* Analog-to-digital converter (ADC) */
/*Select the frequency of the clock to the ADC.
    f_ADC = APB2ENR (84MHz) / Prescaler (2); f_ADC = 42MHz
*/
ADC->CCR = 0x0000; // divided by 2, (0 << 17)|(0 << 16), ADC_CCR_ADCPRE;

// configuration of ADC1 registers

```

```

// ADC control register 2 (ADC_CR2)
ADC1->CR2 |= ADC_CR2_EXTEN_1 | ADC_CR2_EXTEN_0 // (0<<29)|(1<<28)
           => trigger detection on the rising edge
           | ADC_CR2_EXTSEL_1 | ADC_CR2_EXTSEL_0
// (0<<27)|(0<<26)|(1<<25)|(1<<24)           => TIM2 external trigger
           | ADC_CR2_DDS
// (1<<9)           => DMA disable selection (for single ADC mode)
           | ADC_CR2_DMA
// (1<<8)           => Direct memory access mode - ENABLED
           | ADC_CR2_ADON; // (1<<0)           => ADC1 converter ON

// ADC sample time register 2 (ADC_SMPR2)
ADC1->SMPR2 = ADC_SMPR2_SMP0; // bits (0 0 0) - 3 cycles           => the sampling time

// ADC watchdog higher threshold register (ADC_HTR)
ADC1->HTR = ADC_HTR_HT; // 0x0FFF           => analog watchdog higher threshold

// ADC regular sequence register 1 (ADC_SQR1)
ADC1->SQR1 = 0x0000;           // bits (0 0 0 0): => 1 conversion

// ADC regular sequence register 3 (ADC_SQR3)
ADC1->SQR3 = ADC_SQR3_SQ1_0; // 0x0001;           => channel: CH1

// ADC control register 1 (ADC_CR1)
ADC1->CR1 |= ADC_CR1_EOCIE // (1<<5)end of conversion interrupt: enabled
           | (ADC_CR1_DISCNUM & 0)
// bits (0 0 0): channel 1=> discontinuous mode channel count
           | ADC_CR1_DISCEN;
// (1<<11)           => discontinuous mode channel: enabled

// Counter TIM2 enabled
TIM2->CR1 |= TIM_CR1_CEN;
// (1<<0),start of the TIM2 counter and the ADC1 converter
}

void DMA2_S0_ADC1(void)           // DMA_CH0 for ADC1_CH1
{
/*Direct Memory Access (DMA) used to quickly transfer data between peripheral devices and memory. Channel
0, transfer from Peripheral to Memory, no FIFO.*/
// Disable the selected DMA2 Stream0
DMA2_Stream0->CR &= ~(DMA_SxCR_EN);
while(DMA2_Stream0->CR & ~(DMA_SxCR_EN));

// Cleaning all flags
DMA2->LIFCR = (DMA2->LISR & 0x3D);

// Peripheral address           -> &ADC1->DR
DMA2_Stream0->PAR = (uint32_t)&(ADC1->DR);

// Memory address -> &samADC1
DMA2_Stream0->M0AR = (uint32_t)&samADC[0];

// Number of data items to transfer
DMA2_Stream0->NDTR = 2*BUFFER_SIZE;

// Configuring the stream: Stream0
DMA2_Stream0->CR |= DMA_SxCR_PL_1           // (1<<16)
                 | DMA_SxCR_MSIZE_0       // (1<<13)
                 | DMA_SxCR_PSIZE_0       // (1<<11)
                 | DMA_SxCR_MINC           // (1<<10)

```

```

| DMA_SxCR_CIRC      // (1<< 8)
| DMA_SxCR_TCIE     // (1<< 4)
| DMA_SxCR_EN;      // (1<< 0)

// Enabled interrupt
NVIC_EnableIRQ(DMA2_Stream0_IRQn);
}
void DMA2_Stream0_IRQHandler(void) // interrupt service DMA2_S0
{
// Cleaning all flags
DMA2->LIFCR = (DMA2->LISR & 0x003D);
// Current target, for 0 target is Memory 0 (DMA_SxM0AR pointer)
if (DMA2_Stream0->CR & ~(DMA_SxCR_CT)){
// calculations of times
    bufLPF();
}
}
void bufLPF(void)
{
for(int i = 0; i < 2*BUFFER_SIZE; i++){
    tab_lp_sim[i] = (+VT)*(samADC[i]/2048.f - 1);
    tab_lo_sim[i] = (-1) * tab_lp_sim[i];
}
// system operation indicator
LED6_GPIO->BSRRL = LED6_bm; // BLUE led}
obliczenia_tp_tk();
}
void obliczenia_tp_tk(void)
{
// Numer cyklu kluczowania, Fs= 164.0952kHz, Ts=6.0952us
uint32_t k = 0;
while( k < BUFFER_SIZE ){
// dt=48.37ns rozdzielczosc dla 6 bitow
// 11 bitow ( 0 - 2047)
    lp_fsim[k][0] = tab_lp_sim[2*k+0];
    lp_fsim[k][1] = tab_lp_sim[2*k+1];

    tplp[k] = (uint16_t)(4095.f) * ( VT - lp_fsim[k][0] ) / (4*VT + (Q+1)*( lp_fsim[k][1] - lp_fsim[k][0] ) );
// 12 bitow ( 2047 - 4095)
    lp_rsim[k][0] = tab_lp_sim[2*k+1];
    lp_rsim[k][1] = tab_lp_sim[2*k+2];

    tklp[k] = (uint16_t)(4095.f) * (3*VT + lp_rsim[k][0] ) / (4*VT - (Q+1)*( lp_rsim[k][1] - lp_rsim[k][0] ) ); //
// 11 bitow ( 0 - 2047)
    lo_fsim[k][0] = tab_lo_sim[2*k+0];
    lo_fsim[k][1] = tab_lo_sim[2*k+1];
    tplo[k] = (uint16_t)(4095.f) * ( VT - lo_fsim[k][0] ) / (4*VT + (Q+1)*( lo_fsim[k][1] - lo_fsim[k][0] ) );
// 12 bitow ( 2047 - 4095)
    lo_rsim[k][0] = tab_lo_sim[2*k+1];
    lo_rsim[k][1] = tab_lo_sim[2*k+2];
    tklo[k] = (uint16_t)(4095.f) * (3*VT + lo_rsim[k][0] ) / (4*VT - (Q+1)*( lo_rsim[k][1] - lo_rsim[k][0] ) );
// Zwiększanie numeru cyklu kluczowania
    k++;
}
reQuant();
}

void reQuant(void) // re-quantization of times
{
uint16_t k;

```

```

k = 0;
while( k < BUFFER_SIZE ){
// rekwantyzacja tlp
//-----
tlp_24b = (uint32_t)((tlp[k])/(2047.f)* w2do24b);
dpp = tlp_24b + opp;
tlp_08b = (uint32_t)(dpp /w2do24_9b);
epp = dpp - ((uint32_t)tlp_08b *w2do24_9b);
erpp[4] = erpp[3]; erpp[3] = erpp[2]; erpp[2] = erpp[1];
erpp[1] = erpp[0]; erpp[0] = epp;
opp = 0;
opp = (erpp[0]*filtr[0] + erpp[1]*filtr[1] + erpp[2]*filtr[2]+ erpp[3]*filtr[3] + erpp[4]*filtr[4]);
tlp_rq[k] = (uint16_t)(511.f*(tlp_08b/w2do9b));

tlp6b[k] = (uint16_t)tlp_rq[k] >> 3; // 6 bitow, 0-63
tlp3b[k] = (uint16_t)tlp_rq[k] & 7; // 3 bity, 0-07
k++;
}
k = 0;
while( k < BUFFER_SIZE ){
// rekwantyzacja tklp
//-----
tklp_24b = (uint32_t)((tklp[k])/(2047.f)* w2do24b);
dkp = tklp_24b + okp;
tklp_08b = (uint32_t)(dkp /w2do24_9b);
ekp = dkp - ((uint32_t)tklp_08b *w2do24_9b);
erkp[4] = erkp[3]; erkp[3] = erkp[2]; erkp[2] = erkp[1];
erkp[1] = erpp[0]; erkp[0] = epp;
okp = 0;
okp = (erkp[0]*filtr[0] + erkp[1]*filtr[1] + erkp[2]*filtr[2]+ erkp[3]*filtr[3] + erkp[4]*filtr[4]);
tklp_rq[k] = (uint16_t)(511.f*(tklp_08b/w2do9b));
tklp6b[k] = (uint16_t)tklp_rq[k] >> 3; // 6 bitow, 0-63
tklp3b[k] = (uint16_t)tklp_rq[k] & 7; // 3 bity, 0-07
k++;
}
k = 0;
while( k < BUFFER_SIZE ){
// rekwantyzacja tplo
//-----
tplo_24b = (uint32_t)((tplo[k])/(2047.f)* w2do24b);
dpo = tplo_24b + opo;
tplo_08b = (uint32_t)(dpo /w2do24_9b);
epo = dpo - ((uint32_t)tplo_08b *w2do24_9b);
erpo[4] = erpo[3]; erpo[3] = erpo[2]; erpo[2] = erpo[1];
erpo[1] = erpo[0]; erpo[0] = epo;
opo = 0;
opo = (erpo[0]*filtr[0] + erpo[1]*filtr[1] + erpo[2]*filtr[2]+ erpo[3]*filtr[3] + erpo[4]*filtr[4]);
tplo_rq[k] = (uint16_t)(511.f*(tplo_08b/w2do9b));
tplo6b[k] = (uint16_t)tplo_rq[k] >> 3; // 6 bitow, 0-63
tplo3b[k] = (uint16_t)tplo_rq[k] & 7; // 3 bity, 0-07
k++;
}
k = 0;
while( k < BUFFER_SIZE ){
// rekwantyzacja tklo
//-----
tklo_24b = (uint32_t)((tklo[k])/(2047.f)* w2do24b);
dko = tklo_24b + oko;
tklo_08b = (uint32_t)(dko /w2do24_9b);
eko = dko - ((uint32_t)tklo_08b *w2do24_9b);

```

```

erko[4] = erko[3]; erko[3] = erko[2]; erko[2] = erko[1];
erko[1] = erpo[0]; erko[0] = eko;
oko = 0;
oko = (erko[0]*filtr[0] + erko[1]*filtr[1] + erko[2]*filtr[2] + erko[3]*filtr[3] + erko[4]*filtr[4]);
tklo_rq[k] = (uint16_t)(511.f*(tklo_08b/w2do9b));
tklo6b[k] = (uint16_t)tklo_rq[k] >> 3;           // 6 bitow, 0-63
tklo3b[k] = (uint16_t)tklo_rq[k] & 7;           // 3 bity, 0-07
    k++;
}
}
// wyprowadzenie danych do PWM
//-----
void pwmTIM1(void)           // Konfiguracja TIM1->164.095kHz, CH:1-4: PE09,PE11,PE13,PE14
{
// CR1 - control register 1
TIM1->CR1 = TIM_CR1_ARPE;           // (1<<7)           => TIMx_ARR register is buffered
                                           //=> Counter overflow or underflow
                                           //=> generates an update abort or DMA request

// SMCR - slave mode control register
TIM1->SMCR = TIM_SMCR_TS_0 | TIM_SMCR_SMS_2; // (1<<4) | (1<<2);
           //=> Internal Trigger 1 (ITR1 -> TIM2_TRGO)
           //=> Reset Mode - Rising edge of the selected
           //=> trigger input (TRGI) reinitializes the counter
           //=> and generates an update of the registers.

// CCMR1 - capture/compare mode register 1
//Configuration of 4 output channels.
//The given OCxx bit describes its function when the channel is configured //at the output.
TIM1->CCMR1= TIM_CCMR1_OC1M_2 | TIM_CCMR1_OC1M_1//CCxS= Output, OCxM= PWM1 |
TIM_CCMR1_OC2M_2 | TIM_CCMR1_OC2M_1;
TIM1->CCMR1 |= TIM_CCMR1_OC1PE | TIM_CCMR1_OC2PE; //
           => Set preload bits for both channels CH1 and CH2

// CCMR2 - capture/compare mode register 2
TIM1->CCMR2 = TIM_CCMR2_OC3M_2 | TIM_CCMR2_OC3M_1
           | TIM_CCMR2_OC4M_2 | TIM_CCMR2_OC4M_1;
TIM1->CCMR2 |= TIM_CCMR2_OC3PE | TIM_CCMR2_OC4PE; //
           => Set preload bits for both channels CH3 and CH4

// CCER - capture/compare enable register
TIM1->CCER = TIM_CCER_CC1E | TIM_CCER_CC2E//OCx active HIGH, OCx enabled
           | TIM_CCER_CC3E | TIM_CCER_CC4E;

// TIM1 prescaler (TIM1_PSC)
TIM1->PSC = 0x0007;// TIM_CLK = SYS_CLK/(TIM_PSC+1) <= SYS_CLK = 168MHz

// ARR - auto-reload register
TIM1->ARR = ilCyk_Tc/4-1; // 512/4-1 =127 - resolution defines period -> f_UEV = 164.063kHz

// CNT - counter value reset
TIM1->CNT = 0x0000;

// RCR - repetition counter register
TIM1->RCR = 0x0000;

// CCRx - capture/compare register x
// initialization of initial PWM values
TIM1->CCR1 = 0x001E;           // CH1 PE09
TIM1->CCR2 = 0x003C;           // CH2 PE11
TIM1->CCR3 = 0x005A;           // CH3 PE12
TIM1->CCR4 = 0x0078;           // CH4 PE13
TIM1->BDTR |= TIM_BDTR_MOE | TIM_BDTR_OSSR | TIM_BDTR_OSSI;
TIM1->DIER = (1 << 8) | (1 << 9) | (1 << 10) | (1 << 11) | (1 << 12);

```

```

// EGR - event generation register
TIM1->EGR |= TIM_EGR_TG;           // Update generation, polarity: (+)->TG; (-) ->UG
// Start TIM1
TIM1->CR1 |= TIM_CR1_CEN;
}

```

```

void DMA2_S1_TIM1(void)           // DMA dla TIM1 CH1
{ // Channel 6, MEM->PER, no FIFO,
    DMA2_Stream1->CR &= ~(DMA_SxCR_EN);
    while(DMA2_Stream1->CR & DMA_SxCR_EN);
    DMA2->LIFCR = (DMA2->LISR & 0x0F60); //H.. Str>3, clear all flags
    DMA2_Stream1->PAR = (uint32_t)&(TIM1->CCR1); // peripheral address
    DMA2_Stream1->M0AR = (uint32_t)&tp1p6b[0]; // memory address
    DMA2_Stream1->NDTR = BUFFER_SIZE; // 1 hword at each update
    DMA2_Stream1->CR |= (1 << 27)|(1 << 26); // kanal6 <-
        // DMA_SxCR_CHSEL_2 | DMA_SxCR_CHSEL_1;
    DMA2_Stream1->CR |= 0 << 19; // podwojny bufor, DMA_SxCR_CT;
    DMA2_Stream1->CR |= 0 << 18; // podwojny bufor, DMA_SxCR_DBM;
    DMA2_Stream1->CR |= 1 << 17; // priorytet, DMA_SxCR_PL_1;
    DMA2_Stream1->CR |= 0 << 15; // inc. size Per, DMA_SxCR_PINCOS;
    DMA2_Stream1->CR |= 1 << 13; // rozmiar Mem 16b, DMA_SxCR_MSIZE_1;
    DMA2_Stream1->CR |= 1 << 11; // rozmiar Per 16b, DMA_SxCR_PSIZE_1;
    DMA2_Stream1->CR |= 1 << 10; // inc. Mem- z, DMA_SxCR_MINC;
    DMA2_Stream1->CR |= 0 << 9; // inc. Per- bez, DMA_SxCR_PINC;
    DMA2_Stream1->CR |= 1 << 8; // tryb kolowy, DMA_SxCR_CIRC;
    DMA2_Stream1->CR |= 1 << 6; // kier.Mem->Per, DMA_SxCR_DIR_0;
    DMA2_Stream1->CR |= DMA_SxCR_EN; // start DMA2_S1
}

```

```

void DMA2_S2_TIM1(void)           // DMA dla TIM1 CH2
{ // Channel 6, MEM->PER, no FIFO,
    DMA2_Stream2->CR &= ~(DMA_SxCR_EN);
    while(DMA2_Stream2->CR & DMA_SxCR_EN);
    DMA2->LIFCR = (DMA2->LISR & 0x0F60); //H.. Str>3, clear all flags
    DMA2_Stream2->PAR = (uint32_t)&(TIM1->CCR2); // peripheral address
    DMA2_Stream2->M0AR = (uint32_t)&tklp6b[0]; // memory address
    DMA2_Stream2->NDTR = BUFFER_SIZE; // 1 hword at each update
    DMA2_Stream2->CR |= (1 << 27)|(1 << 26); // kanal6 <-
        // DMA_SxCR_CHSEL_2 | DMA_SxCR_CHSEL_1;
    DMA2_Stream2->CR |= 0 << 19; // podwojny bufor, DMA_SxCR_CT;
    DMA2_Stream2->CR |= 0 << 18; // podwojny bufor, DMA_SxCR_DBM;
    DMA2_Stream2->CR |= 1 << 17; // priorytet, DMA_SxCR_PL_1;
    DMA2_Stream2->CR |= 0 << 15; // inc. size Per, DMA_SxCR_PINCOS;
    DMA2_Stream2->CR |= 1 << 13; // rozmiar Mem 16b, DMA_SxCR_MSIZE_1;
    DMA2_Stream2->CR |= 1 << 11; // rozmiar Per 16b, DMA_SxCR_PSIZE_1;
    DMA2_Stream2->CR |= 1 << 10; // inc. Mem- z, DMA_SxCR_MINC;
    DMA2_Stream2->CR |= 0 << 9; // inc. Per- bez, DMA_SxCR_PINC;
    DMA2_Stream2->CR |= 1 << 8; // tryb kolowy, DMA_SxCR_CIRC;
    DMA2_Stream2->CR |= 1 << 6; // kier.Mem->Per, DMA_SxCR_DIR_0;
    DMA2_Stream2->CR |= DMA_SxCR_EN; // start DMA2_S2
}

```

```

void DMA2_S6_TIM1(void)           // DMA dla TIM1 CH3
{ // Channel 6, MEM->PER, no FIFO,
    DMA2_Stream6->CR &= ~(DMA_SxCR_EN);
    while(DMA2_Stream6->CR & DMA_SxCR_EN);
    DMA2->HIFCR = (DMA2->HISR & 0x0F60); //H.. Str>3, clear all flags
    DMA2_Stream6->PAR = (uint32_t)&(TIM1->CCR3); // peripheral address
    DMA2_Stream6->M0AR = (uint32_t)&tplo6b[0]; // memory address
    DMA2_Stream6->NDTR = BUFFER_SIZE; // 1 hword at each update
}

```



```

DMA2_Stream6->CR |= (1 << 27)|(1 << 26); // kanal 6 <-
    // DMA_SxCR_CHSEL_2 | DMA_SxCR_CHSEL_1;
DMA2_Stream6->CR |= 0 << 19; // podwojny bufor , DMA_SxCR_CT;
DMA2_Stream6->CR |= 0 << 18; // podwojny bufor, DMA_SxCR_DBM;
DMA2_Stream6->CR |= 1 << 17; // priorytet, DMA_SxCR_PL_1;
DMA2_Stream6->CR |= 0 << 15; // inc. size Per , DMA_SxCR_PINCOS;
DMA2_Stream6->CR |= 1 << 13; // rozmiar Mem 16b, DMA_SxCR_MSIZE_1;
DMA2_Stream6->CR |= 1 << 11; // rozmiar Per 16b, DMA_SxCR_PSIZE_1;
DMA2_Stream6->CR |= 1 << 10; // inc. Mem- z, DMA_SxCR_MINC;
DMA2_Stream6->CR |= 0 << 9; // inc. Per- bez, DMA_SxCR_PINC;
DMA2_Stream6->CR |= 1 << 8; // tryb kolowy, DMA_SxCR_CIRC;
DMA2_Stream6->CR |= 1 << 6; // kier.Mem->Per, DMA_SxCR_DIR_0;
DMA2_Stream6->CR |= DMA_SxCR_EN; // start DMA2_S6
}
void DMA2_S4_TIM1(void) // DMA dla TIM1 CH4
{ // Channel 6, MEM->PER, no FIFO,
    DMA2_Stream4->CR &= ~(DMA_SxCR_EN);
    while(DMA2_Stream4->CR & DMA_SxCR_EN);
    DMA2->HIFCR = (DMA2->HISR & 0x0F60); //H.. Str>3, clear all flags
    DMA2_Stream4->PAR = (uint32_t)&(TIM1->CCR4); // peripheral address
    DMA2_Stream4->M0AR = (uint32_t)&tklo6b[0]; // memory address
    DMA2_Stream4->NDTR = BUFFER_SIZE; // 1 hword at each update
    DMA2_Stream4->CR |= (1 << 27)|(1 << 26); // kanal 6 <-
        // DMA_SxCR_CHSEL_2 | DMA_SxCR_CHSEL_1;
    DMA2_Stream4->CR |= 0 << 19; // podwojny bufor, DMA_SxCR_CT;
    DMA2_Stream4->CR |= 0 << 18; // podwojny bufor, DMA_SxCR_DBM;
    DMA2_Stream4->CR |= 1 << 17; // priorytet, DMA_SxCR_PL_1;
    DMA2_Stream4->CR |= 0 << 15; // inc. size Per , DMA_SxCR_PINCOS;
    DMA2_Stream4->CR |= 1 << 13; // rozmiar Mem 16b, DMA_SxCR_MSIZE_1;
    DMA2_Stream4->CR |= 1 << 11; // rozmiar Per 16b, DMA_SxCR_PSIZE_1;
    DMA2_Stream4->CR |= 1 << 10; // inc. Mem- z, DMA_SxCR_MINC;
    DMA2_Stream4->CR |= 0 << 9; // inc. Per- bez, DMA_SxCR_PINC;
    DMA2_Stream4->CR |= 1 << 8; // tryb kolow, DMA_SxCR_CIRC;
    DMA2_Stream4->CR |= 1 << 6; // kier.Mem->Per, DMA_SxCR_DIR_0;
    DMA2_Stream4->CR |= DMA_SxCR_EN; // start DMA2_S4
}
// konfiguracja pinow
void setPorts(void)
{ // Clock enable for all ports A..E
RCC->AHB1ENR |= (RCC_AHB1ENR_GPIOAEN | RCC_AHB1ENR_GPIOBEN |
RCC_AHB1ENR_GPIOCEN
| RCC_AHB1ENR_GPIODEN | RCC_AHB1ENR_GPIOEEN);
RCC->AHB1ENR |= RCC_AHB1ENR_DMA1EN | RCC_AHB1ENR_DMA2EN;
RCC->APB2ENR |= RCC_APB2ENR_TIM8EN | RCC_APB2ENR_TIM1EN | RCC_APB2ENR_ADC1EN;
RCC->APB1ENR |= RCC_APB1ENR_TIM2EN | RCC_APB1ENR_TIM3EN
| RCC_APB1ENR_DACEN | RCC_APB1ENR_TIM6EN;
GPIOC->MODER = (1 << 30)|(1 << 28)|
(1 << 26)|(1 << 24); //set pins PD: 12 - 15
// TIM1 OUT pwm
confPins(PE09CH1_GPIO, PE09CH1_set, conf_pin_TIM1); // OUT CH1P
confPins(PE11CH2_GPIO, PE11CH2_set, conf_pin_TIM1); // OUT CH2P
confPins(PE13CH3_GPIO, PE13CH3_set, conf_pin_TIM1); // OUT CH3P
confPins(PE14CH4_GPIO, PE14CH4_set, conf_pin_TIM1); // OUT CH4P
// TIM2 OUT, PB3 master
confPins(PB03CH2_GPIO, PB03CH2_set, conf_pin_TIM2);
// TIM3 OUT, PB4 slave -> 3bits
confPins(PB04CH2_GPIO, PB04CH2_set, conf_pin_TIM3);
// analog in ADC1, PA1
confPins(PA01CH1_GPIO, PA01CH1_set, conf_pin_ADC1);
}

```

```

void LSBclkTIM3(void)// sterowanie wysylka 3bitow tp oraz tk na linie opozniajaca
{// General-purpose timer TIM3
// Output: PB4, f=328.125kHz <--(2* 164.0625kHz)

TIM3->SMCR = TIM_SMCR_TS_0 | TIM_SMCR_SMS_2;
//=> Internal Trigger 1 (ITR0 -> TIM1_TRGO)
// TIM3 DMA/Interrupt enable register (TIMx_DIER)
TIM3->DIER |= TIM_DIER_UIE; // (1<<0) => UIE: Update interrupt enable
// TIM3 compare mode register 1 (TIM3_CCMR1), channel 1 and 2
TIM3->CCMR1 |= TIM_CCMR1_OC1M_2| TIM_CCMR1_OC1M_1
// (1<<14)|(1<<13)|(0<<12) => OC1M[2:0]: Output compare 2 mode
| TIM_CCMR1_OC2PE// (1<<11) => Output compare 2 preload enable |
TIM_CCMR1_OC1PE;// (1<<3) => Preload register on TIMx_CCR1 enabled

// TIM3 compare mode register 2 (TIM3_CCMR2), channel 3 and 4
TIM3->CCMR2 = 0x0000;
// TIM3 compare enable register (TIM3_CCER)
TIM3->CCER = 0x0001; // (1<<5) => Compare 2 output enable
// TIM3 prescaler (TIM3_PSC)
TIM3->PSC = 0x0003; // prescaler value = 1 => the counter clock //frequency CLK_CNT is
equal to: fCLK_PSC / (PSC[15:0] + 1)
// TIM3 auto-reload register (TIM3_ARR)
TIM3->ARR = iCyk_Tc/4-1; // 512/4-1 = 127 (0x007F) => ARR[15:0]: //Auto-reload value
(16bits -> 65535)
// TIM3 counter (TIM3_CNT)
TIM3->CNT = 0x0000; // CNT[15:0]: Counter value

TIM3->CCR1 = iCyk_Tc/8; // CCR1 is the value to be loaded in the //actual compare 2 register,
(preload value).
// TIM3 event generation register (TIM3_EGR)
TIM3->EGR = TIM_EGR_UG; // (1<<0), UG: Update Generation
// TIM3 control register 1 (TIM3_CR1)
TIM3->CR1 |= TIM_CR1_ARPE // (1<<7), TIM3_ARR buffered ARPE => Auto-reload preload enable
| TIM_CR1_DIR; // (1<<4), Counter used as downcounter
// Counter initialization
TIM3->CR1 |= TIM_CR1_CEN;
TIM_ITConfig(TIM3, TIM_IT_CC1, ENABLE);
NVIC_EnableIRQ(TIM3_IRQn);
}

void TIM3_IRQHandler()
{// Checks whether the TIM1 interrupt has occurred or not
if (TIM_GetITStatus(TIM3, TIM_IT_Update))
{
switch( kk )
{
case 0:{ GPIOB->ODR = tlp3b[ind]; kk++; break; }

case 1: { GPIOB->ODR = tklp3b[ind]; kk--; break; }

}
// Clears the TIM3 interrupt pending bit
TIM_ClearITPendingBit(TIM3, TIM_IT_Update);
}
ind = (ind+1) & (BUFFER_SIZE+1);
LED3_GPIO->BSRRL = LED3_bm;
}

```

Oświadczenie

Informuję, że pracę wykonałem osobiście i nie korzystałem z innych źródeł, które nie są wymienione w pracy.

Wojciech Kołodziejski, dn. 20.05.2021r.