



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

DZIEDZINA NAUK INŻYNIERYJNO-TECHNICZNYCH

DYSCYPLINA AUTOMATYKA, ELEKTRONIKA I ELEKTROTECHNIKA

Autoreferat rozprawy doktorskiej

Optymalizacja parametrów cyfrowych linearyzowanych modulatorów szerokości impulsów LPWM dla akustycznych wzmacniaczy klasy D

Autor: mgr inż. Wojciech Kołodziejcki

Promotor rozprawy: Prof. dr hab. inż. Stanisław Kuta

Praca wykonana: AGH, Wydział Informatyki, Elektroniki i Telekomunikacji

Kraków, 2021

Wstęp

Pierwsze wzmacniacze klasy D sięgają lat pięćdziesiątych XX wieku [1-2]. Od tego czasu znalazły szerokie zastosowanie w elektronice użytkowej ze względu na ciągłe ulepszanie technologii półprzewodników mocy.

Stopnie końcowe wzmacniaczy klasy D skonfigurowane są w struktury pół-mostkowe lub mostkowe, w których tranzystory mocy MOSFET pełnią rolę przełączników (kluczy), sterowanych od stanu zamknięcia do stanu otwarcia. Charakterystyki statyczne tych elementów w granicznych stanach przewodzenia powinny być zbliżone do charakterystyk przełącznika w stanach zamknięcia i otwarcia, a czasy przełączania możliwie jak najkrótsze. Maksymalna moc obciążenia limitowana jest przez graniczne wartości prądów i napięć zastosowanych tranzystorów, a nie przez ich dopuszczalną moc strat. Straty mocy w tego typu wzmacniaczach składają się głównie z dwóch składników: strat mocy przewodzenia związanych ze spadkiem napięcia na załączonym tranzystorze oraz strat mocy związanych z procesem przełączania tranzystora, gdy jego punkt pracy przemieszcza się przez obszar aktywny i jednocześnie mogą wystąpić duże chwilowe wartości napięcia i prądu tranzystora. O sprawności energetycznej tych układów w dużym stopniu decyduje właściwy dobór elementów ze względu na ich szybkość działania, jak również dobór odpowiednich układów sterowania tranzystorów w celu zminimalizowania strat mocy związanych z procesami przełączania, bowiem ten składnik może być dominujący w ogólnym bilansie strat mocy.

Szybki rozwój technologii półprzewodników wywołał ponowne zainteresowanie wykorzystaniem wzmacniaczy mocy audio klasy D, zwłaszcza w aplikacjach mniejszej mocy, poniżej 50W na kanał [3–30]. Dzięki dużej sprawności energetycznej, małym rozmiarom, małym stratom mocy, a tym samym zmniejszeniu rozpraszania ciepła, wzmacniacze klasy D znalazły szerokie zastosowanie w wielu konsumenckich systemach elektronicznych, takich jak telewizja, systemy nagłośniujące, zestawy i systemy kina domowego, telefonia komórkowa, systemy radiokomunikacji ruchomej i inne, ponieważ czas między ładowaniami akumulatora może być dłuższy [3–7]. Wymagało to jednak rozwiązania wielu problemów w celu ulepszenia parametrów elektroakustycznych, energetycznych i kompatybilności elektromagnetycznej (EMI) oraz filtracji sygnału wyjściowego [3–30]. Ostatnio, bardzo popularnymi rozwiązaniami stały się tzw. bezfiltrowe wzmacniacze klasy D [3–18], w których wyjście wzmacniacza jest bezpośrednio podłączone do obciążenia, a samo obciążenie (głośnik) zapewnia filtrację, a tym samym demodulację sygnału dźwiękowego, przy znacznym ograniczeniu zakłóceń elektromagnetycznych i zapewnieniu kompatybilności elektromagnetycznej EMI.

Zarys pracy doktorskiej

Treść pracy została zorganizowana w następujący sposób.

W rozdziale 1 wskazano na osiągnięcia i kierunki rozwoju wzmacniaczy klasy D oraz stosowane techniki modulacji PWM. W wielu komercyjnych instalacjach Audio -Video, sieciowe odtwarzacze przetwarzają pliki audio zapisane w formatach dźwiękowych: A/52 (*Dolby Digital*), ASF (*Advanced Systems Format*), MP3, WMA (*Windows Media Audio*), a powszechną tendencją jest aby odtwarzanie wszelkich typów plików multimedialnych obsługiwane było przez różne wersje programu Windows Media Player [31]. We wspomnianych i innych systemach audio, najczęściej wielokanałowych, sygnały audio są zapamiętywane, przesyłane i przetwarzane w dziedzinie cyfrowej. Implementacja koncepcji

wzmacniacza klasy D w takich systemach stwarza możliwość przetwarzania i wzmacniania sygnałów audio w dziedzinie cyfrowej, aż do stopnia końcowego mocy. W stopniu końcowym, najczęściej w konfiguracji mostka H, tranzystory mocy MOSFET pracują jako klucze, dzięki czemu uzyskuje się wysoką sprawność energetyczną wzmacniacza, a po filtracji dolnoprzepustowej wzmocniony sygnał akustyczny dołączony jest do głośników.

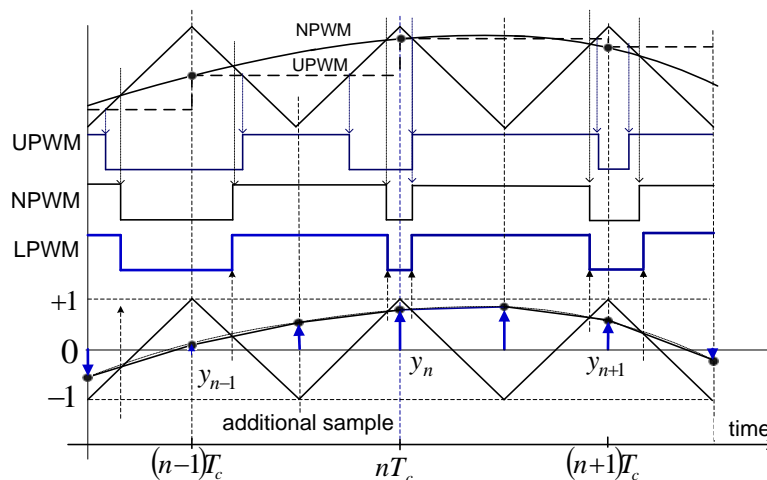
Architektury wzmacniaczy klasy D można ogólnie podzielić na dwie kategorie:

1. Wzmacniacze klasy D w otwartej pętli z analogową modulacją szerokości impulsu APWM (*Analog Pulse Width Modulation*), z próbkowaniem naturalnym NPWM (*Natural Sampled PWM*) lub jej cyfrową wersją DPWM (*Digital PWM*) z równomierną modulacją UPWM (*Uniform Sampled PWM*).
2. Wzmacniacze w zamkniętej pętli z modulacją Sigma Delta (Σ - Δ), stanowiącej odmianę modulacji gęstości impulsów.

Na rys. 1.1, pokazano sposoby próbkowania wejściowego sygnału modulującego stosowane w modulacjach APWM i DPWM we wzmacniaczach klasy D w otwartej pętli.

W modulacjach analogowych APWM stosuje się naturalne próbkowanie sygnału modulującego (NPWM), tzn. czasy trwania impulsów zmodulowanych PWM otrzymywane są w wyniku porównania analogowego sygnału modulującego z przebiegiem trójkątnym lub piłokształtnym.

W modulacjach cyfrowych DPWM, zamiast analogowego sygnału ciągłego wykorzystywany jest dyskretny sygnał modulujący, otrzymywany po wcześniejszym skwantowaniu sygnału analogowego. Szerokości zmodulowanych impulsów prostokątnych są proporcjonalne do dyskretnych wartości sygnału modulującego i przy próbkowaniu ze stałym okresem sygnału modulowanego otrzymujemy równomierną modulację UPWM.



Rys. 1.1. Różnice pomiędzy modulacjami: NPWM, UPWM i LPWM

Stosując dodatkowe próbkowanie sygnału w okresie przełączania T_c , otrzymujemy dyskretny sygnał skwantowany bardziej zbliżony kształtem do pierwotnego sygnału analogowego, a zmodulowany sygnał DPWM jest bardziej zbliżony do zmodulowanego sygnału NPWM przy modulacji naturalnej. Ten rodzaj modulacji może być realizowany jako modulacja pseudo-naturalną - PNPWM (*Pseudo-Natural Pulse Width Modulation*) lub linearyzowana - LPWM (*Linearized Pulse Width Modulation*).

W każdej z wymienionych wyżej metod modulacji PWM, zarówno analogowych jak i cyfrowych, można wyróżnić modulację jednobrzegową (*Single sided modulation* - S) lub dwubrzegową (*Double sided modulation* - D). Sygnał PWM z modulacją dwubrzegową niesie więcej informacji o sygnale modulującym, przy tej samej częstotliwości przebiegu modulowanego [32-39].

Zastosowanie klasycznych, analogowych wzmacniaczy klasy D w cyfrowych systemach audio, z wejściowym sygnałem cyfrowym PCM, wiąże się z koniecznością każdorazowego przetworzenia sygnału cyfrowego na sygnał analogowy w precyzyjnym przetworniku C/A, aby następnie przekształcić go na sygnał zmodulowany NPWM. To przekształcenie jest często nazywane konwersją PCM na PWM

Aby wyeliminować konieczność stosowania w konwerterach PCM na PWM dość skomplikowanych układów - precyzyjnych przetworników C/A – proces modulacji PWM można zrealizować bezpośrednio przy zastosowaniu algorytmów cyfrowej modulacji szerokości impulsów DPWM, gdzie wejściowy sygnał PCM jest przetwarzany bezpośrednio w ciąg 1-bitowych impulsów PWM [32-39], [45-49].

Standardowa DPWM z równomiernym próbkowaniem UPWM (ang. *Uniform PWM*), chociaż bardzo prosta, nie może być wykorzystana we wzmacniaczach akustycznych ze względu na jej wrodzoną naturalną nieliniowość [32- 35].

Algorytmy DPWM stosowane w akustycznych wzmacniaczach klasy D są dość złożone, a ponadto muszą być realizowane w czasie rzeczywistym, przy dość wysokiej częstotliwości kluczenia stopnia końcowego (zależnie od rodzaju modulacji DPWM, $F_c \geq 250$ kHz). Z tego powodu, w praktycznych rozwiązaniach cyfrowych wzmacniaczy klasy D rozwinęły się główne dwie metody realizacji modulatorów DPWM: 1) modulacja DPWM realizowana w oparciu o wielobitową modulację sigma-delta (Σ - Δ) z układem kształtowania szumów kwantyzacji (częściej stosowana w praktyce ze względu na łatwiejsze kompromisy pomiędzy parametrami układu dla uzyskania zadanych parametrów wyjściowych) oraz 2) standardowe modulacje DPWM z kompensacją wstępną, charakteryzujące się próbkowaniem sygnału modulującego najbardziej zbliżonym do próbkowania przy modulacjach naturalnych NPWM i układem kształtowania szumów rekwantyzacji. Poprzez interpolacje wejściowego sygnału PCM otrzymujemy dyskretny sygnał skwantowany bardziej zbliżony kształtem do pierwotnego sygnału analogowego, a zmodulowany sygnał DPWM jest bardziej zbliżony do zmodulowanego sygnału NPWM przy modulacji naturalnej. Ten rodzaj modulacji nazywany jest modulacją pseudo-naturalną - PNPWM (ang. *Pseudo-Natural Pulse Width Modulation*) lub linearyzowaną – LPWM (*Linearized Pulse Width Modulation*).

Standardowe modulacje DPWM z kompensacją wstępną stwarzają możliwość emulacji wszystkich czterech podstawowych metod modulacji NPWM w cyfrowych aplikacjach wzmacniaczy klasy D (tj. NADS, NADD, NBDS, NBDD), a w szczególności dwubrzęgowej modulacji klasy BD (NBDD), (*Natural sampled Class-BD Double sided*) uznawanej jako optymalna modulacja PWM, ze względu na łatwość filtracji sygnałów różnicowych na wyjściu stopnia końcowego wzmacniacza klasy D. Spośród czterech podstawowych rodzajów modulacji NPWM, modulacja NBDD, która jest odpowiednikiem trypoziomowej wersji modulacji PSCPWM (*Phase Shifted Carrier Pulse Width Modulation*) i jest najlepsza pod względem wyjścia różnicowego DM (*Differential Mode*) i ma zdecydowanie najbardziej atrakcyjną charakterystykę widmową, która zawiera znacznie mniej niepożądanych składowych widmowych niż wszystkie inne metody PWM [32-32], [36-39].

Modulator NBDD posiada jednak pewną wadę, ponieważ na jego wyjściu sumacyjnym CM (*Common Mode*) pojawia się sygnał sumacyjny, obecny w pełnej skali nawet przy bardzo niskim poziomie sygnału modulującego, o szerokim widmie zawierającym nieparzyste harmoniczne częstotliwości przełączania i ich parzyste składowe intermodulacyjne (IM). Szybkie przełączanie tranzystorów wyjściowych MOSFET, duże skoki napięć wyjściowych w zakresie napięć na szynach zasilających stopień końcowy wzmacniacza, szerokie spektrum częstotliwości sygnałów PWM mogą prowadzić do emisji zakłóceń o wysokiej częstotliwości

RF ze stopnia wyjściowego, ścieżek na płycie drukowanej, filtrów i kabli głośnikowych, które stają się przypadkowymi antenami [3-10].

Cyfrowa modulacja PNPWM jest atrakcyjna z punktu widzenia możliwości ograniczenia zniekształceń nieliniowych w paśmie podstawowym sygnału modulującego do dowolnie niskiego poziomu, a dla jej realizacji wykorzystywane są powszechnie znane i ugruntowane numeryczne metody obliczeń, ale trudne do realizacji w czasie rzeczywistym, ponieważ wymagają zbyt dużych nakładów obliczeniowych.

Linearyzowane modulacje LPWM są prostsze w realizacji i wymagają mniejszych nakładów obliczeniowych, dlatego w pracy doktorskiej skoncentrowano się na tych sposobach modulacji, tym bardziej, że głównym celem pracy była implementacja hybrydowego, linearyzowanego 9-bitowego lub 10-bitowego modulatora LBDD do sterowania stopniem wyjściowym akustycznego wzmacniacza klasy BD, w oparciu o mikrokontroler STM32 i programowaną linię opóźniającą z odczepami PTDL (*Programmable Tapped Delay Line*) [45-52]. Zadaniem modulatora jest możliwie jak najwierniejsze odwzorowanie dwubrzegowej modulacji NBDD, która charakteryzuje się najbardziej złożonym algorytmem obliczeniowym i wymaga największych nakładów obliczeniowych w czasie rzeczywistym.

Cyfrowy modulator LBDD, emulujący optymalny modulator NBDD, posiada tę samą wadę co jego prototyp, tj. na jego wyjściu sumacyjnym CM pojawia się sygnał sumacyjny, obecny w pełnej skali nawet przy bardzo niskim poziomie sygnału modulującego, o szerokim widmie zawierającym nieparzyste harmoniczne częstotliwości przełączania i ich parzyste składowe intermodulacyjne,

Dla rozwiązania tego problemu, w pracy doktorskiej opracowano rozszerzone układy cyfrowych modulatorów LBDD PWM oraz LPSC PWM (*Linearized Phase Shifted Carrier Pulse Width Modulation*), przystosowanych do sterowania nowych oryginalnych wzmacniaczy akustycznych klasy BD w otwartej pętli ze zrównoważonym wyjściem w trybie wspólnym, posiadającym stałe napięcia na wyjściu CM [9-10], [45-52].

Przedstawiono cele badawcze i tezy pracy.

Niniejsza praca dotyczy algorytmów przetwarzania sygnałów niezbędnych do konwersji cyfrowych danych audio, uzyskanych ze źródła, na cyfrowy sygnał o modulowanej szerokości impulsów, który steruje tranzystory MOSFET stopnia końcowego akustycznego wzmacniacza klasy D. Głównym celem pracy była implementacja hybrydowego, linearyzowanego modulatora LBDD z kompensacją wstępną do sterowania stopniem wyjściowym akustycznego wzmacniacza klasy BD, ze zrównoważonym wyjściem dla sygnałów wspólnych CM, o stałej wartości napięcia na tym wyjściu.

Algorytmy kompensacji wstępnej stosowane w cyfrowym przetwarzaniu sygnałów DSP, składające się z następujących bloków modułowych:

- Interpolacja,
- Obliczenia z dużą dokładnością położenia początków i końców czasu trwania impulsu LBDD PWM w n-tych okresach kluczowania,
- Kształtowania szumów kwantyzacji,

zostały zdefiniowane w teorii, zaprojektowane i przesymulowane w programie Matlab, a następnie zostały zaimplementowane w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera STM32 i programowaną linię opóźniającą z odczepami PTDL.

Algorytm obliczeniowy położenia początków i końców czasu trwania impulsu PWM w każdym okresie przełączania wymaga dwuetapowej interpolacji wejściowego sygnału PCM. W pierwszym etapie interpolacja realizowana jest ze współczynnikiem nadpróbkowania K , dzięki której odstęp pomiędzy dwoma sąsiednimi próbkami jest równy okresowi kluczowania T_c , natomiast w drugim etapie interpolacji wprowadza się Q dodatkowych próbek sygnału PCM równomiernie rozłożonych w okresie kluczowania T_c i aproksymuje się sygnał modulujący w tym przedziale odcinkami prostoliniowymi, przechodzącymi przez interpolowane próbki PCM.

Obliczone z dużą dokładnością wartości położenia początków i końców czasu trwania impulsu PWM w n -tych okresach kluczowania, wymagałyby bardzo dużej rozdzielczości czasowej kwantyzatora na wyjściu modulatora, transformującego obliczone czasy na ciąg fizycznie generowanych impulsów PWM, co z kolei wymagałoby zastosowania bardzo wysokich (nieakceptowalnych w praktyce) częstotliwości generatora taktującego kwantyzator. Zastosowanie procesu rekwantyzacji pozwala z jednej strony na redukcję (obcięcie) długości słowa bitowego N_q obliczonej wartości położenia początków i końców czasu trwania impulsu PWM do mniejszej rozdzielczości N_{rq} , tym samym ograniczenie rozdzielczości kwantyzatora, ale z drugiej strony, pozwala na kształtowanie generowanych szumów rekwantyzacji. Rekwantyzowany sygnał cyfrowy, po przejściu przez układ kształtowania szumów kwantyzacji zawierający pętle sprzężenia zwrotnego z filtrem, zachowuje niezmiennione składowe widma sygnału PWM w paśmie podstawowym sygnału modulującego, zaś szum kwantyzacji zostaje przesunięty poza to pasmo, do zakresu wyższych częstotliwości, odfiltrowywanych w procesie demodulacji.

Cyfrowy modulator LBDD PWM, emulujący optymalny modulator NBDD PWM, posiada tę samą wadę co jego prototyp, tj. na jego wyjściu sumacyjnym CM pojawia się sygnał sumacyjny, obecny w pełnej skali nawet przy bardzo niskim poziomie sygnału modulującego, o szerokim widmie zawierającym nieparzyste harmoniczne częstotliwości przełączania i ich parzyste składowe intermodulacyjne,

Celem pracy było również opracowanie rozszerzonych układów cyfrowych modulatorów LBDD PWM oraz LPSC PWM, przystosowanych do sterowania nowych oryginalnych wzmacniaczy akustycznych klasy BD w otwartej pętli ze zrównoważonym wyjściem w trybie wspólnym, posiadających stałe napięcia na wyjściu CM.

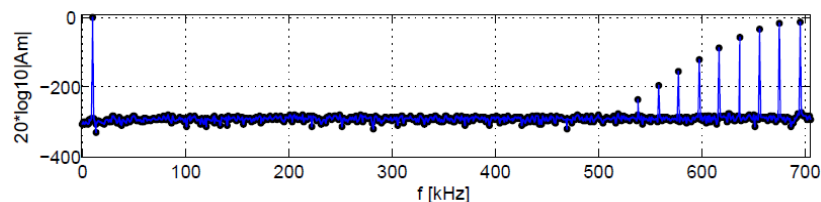
Tezy rozprawy doktorskiej:

1. Zaproponowane algorytmy cyfrowej linearyzowanej modulacji szerokości impulsów LPWM (ang. *Linearized Pulse Width Modulation*) z kompensacją wstępną stwarzają możliwość realizacji w czasie rzeczywistym wszystkich czterech podstawowych metod modulacji LPWM (tj. LADS, LADD, LBDS, LBDD) w cyfrowych aplikacjach akustycznych wzmacniaczy klasy D, a w szczególności linearyzowanej dwubrzęgowej modulacji klasy BD (LBDD), (ang. *Linearized Class-BD Double sided*), emulującej dwubrzęgową modulację szerokości impulsów klasy BD z naturalnym próbkowaniem (NBDD), (ang. *Natural sampled Class-BD Double sided*), uznawanej jako optymalna modulacja PWM ze względu na łatwość filtracji sygnałów różnicowych na wyjściu stopnia końcowego wzmacniacza klasy D.
2. W praktyce, każda ze zlinearyzowanych modulacji LPWM (tj. LADS, LADD, LBDS, LBDD) może być zaimplementowana w cyfrowym modulatorze DPWM dla akustycznego wzmacniacza klasy D tylko wtedy, gdy w algorytmie obliczania początków i końców czasu trwania impulsu PWM w n -tych okresach kluczowania zostanie zastosowany proces rekwantyzacji, a transformacja obliczonych czasów na ciąg fizycznie generowanych

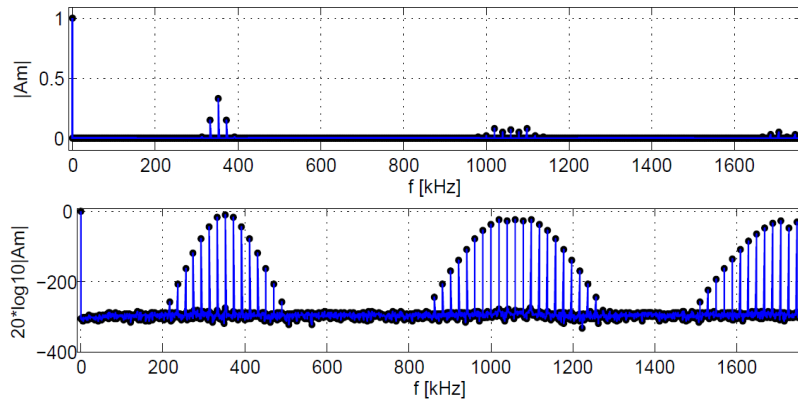
impulsów PWM zostanie zrealizowana w kwantyzatorze o hybrydowej strukturze, w której starsze bity przekształcane są w kwantyzatorze opartym o metodę licznikową, zaś młodsze bity w kwantyzatorze opartym o programowaną linię opóźniającą z odczepami PTDL. Proces rekwantyzacji, poprzez kształtowanie szumów kwantyzacji, prowadzi do redukcji (obciążenia) długości słowa bitowego N_q obliczonych początków i końców czasu trwania impulsu PWM w n -tych okresach kluczowania do mniejszej wartości N_{rq} , a tym samym pozwala na ograniczenie rozdzielczości czasowej kwantyzatora na wyjściu modulatora transformującego obliczone czasy na ciąg fizycznie generowanych impulsów DPWM. Kwantyzator hybrydowy zapewnia kompromis pomiędzy liniowością charakterystyki przetwarzania, a niezbyt wysoką częstotliwością generatora taktującego kwantyzator licznikowy.

3. Implementacja cyfrowych modulatorów LPWM z kompensacją wstępną jest trudniejsza niż modulatorów DPWM realizowanych w oparciu o wielobitową modulację sigma-delta (Σ - Δ), które są częściej stosowane w praktyce ze względu na łatwiejsze kompromisy pomiędzy parametrami modulatora zapewniającymi zadane parametry wyjściowe. Jednak zastosowanie modulatorów LPWM z kompensacją wstępną stwarza możliwość emulacji wszystkich odmian analogowych wzmacniaczy klasy D, a w szczególności wzmacniaczy klasy BD z dwubrzegową modulacją NBDD, uznawanej jako optymalna, ponieważ w widmie częstotliwościowym sygnału PWM nie występują składowe o częstotliwości kluczowania wraz z prążkami bocznymi, co jest równoważne podwojeniu częstotliwości próbkowania.
4. Rozszerzone układy cyfrowych modulatorów LBDD PWM oraz LPSC PWM są przystosowane do sterowania nowych oryginalnych wzmacniaczy akustycznych klasy BD w otwartej pętli ze zrównoważonym wyjściem w trybie wspólnym, posiadających stałe napięcia na wyjściu CM.

W rozdziale 2 na podstawie przebiegów analitycznych oraz analizy w programie Matlab dokonano zbiorczego porównania widm częstotliwościowych czterech podstawowych modulacji z próbkowaniem naturalnym NPWM: NADS, NBDS, NADD, NBDD. Wyróżniono dwubrzegową modulację NBDD PWM jako optymalną, ponieważ w jej widmie częstotliwościowym nie występują składowe z nieparzystym indeksem częstotliwości kluczowania, ani ich składowe boczne, co jest równoważne podwojeniu częstotliwości próbkowania.



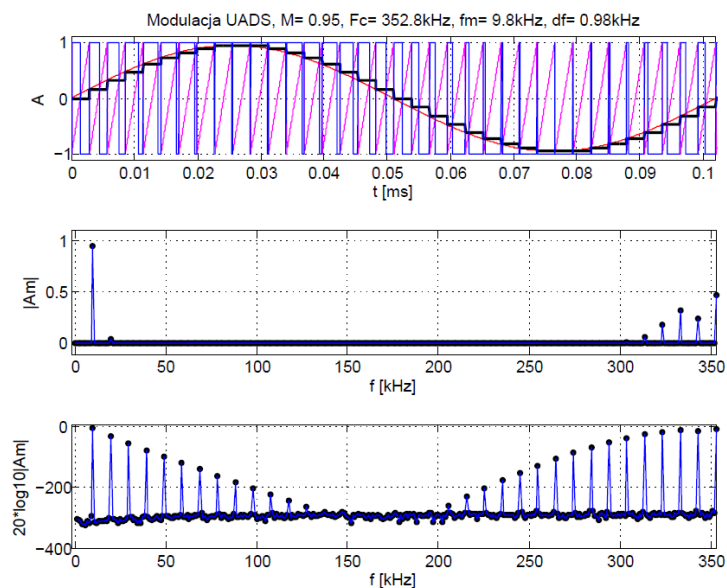
Rys. 2.3. Widmo częstotliwościowe sygnału różnicowego przy modulacji NBDD, dla: $F_c = 352,8\text{kHz}$, $f_m = 9,8\text{kHz}$, $M = 0,95$, $df = 0,98\text{kHz}$.



Rys. 2.4. Widmo częstotliwościowe sygnału wspólnego przy modulacji NBDD, dla: $F_c = 352,8\text{kHz}$, $f_m = 9,8\text{kHz}$, $M = 0,95$, $df = 0,98\text{kHz}$.

Zatem, przy zastosowaniu modulacji NBDD znacznie łatwiej jest odfiltrować wszystkie niepożądane składowe widma sygnału różnicowego lub możliwe jest dwukrotne obniżenie częstotliwości kluczowania (zwiększenie sprawności energetycznej wzmacniacza). Wskazano, że przy dwubiegunowych modulacjach NBDS i NBDD występują sygnały wspólne, co stanowi niewątpliwą wadę tych modulacji, bowiem wiąże się z koniecznością dodatkowej filtracji tych sygnałów.

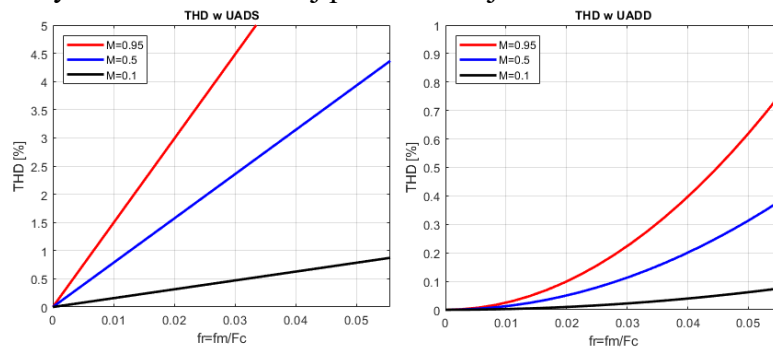
Podobnie jak dla naturalnych modulacji NPWM zdefiniowano cztery podstawowe rodzaje cyfrowych modulacji szerokości impulsów UPWM: UADS, UBDS, UADD, UBDD. Na podstawie przebiegów analitycznych oraz analizy w programie Matlab dokonano zbiorczego porównania widm częstotliwościowych wszystkich rozważanych cyfrowych modulacji UPWM.



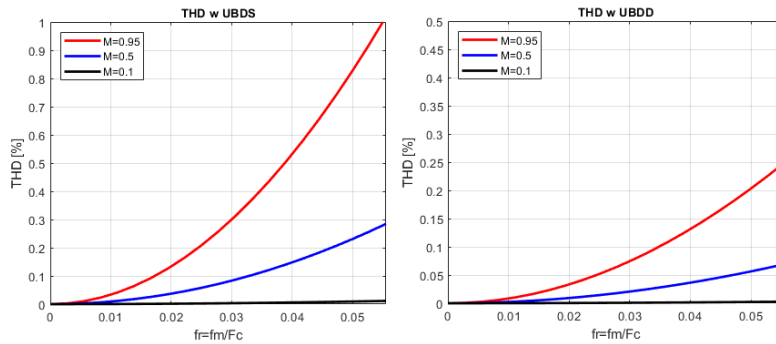
Rys. 2.8. Widmo częstotliwościowe sygnału różnicowego przy modulacji UADS, dla: $F_c = 352,8\text{kHz}$, $f_m = 9,8\text{kHz}$, $M = 0,95$, $df = 0,98\text{kHz}$.

Pokazano, że widma te zawierają składową podstawową o częstotliwości sygnału modulującego i jej wyższe harmoniczne, składową o częstotliwości kluczowania i jej harmoniczne oraz wiele składowych intermodulacyjnych. Obecne w sygnałach z modulacją UPWM wyższe harmoniczne sygnału modulującego leżą w paśmie podstawowym sygnału i nie jest możliwe ich odfiltrowanie. Na podstawie analiz spektralnych sygnałów zmodulowanych, dla wszystkich czterech rodzajów modulacji cyfrowych: UADS, UADD, UBDS, UBDD wyznaczono współczynniki zniekształceń nieliniowych THD sygnału

różnicowego DM po demodulacji, jako stosunek średniokwadratowej wartości 10-ciu wyższych harmonicznych do harmonicznej podstawowej.

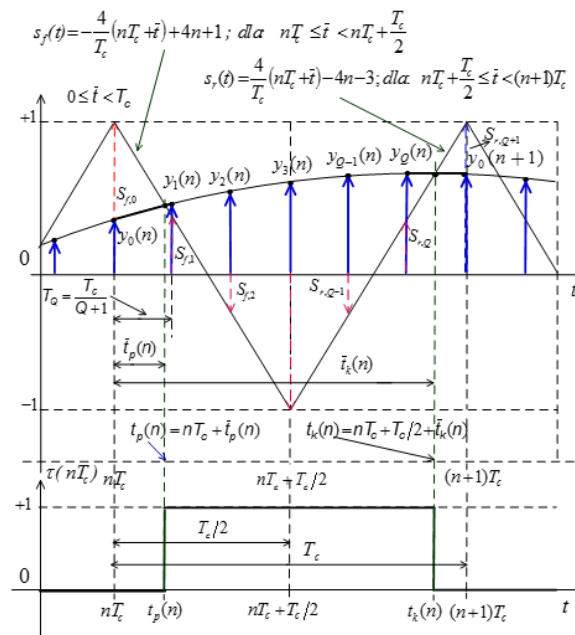


Rys.2.9 Współczynniki THD dla modulacji UADS i UADD, przy $F_c = 352,8\text{kHz}$



Rys.2.10. Współczynniki THD dla modulacji UBDS i UBDD, przy $F_c = 352,8\text{kHz}$

W rozdziale 3 przedstawiono ogólne metody linearyzacji cyfrowych modulatorów DPWM, głównie algorytmy kompensacji wstępnej stosowane w cyfrowym przetwarzaniu sygnałów DSP.



Rys. 3.8. Modulacja LADD przy $Q=5$ dodatkowych próbkach w okresie kluczowania T_c .

Dla czterech linearyzowanych modulacji szerokości impulsów: LADS PWM, LBDS PWM LADD PWM LBDD PWM przedstawiono algorytmy wyznaczania położenia początków $t_p(n)$ (zboczy narastających)

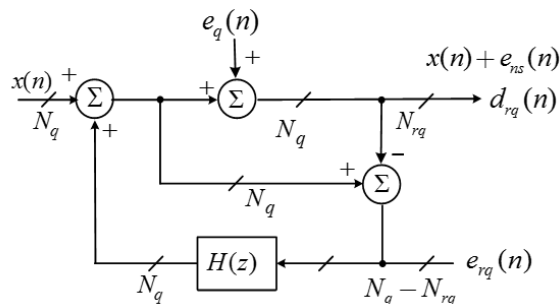
$$\bar{t}_p(n) = \frac{T_c [1 + i y_{i+1}(n) - (i+1) y_i(n)]}{4 + [y_{i+1}(n) - y_i(n)](Q+1)}$$

i końców $t_k(n)$ (zboczy opadających)

$$\bar{t}_k(n) = \frac{T_c [j y_{j+1}(n) - (j+1) y_j(n) - 3]}{[y_{j+1}(n) - y_j(n)](Q+1) - 4}$$

impulsów DPWM w kolejnych n -tych okresach przełączania T_c .

Po obliczeniu tych czasów zastosowano proces rekwantyzacji:

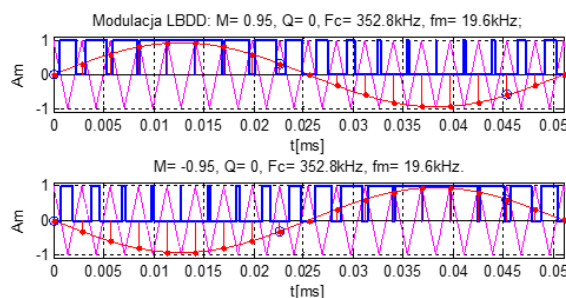


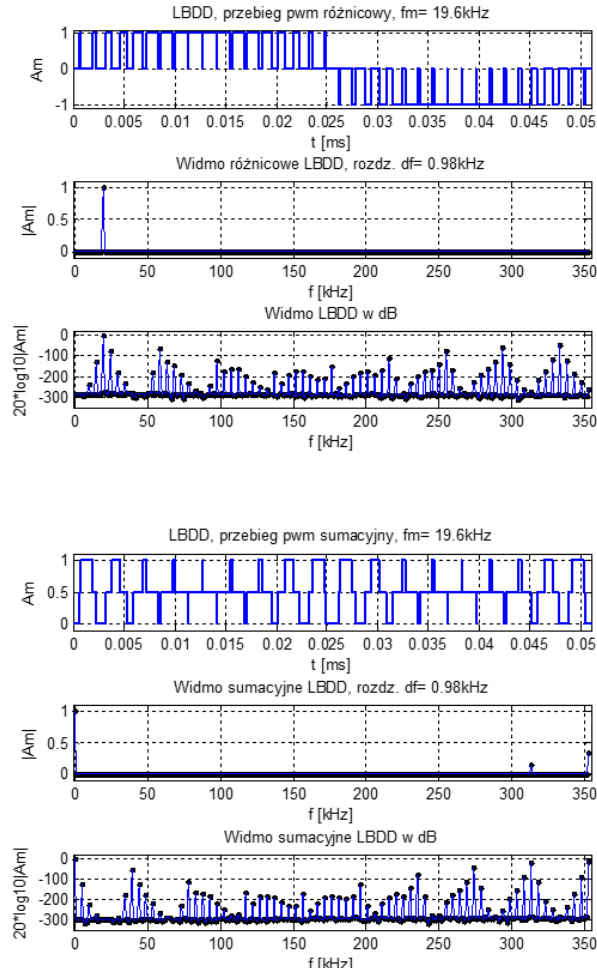
Rys. 3.11. Model rekursywnego układu kształtowania szumów kwantyzacji z kwantizatorem traktowanym jako addytywne źródło szumu.

w celu obniżenia rozdzielczości długości słowa bitowego obliczonych początków i końców czasu trwania impulsu PWM do mniejszej wartości, przy której możliwa jest praktyczna realizacja hybrydowego modulatora,

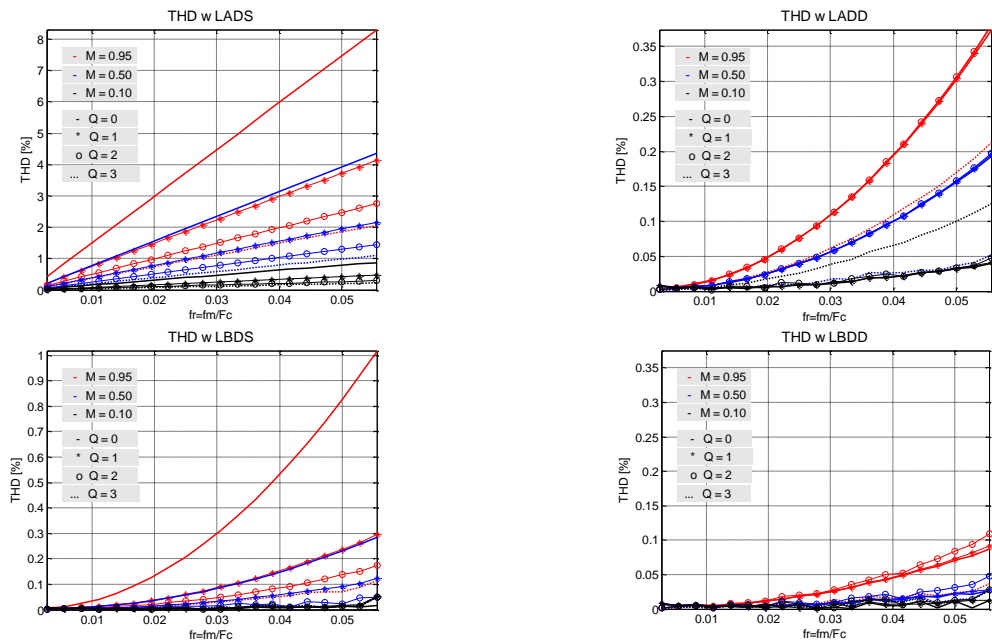
Na podstawie rekwantyzowanych wartości obliczonych początków i końców czasu trwania impulsu PWM w programie Matlab wyznaczono przebiegi czasowe zmodulowanych sygnałów wyjściowych oraz przeprowadzono analizy spektralne dla wszystkich czterech rozważanych modulacji LPWM.

Występujące w sygnale z modulacją LPWM wyższe harmoniczne sygnału modulującego, których amplitudy i fazy zależą od stosunku częstotliwości f_m/F_c , ilości Q wprowadzonych dodatkowych próbek w drugiej interpolacji, a także wartości indeksu modulacji M , są źródłem zniekształceń tego sygnału.





Rys. 3.16. Przebiegi czasowe i widmo sygnału różnicowego DM przy modulacji LBDD dla: $f_m = 9,8\text{kHz}$; $f_m = 19,8\text{kHz}$; $F_c = 352,8\text{ kHz}$

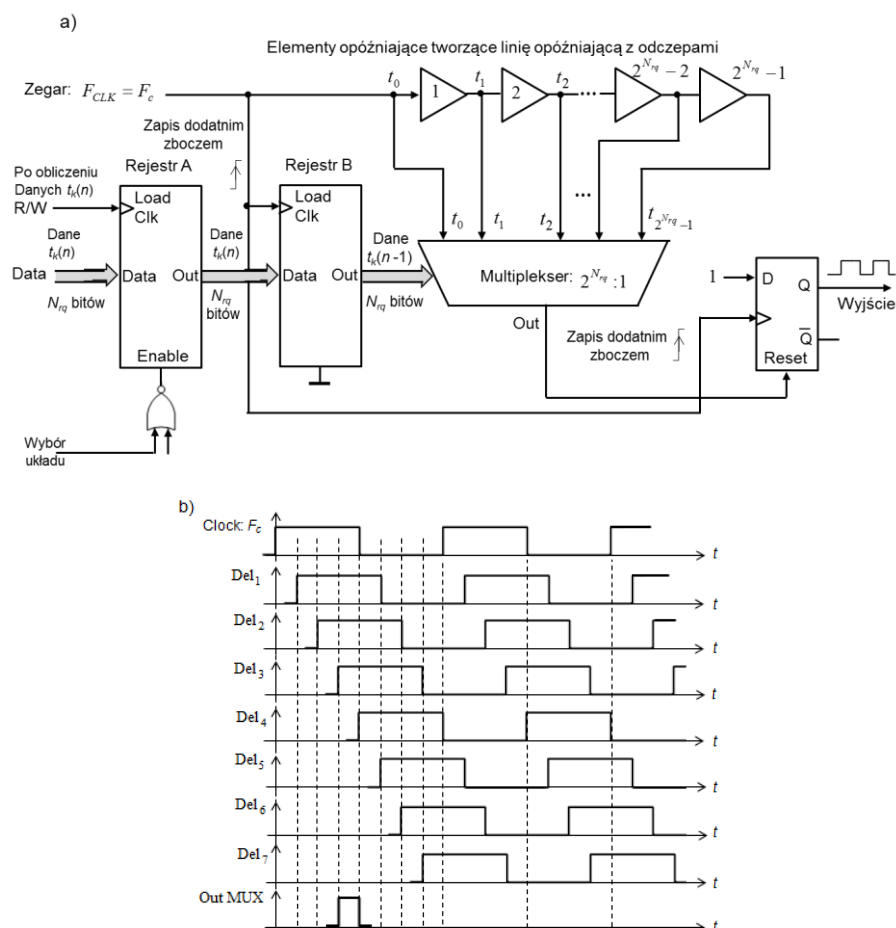


Rys. 3.17. Zniekształcenia nieliniowe dla jednobrzgowych modulacji LADS oraz LBDS oraz dla dwubrzgowych modulacji LADD oraz LBDD.

W celu porównanie wszystkich czterech linearyzowanych modulacji LPWM, dla każdej modulacji LPWM wyznaczono rodziny charakterystyk współczynników zniekształceń nieliniowych THD sygnału różnicowego po demodulacji, jako stosunek średniokwadratowej wartości składowych widma zawartych w paśmie podstawowym do 50 kHz, do harmonicznnej podstawowej sygnału modulującego.

Zależności współczynników THD w funkcji częstotliwości f_m/F_c zostały wyznaczone każdorazowo na podstawie pełnej analizy spektralnej sygnałów różnicowych LPWM, dla zadanego zestawu parametrów: f_m/F_c ; Q ; M . Charakterystyki THD zostały wyznaczone w funkcji stosunku częstotliwości f_m/F_c , dla parametrów: $Q = 0, 1, 2, 3, \dots, 7$ oraz $M = 0,95 ; 0,5 ; 0,1$. Charakterystyki te dla $4 \leq Q \leq 7$ prawie pokrywają się z charakterystykami dla $Q = 3$, dla wszystkich czterech rozważanych modulacji LPWM.

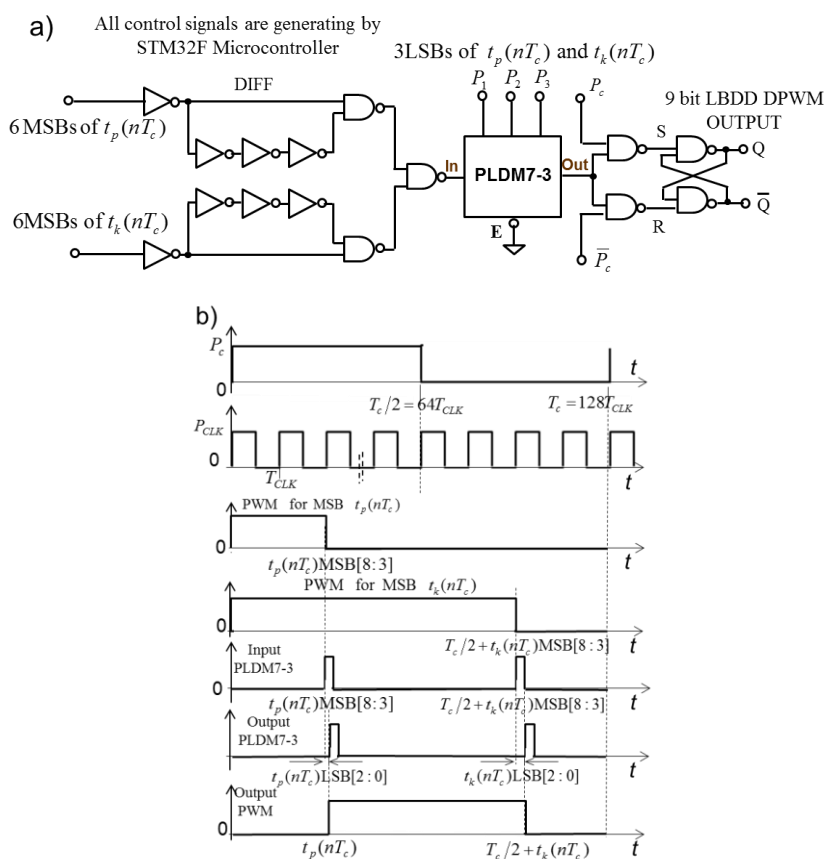
W rozdziale 4 opisano architektury cyfrowych modulatorów szerokości impulsów LPWM, które konwertują rekwantyzowane dane cyfrowe określające położenie początków $t_p(n)$ i końców $t_k(n)$ impulsów DPWM w kolejnych n -tych okresach przełączania T_c w fizyczny ciąg 1-bitowych impulsów o modulowanej szerokości do sterowania stopniem wyjściowym wzmacniacza klasy D. Układy takie zaliczane są do grupy konwerterów cyfrowo-czasowych DTC (*Digital to Time Converter*).



Rys. 4.3. Implementacja kwantyzatora cyfrowo-czasowego DTC w oparciu o programowaną linię opóźniającą z odczepami PTDL. a). Architektura układu, b). Przebiegi czasowe w układzie.

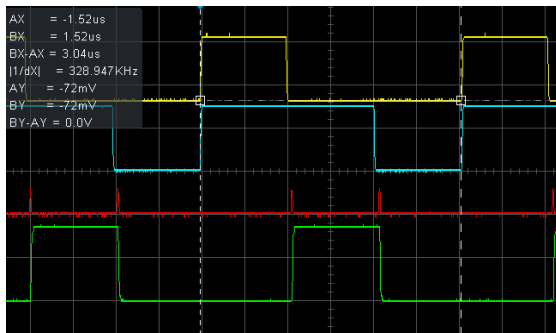
Najpierw przedstawiono implementacje cyfrowych modulatorów szerokości impulsów DPWM realizowanych albo w oparciu o metodę licznikową, albo w oparciu o programowaną linię opóźniającą z odczepami PTDL, a następnie opisano hybrydowe modulatory szerokości impulsów DPWM, które wykorzystują obydwie, wcześniej omówione metody, łącząc w sobie zalety obu metod, tj. liniowości charakterystyki kwantyzatora w metodzie licznikowej i dużej rozdzielczości kwantyzatora w metodzie wykorzystującej linię opóźniającą z odczepami. Przedstawiono projekt hybrydowego konwertera cyfrowo-czasowego DTC z pętlą synchronizacji opóźnienia DLL dla cyfrowego modulatora LDBD.

W rozdziale 5 przedstawiono oryginalną architekturę i implementację 9-bitowego (lub 10-bitowego) zlinearyzowanego modulatora szerokości impulsów LPWM dla wzmacniacza klasy BD, opartego na metodzie hybrydowej z wykorzystaniem mikrokontrolera STM32 i dwóch programowalnych liniach opóźniających z odczepami PTDL. Opisano zasadę linearyzacji z kopensacją wstępną, zaimplementowaną na mikrokontrolerze STM32. Hybrydowy 9-bitowy kwantyzator konwertuje 6-MSB bitów (7-MSB bitów) metodą licznikową w oparciu o peryferia mikrokontrolera STM32, natomiast pozostałe 3-LSB bity - metodą opartą na PTDL.

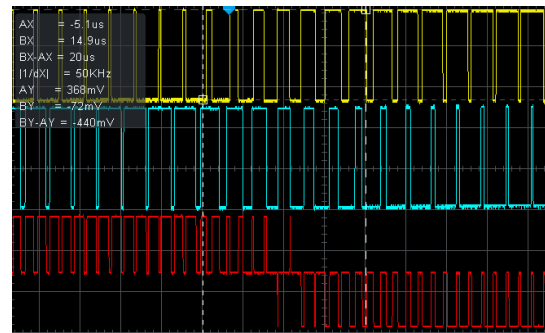


Rys.5.6. Architektura Układ przetwarzający 3-LSB (2:0) bity danych - z wykorzystaniem kwantyzatora opartego na 3-bitowej linii opóźniającej PTDL; a) Schemat układu, b). przebiegi sygnałów sterujących i wyjściowych w dziedzinie czasu.

W pracy przedstawiono wyniki badań symulacyjnych w programie Matlab oraz badań eksperymentalnych, weryfikujących poprawność działania algorytmów przetwarzających cyfrowe dane audio, a także dokładność przetwarzania oryginalnego konwertera DTC, zbudowanego w oparciu o układy peryferyjne mikrokontrolera STM32 i dwie programowalne linie PTDL.

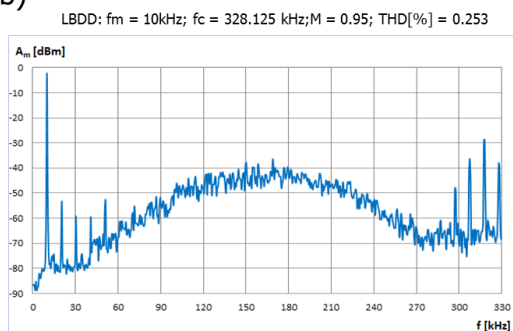


Rys. 5.10. Oscylogramy dwóch z synchronizowanych impulsów 6-MSB LADSLPWM, generowanych metodą licznika (od góry); Generowanie impulsów 6-MSB LADDLPWM na wyjściu modulatora LADDLPWM (od dołu).

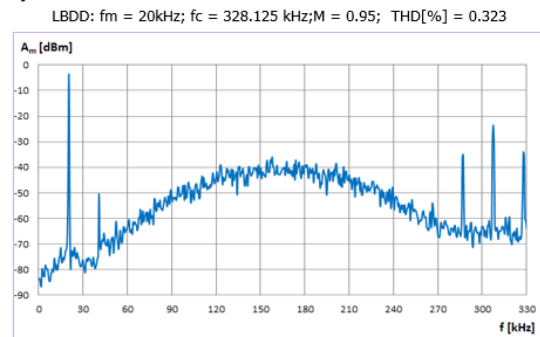


Rys. 5.11. Oscylogramy przebiegów czasowych generowanych przez 9-bitowe modulatory LADDL i LADDR (od góry) oraz na wyjściu modulatora LBDD PWM w trybie różnicowym DM (od dołu).

b)



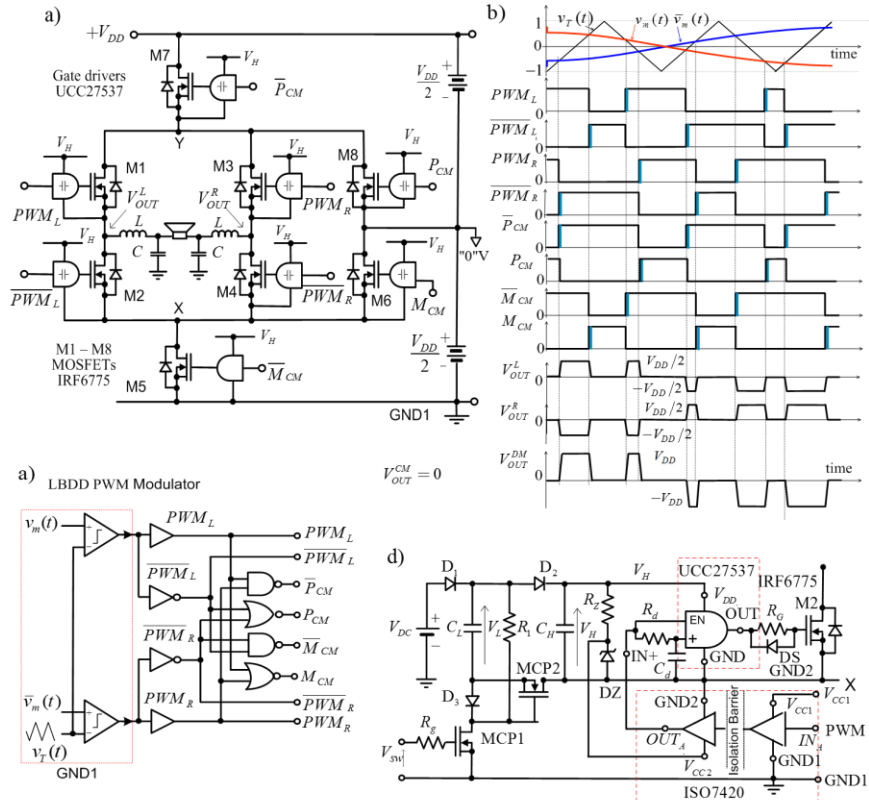
c)



Rys. 5.13. Charakterystyki widmowe sygnału na wyjściu modulatora LBDD PWM w trybie różnicowym DM, wyznaczone eksperymentalnie za pomocą szerokopasmowego analizatora widma.

W rozdziale 6 przedstawiono nowe architektury i implementacje oryginalnych wzmacniaczy audio klasy BD w otwartej pętli, ze zbalansowanym wyjściem w trybie wspólnym. Stopień wyjściowy każdego proponowanego wzmacniacza zawiera typowy mostek H z czterema tranzystorami MOSFET i czterema dodatkowymi przełącznikami MOSFET, które równoważą i utrzymują stałą wartość wyjściową w trybie wspólnym, zatem nie ma potrzeby stosowania filtracji sygnałów wspólnych w trybie CM. Prezentowane wzmacniacze wykorzystują rozszerzony schemat modulacji LBDD PWM lub LPSC PWM.

Gdy stopień wyjściowy jest zbudowany tylko na tranzystorach NMOSFET, sterowniki bramek wymagają zasilania typu „floating”, a sygnały sterujące brankami tranzystorów muszą być izolowane galwanicznie. Zastosowanie komplementarnych tranzystorów MOSFET w stopniu wyjściowym znacznie upraszcza systemy sterowania brankami. Proponowane wzmacniacze zostały porównane pod względem parametrów wyjściowych w trybie różnicowym (DM) i trybie wspólnym (CM) ze wzmacniaczem klasy BD w typowej konfiguracji mostka H, sterowanego z modulatora NBDD PWM.



Rys. 6. 3. Wzmacniacz audio klasy BD ze zrównoważonym wyjściem CM, z rozbudowanym cyfrowym modulatorem LBDD PWM: a). Schemat ideowy stopnia wyjściowego; b). Przebiegi czasowe na wyjściach modulatora i stopnia wyjściowego wzmacniacza; c). Schemat logiczny rozbudowanego modulatora LBDD PWM. d). Sterownik brankowy z pływającym napięciem zasilającym typu „floating” oraz z galwaniczną izolacją sygnału sterującego LBDD PWM.

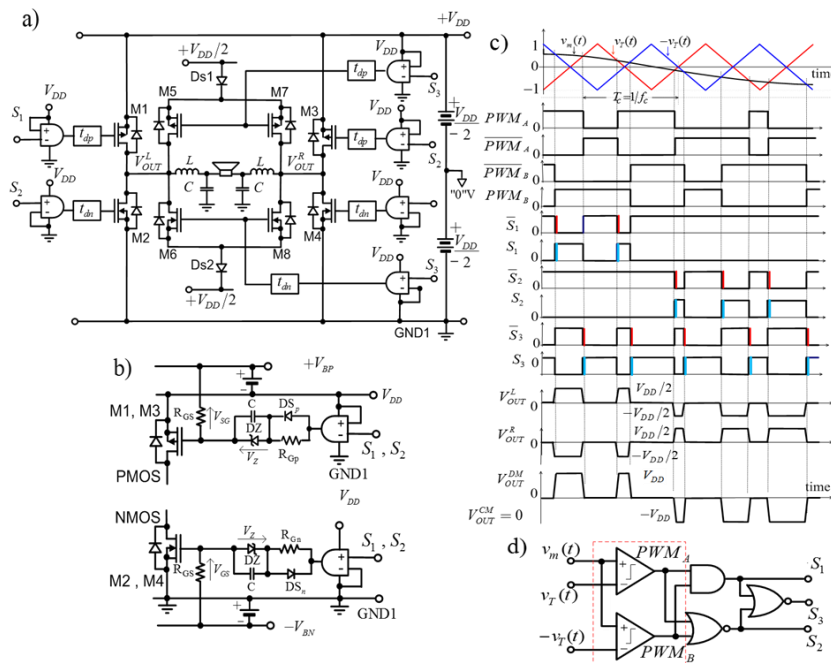
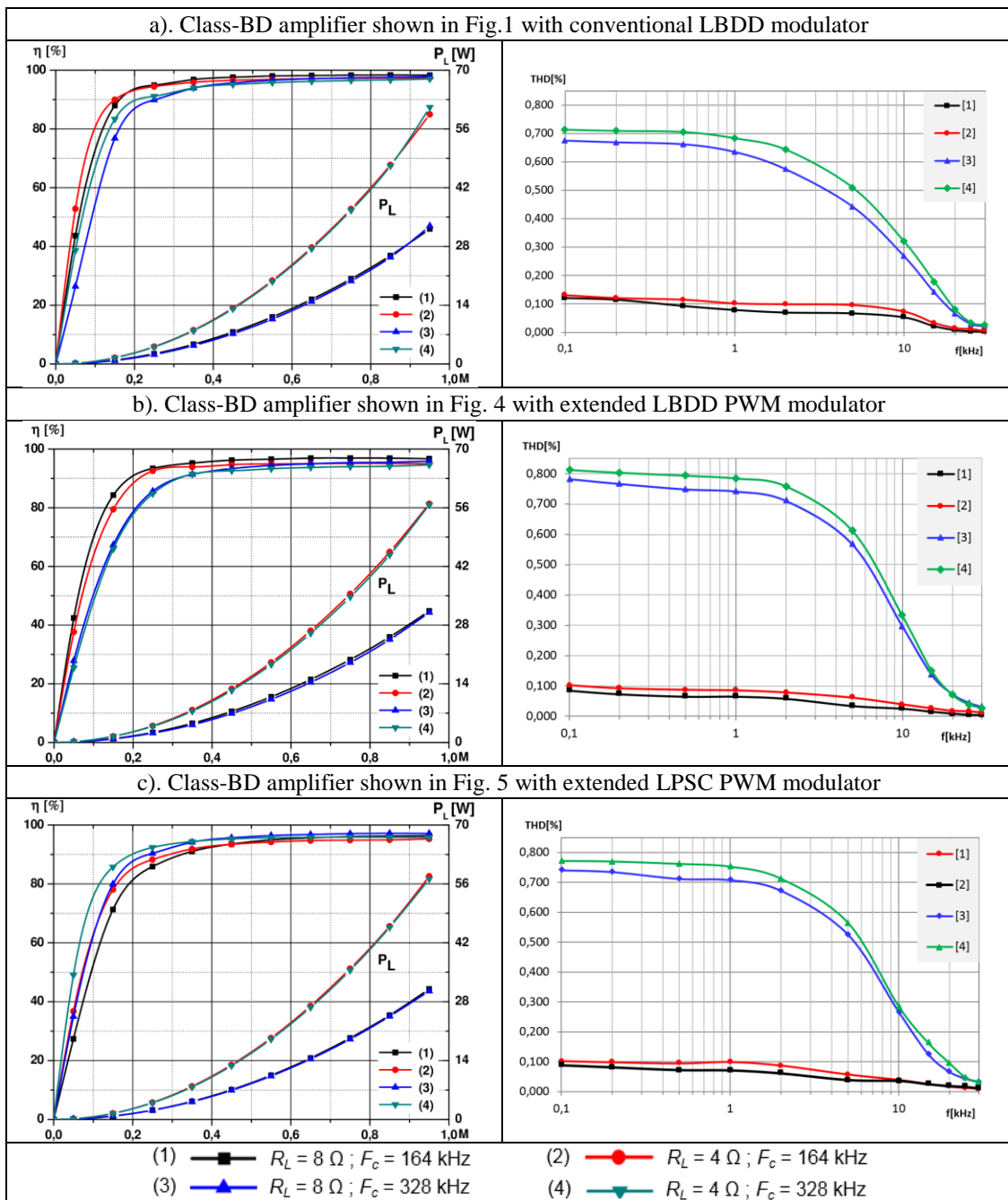
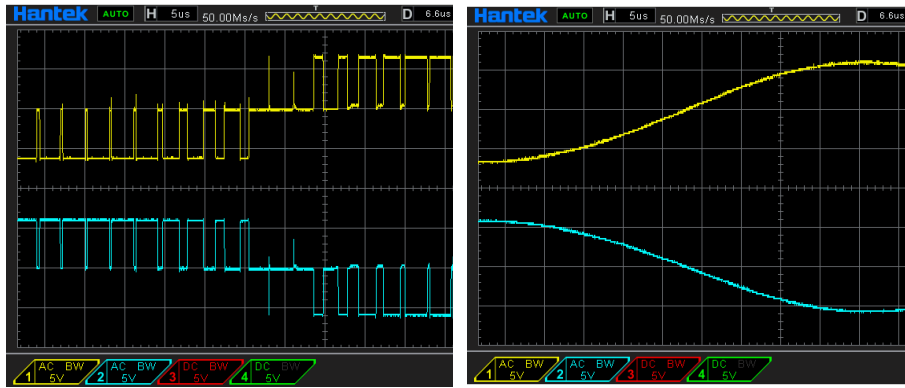


Fig. 6.5. Wzmacniacz audio klasy BD ze zrównoważonym wyjściem w trybie CM, wykorzystujący modulację LPSM PWM: a). Nowa topologia stopnia wyjściowego; b). Implementacja czasów opóźnienia załączenia NMOS i PMOS c). Przebiegi czasowe na wyjściach wzmacniacza i sygnały sterujące \bar{S}_1 , \bar{S}_2 i \bar{S}_3 z opóźnionymi czasami załączania NMOS i PMOS (bezpośrednio na bramkach tych tranzystorów). d). Schemat blokowy modulatora PSM PWM.

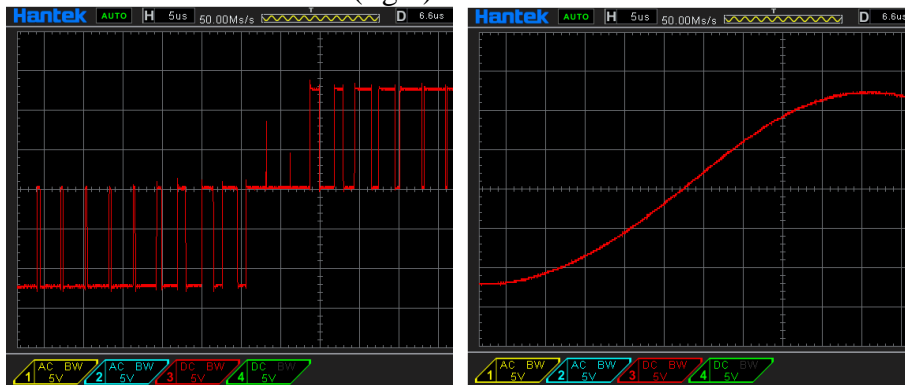


Rys. 6.7. Sprawność i moc wyjściowa w funkcji wskaźnika modulacji M oraz THD w funkcji częstotliwości sygnału audio dla trzech wzmacniaczy pokazanych: a) na rys.6. 1 ; b) na rys. 6.4 ; c) na rys. 6.5, odpowiednio.

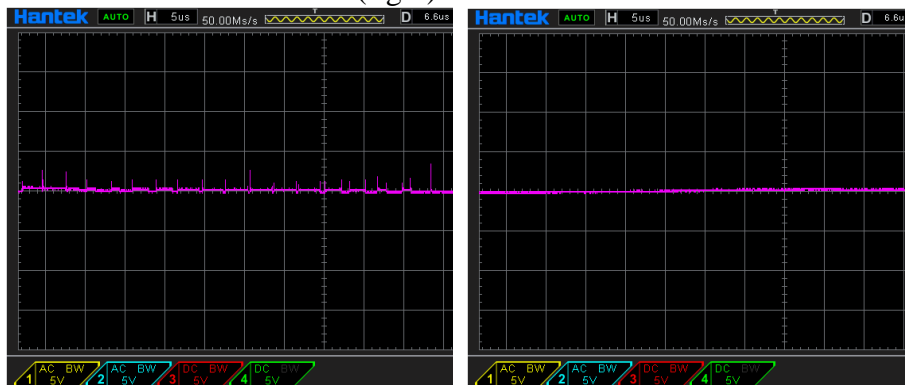
Badania symulacyjne w programie SPICE i badania eksperymentalne wykazały, że proponowane wzmacniacze klasy BD mają podobne parametry jak prototypowy wzmacniacz z optymalną modulacją NBDD, a jednocześnie mają zrównoważone wyjście CM o stałym napięciu, eliminując w ten sposób główny czynnik przyczyniający się do emisji promieniowania (EMI).



a). Left-half and Right-half H-bridge outputs before (left) and after (right) filtration



b). Differential Mode output V_{OUT}^{DM} before (left) and after (right) filtration



c). Common Mode output V_{OUT}^{DM} before (left) and after (right) filtration

Rozdział 7 zawiera podsumowanie otrzymanych wyników oraz wnioski końcowe.

Zaproponowano nową i oryginalną architekturę oraz implementację 9-bitowego (10-bitowego) zlinearyzowanego układu modulatora LBDD PWM dla cyfrowego wzmacniacza mocy klasy BD. Cały algorytm przetwarzania sygnałów i danych w modulatorze został zaimplementowany w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera STM32, wraz z jego urządzeniami peryferyjnymi, oraz dwóch ogólnodostępnych, katalogowych, 3-bitowych programowalnych linii opóźniających PTDL.

Przeprowadzono obszerną weryfikację algorytmów przetwarzania sygnałów i danych, zaimplementowanego układu, a także symulację w programie MATLAB oraz badania eksperymentalne proponowanego 9-bitowego hybrydowego modulatora LBDD PWM.

Porównanie współczynników THD symulowanych w MATLAB wskazuje, że nawet prosty algorytm LBDD (przy $Q = 1$), wykorzystujący rekurencyjny model kształtowania szumu kwantyzacji z dwoma pętlami sprzężenia zwrotnego pozwala na znaczną poprawę liniowości modulatora w porównaniu z innymi rodzajami DPWM. W przypadku wyższych wartości Q , modulator LBDD może dodatkowo zmniejszyć poziomy THD , zbliżając się do optymalnego analogowego modulatora NBDD.

6-MSB bitowy kwantyzator oparty na metodzie licznikowej charakteryzuje się stosunkowo niezbyt dużym stopniem skomplikowania i wykazuje doskonałą liniowość konwersji cyfrowo-czasowej. W tym celu wszystkie bloki funkcjonalne w systemie muszą być idealnie zsynchronizowane, a okres przełączania T_c w podsystemach LADD_L PWM i LADD_R PWM musi rozpocząć się w tym samym czasie.

Przedstawiony w pracy oryginalny konwerter 3-LSB bitowy, wykorzystujący zintegrowany 3-bitowy programowalny PTDL, jest również bardzo prosty i charakteryzuje się dużą dokładnością przetwarzania. Wszystkie programowalne czasy opóźnienia „krok do kroku” w linii PTDL odnoszą się do „kroku zerowego”, który odnosi się do styku wejściowego. Czas opóźnienia w kroku zerowym wynosi 5 ns, ale nie ma wpływu na dokładność przetwarzania, ponieważ wszystkie lokalizacje czasów początków $t_p(n)$ i końców $t_k(n)$ zmodulowanych impulsów fizycznego ciągu 1-bitowych impulsów LBDD PWM są opóźnione o ten sam czas 5 ns.

Praktycznie zmierzony poziom THD na wyjściu modulatora LBDD PWM ma nieco wyższy poziom niż uzyskany w symulacji Matlab. Jednak z praktycznego punktu widzenia są one całkiem zadowalające, zapewniając SNR na poziomie 80 dB i THD niższe niż 0,3% w paśmie podstawowym audio do 20 kHz.

Zaletą cyfrowego modulatora LBDD PWM jest również łatwe programowanie odpowiedniego czasu opóźnienia na zboczach narastających wszystkich sygnałów sterujących tranzystorami MOSFET stopnia mocy, co w praktyce pozwala ograniczyć prądy skrośne w procesach przełączania tranzystorów.

Unikalną zaletą opracowanego 9-bitowego (10-bitowego) modulatora LBDD PWM dla cyfrowego wzmacniacza klasy BD częstotliwości akustycznych jest to, że jego podstawową konfigurację, można go zaimplementować za pomocą tylko mikrokontrolera STM32, dwóch ogólnie dostępnych katalogowych 3-bitowych programowalnych linii opóźniających PTDL i kilkunastu standardowych bramek logicznych.

Od strony teoretycznej, jak i praktycznej, opisano i przetestowano dwa oryginalne wzmacniacze audio klasy BD z otwartą pętlą i zrównoważonymi wyjściami w trybie wspólnym CM. Stopień wyjściowy każdego proponowanego wzmacniacza zawiera typowy mostek H z czterema tranzystorami MOSFET i czterema dodatkowymi przełącznikami MOSFET, które równoważą i utrzymują stałą wartość napięcia na wyjściu wspólnym w trybie CM.

Każdy ze wzmacniaczy wykorzystuje rozbudowany schemat modulacji cyfrowej LBDD PWM lub LPSC PWM i został zaimplementowany na komplementarnych parach MOSFET. Symulacje SPICE i badania eksperymentalne wykazały, że proponowane wzmacniacze mają podobną wydajność audio do prototypu z optymalnym schematem modulacji NBDD PWM, a jednocześnie mają zrównoważone wyjście wspólne CM, ze stałą wartością napięcia $V_{DD}/2$ na tym wyjściu.

Filtracja niepożądanych składowych widma na wyjściu różnicowym w trybie DM testowanych wzmacniaczy jest bardzo łatwa, ponieważ widmo częstotliwości nie zawiera

harmonicznych częstotliwości przełączania i nie ma składowych IM wokół nieparzystych wielokrotności częstotliwości przełączania. Ponieważ wzmacniacze te jednocześnie mają zrównoważone wyjście wspólne CM, ze stałą wartością napięcia $V_{DD}/2$ na tym wyjściu, to można radykalnie ograniczyć, a raczej wyeliminować filtr wyjściowy.

Są to w pełni bezfiltrowe wzmacniacze klasy BD ze zrównoważonym wyjściem wspólnym w trybie CM. Stopnie końcowe tych wzmacniaczy mogą być sterowane przez rozbudowane modulatory, zarówno analogowe NBDD PWM lub PSC PWM, jak i cyfrowe LBDD PWM lub LPSC PWM.

Proponowane wzmacniacze klasy BD mają nieco wyższe *THD* niż prototypowy konwencjonalny wzmacniacz z modulacją LBDD PWM, ponieważ są sterowane przez rozbudowane modulatory, co daje więcej błędów taktowania dodawanych w każdym okresie przełączania T_c przez sterowniki bramek. Współczynnik *THD* wszystkich testowanych wzmacniaczy jest wyższy dla wyższej częstotliwości przełączania $F_{c1} = 328$ kHz niż dla, $F_{c2} = 164$ kHz, ponieważ względne błędy taktowania są większe dla krótszego okresu przełączania T_c .

We wzmacniaczach klasy BD ze zbalansowanym wyjściem wspólnym CM zaleca się stosowanie niezbyt wysokiej częstotliwości przełączania (w przedstawionym rozwiązaniu $F_{c2} = 164$ kHz), co skutkuje wyższą sprawnością energetyczną i niższymi *THD*, nawet przy zredukowanym filtrze wyjściowym LC.

Rozległe badania symulacyjne w SPICE oraz badania eksperymentalne wykazały, że proponowane wzmacniacze klasy BD mają podobne parametry jak prototypowy wzmacniacz klasy BD z optymalną modulacją NBDD, a jednocześnie posiadają zrównoważone stałe napięcie wyjściowe w trybie CM, co umożliwi realizację bezfiltrowych wzmacniaczy klasy D, jednocześnie eliminując lub znacznie zmniejszając zakłócenia promieniowania elektromagnetycznego (EMI).

W praktyce ze względu na niedoskonałe przebiegi napięć sterujących tranzystorami MOSFET, na wyjściu CM wzmacniacza generowane są krótkie impulsy szpilkowe, łatwe do odfiltrowania przez zredukowany filtr wyjściowy LC, nawet przy bardzo niewielkiej wartości indukcyjności L.

Podsumowanie

Wszystkie postawione cele badawcze w pracy zostały w całości osiągnięte, a tezy pracy doktorskiej zostały uzasadnione, udowodnione i potwierdzone badaniami symulacyjnymi i eksperymentalnymi.

Jeden z głównych celów pracy, jakim było opracowanie od strony teoretycznej oraz implementacja cyfrowego, linearyzowanego modulatora szerokości impulsów DPWM z kompensacją wstępną do sterowania nowych, oryginalnych wzmacniaczy akustycznych klasy BD, ze zrównoważonym wyjściem dla sygnałów wspólnych w trybie CM, o stałej wartości napięcia na tym wyjściu, został w pełni zrealizowany.

Dużą część pracy poświęcono algorytmom przetwarzania sygnałów niezbędnych do konwersji cyfrowych danych audio, uzyskanych ze źródła, na cyfrowy sygnał o modulowanej

szerokości impulsów DPWM. Skoncentrowano się na linearyzowanych, rozbudowanych modulatorach szerokości impulsów LBDD PWM i LPSC PWM z kompensacją wstępną, umożliwiających możliwie jak najwierniejszą emulację naturalnych modulacji NBDD PWM lub PSC PWM.

Zostały zdefiniowane w teorii, zaprojektowane i przesymulowane w programie Matlab® algorytmy kompensacji wstępnej, składające się z bloków modułowych: interpolacji, obliczenia położenia początków i końców czasu trwania impulsu LBDD PWM lub LPSC PWM w n -tych okresach kluczowania i kształtowania szumów kwantyzacja, a następnie zostały zaimplementowane w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera STM32 i programowanych linii opóźniających z odczepami PTDL.

Opracowano w pełni oryginalną architekturę konwertera cyfrowo-czasowego DTC, który konwertuje rekwantyzowane dane cyfrowe, określające położenie początków $t_p(n)$ i końców $t_k(n)$ impulsów DPWM w kolejnych n -tych okresach przełączania T_c , w fizyczny ciąg 1-bitowych impulsów o modulowanej szerokości do sterowania stopniem wyjściowym wzmacniacza klasy D. a następnie został on zaimplementowany w oparciu o mikrokontroler STM32 i programowaną linię opóźniającą PTDL.

Zaproponowano nową i oryginalną architekturę oraz implementację 9-bitowego (10-bitowego) zlinearyzowanego układu modulatora LBDD PWM dla cyfrowego wzmacniacza mocy klasy BD. Cały algorytm przetwarzania sygnałów i danych w modulatorze został zaimplementowany w oparciu o metodę hybrydową z wykorzystaniem mikrokontrolera STM32, wraz z jego urządzeniami peryferyjnymi, oraz dwóch ogólnodostępnych, katalogowych, 3-bitowych programowalnych linii opóźniających PTDL.

Przeprowadzono obszerną weryfikację algorytmów przetwarzania sygnałów i danych, zaimplementowanego układu, a także symulację w programie MATLAB® oraz badania eksperymentalne proponowanego 9-bitowego hybrydowego modulatora LBDD PWM.

Porównanie współczynników THD symulowanych w programie MATLAB® wskazuje, że nawet prosty algorytm LBDD (przy $Q = 1$), wykorzystujący rekurencyjny model kształtowania szumu kwantyzacji z dwoma pętlami sprzężenia zwrotnego pozwala na znaczną poprawę liniowości modulatora, w porównaniu z innymi rodzajami modulacji DPWM. W przypadku wyższych wartości Q , modulator LBDD może dodatkowo zmniejszyć poziomy THD , zbliżając się do optymalnego analogowego modulatora NBDD.

6-MSB bitowy kwantyzator oparty na metodzie licznikowej charakteryzuje się stosunkowo niezbyt dużym stopniem skomplikowania i wykazuje doskonałą liniowość konwersji cyfrowo-czasowej. W tym celu wszystkie bloki funkcjonalne w systemie muszą być idealnie zsynchronizowane, a okres przełączania T_c w podsystemach LADD_L PWM i LADD_R PWM musi rozpocząć się w tym samym czasie. Praktycznie zmierzony poziom THD na wyjściu modulatora LBDD PWM ma nieco wyższy poziom niż uzyskany w symulacji Matlab®. Jednak z praktycznego punktu widzenia są one całkiem zadowalające, zapewniając SNR na poziomie 80 dB i THD niższe niż 0,3% w paśmie podstawowym audio do 20 kHz.

Zaletą cyfrowego modulatora LBDD PWM jest również łatwe programowanie odpowiedniego czasu opóźnienia na zboczach narastających wszystkich sygnałów sterujących tranzystorami MOSFET stopnia mocy, co w praktyce pozwala ograniczyć prądy skrośne w procesach przełączania tranzystorów.

Unikalną zaletą opracowanego 9-bitowego (10-bitowego) modulatora LBDD PWM dla cyfrowego wzmacniacza klasy BD częstotliwości akustycznych jest to, że jego podstawową konfigurację można zaimplementować za pomocą tylko mikrokontrolera STM32, dwóch ogólnie dostępnych katalogowych 3-bitowych programowalnych linii opóźniających PTDL i kilkunastu standardowych bramek logicznych.

Drugim, ważnym celem pracy było opracowanie oryginalnych nowych architektur wzmacniaczy akustycznych klasy BD, charakteryzujących się zrównoważonym wyjściem dla sygnałów wspólnych, tj. posiadających stałe napięcie na wyjściu sumacyjnym w trybie CM.

Stopień wyjściowy proponowanych wzmacniaczy audio klasy BD zawiera typowy mostek H z czterema tranzystorami MOSFET oraz cztery dodatkowe przełączniki MOSFET, które równoważą i utrzymują stałą wartość napięcia na wyjściu sumacyjnym w trybie wspólnym. Przedstawione w pracy wzmacniacze klasy BD wykorzystują rozbudowane schematy modulacji LBDD PWM lub LPSC PWM.

Gdy stopień wyjściowy jest zbudowany tylko na tranzystorach NMOSFET, sterowniki bramek wymagają zasilania typu „floating”, a sygnały sterujące bramkami tranzystorów muszą być izolowane galwanicznie. Zastosowanie komplementarnych tranzystorów MOSFET w stopniu wyjściowym znacznie upraszcza systemy sterowania bramkami. Proponowane wzmacniacze zostały porównane pod względem parametrów wyjściowych w trybie różnicowym (DM) i trybie wspólnym (CM) ze wzmacniaczem klasy BD w typowej konfiguracji mostka H, sterowanego z modulatora NBDD PWM.

Obszerne badania symulacyjne w programie SPICE oraz badania eksperymentalne wykazały, że proponowane wzmacniacze klasy BD mają podobne parametry jak prototypowy wzmacniacz klasy BD z optymalną modulacją NBDD, a jednocześnie mają zrównoważone wyjście dla sygnałów wspólnych o stałym napięciu, umożliwiając tym samym realizację bezfiltrowych wzmacniaczy klasy D.

Filtracja niepożądanych składowych widma na wyjściu różnicowym w trybie DM testowanych wzmacniaczy jest bardzo łatwa, ponieważ widmo częstotliwości nie zawiera harmonicznych częstotliwości przełączania i nie ma składowych IM wokół nieparzystych wielokrotności częstotliwości przełączania. Ponieważ wzmacniacze te jednocześnie mają zrównoważone wyjście wspólne CM, ze stałą wartością napięcia na tym wyjściu, to można radykalnie ograniczyć, a raczej wyeliminować filtr wyjściowy, przy równoczesnej eliminacji lub znacznym ograniczeniu zakłóceń elektromagnetycznych radiacyjnych (EMI).

Są to w pełni bezfiltrowe wzmacniacze klasy BD ze zrównoważonym wyjściem wspólnym w trybie CM.

Spis literatury

1. W. Marshall Leach, Jr, "Introduction to Electroacoustics and Audio Amplifier Design, Second Edition - Revised Printing", published by Kendall/Hunt, 2001.
2. D. Dapkus, "Class-D audio power amplifiers: an overview", Digest of Technical Papers. Proc. of the International Conference on Consumer Electronics 2000, Los Angeles, CA, June 2000, pp. 400 – 40.
3. H.-S. Kim, S.-W. Jung, H.-M. Jung, J.-K. Shin, "Low Cost Implementation of Filterless Class D Audio Amplifier with Constant Switching Frequency", IEEE Transactions on Consumer Electronics, Vol. 52, No. 4, November, 2006, pp.1442-1446.
4. M. A. Teplechuk, A. Gribben, Ch. Amadi, "True Filterless Class-D Audio Amplifier", IEEE Journal of Solid-State Circuits, Vol. 46, No. 12, December 2011, pp. 2784-2793.
5. K.-H. Kong, Y.-W. Kim, S. Kim, K.-H. Baek, "Power-Efficient Digital Amplifier Using Input Dependent BitFlipping for Portable Audio Systems", IEEE Transactions on Consumer Electronics, Vol. 56, No. 4, November 2010, pp. 2406-2410.
6. A. Ikriannikov, N. A. Wilson, "New Concept for Class D Audio Amplifiers for Lower Cost and Better Performance", IEEE Transactions on Consumer Electronics, Vol. 57, No. 3, August 2011, pp. 1218-1226.
7. M. Berkhout, L. Dooper, "Class-D Audio Amplifiers in Mobile Applications". IEEE Transactions On Circuits And Systems-I: Regular Papers, Vol. 57, No. 5, , May 2010, pp. 991-1002.
8. P. P. Siniscalchi, R. K. Hester, "A 20W/channel class-D amplifier with near-zero common-mode radiated emissions", IEEE J. Solid-State Circuits, Vol. 44, No. 12, December 2009, pp.33264–33271.
9. J. Jasielski; **W. Kołodziejcki**; S.W. Kuta, "Cancellation of common-mode output signal in Class-BD audio amplifiers", IEEE Xplore, 2016 Int. Conf. on Signals and Electronic Systems (ICSES), 5-7 Sept. 2016. Krakow, Poland.
10. **W. Kołodziejcki**, S.W. Kuta, J. Jasielski, "Open-Loop Class-BD Audio Amplifiers with Balanced Common Mode Output", złożona do druku
11. P. Balmelli, J. M. Khoury, E. Viegas, P. Santos, V. Pereira, J. Alderson, R. Beale, "A Low-EMI 3-W Audio Class-D Amplifier Compatible With AM/FM Radio", IEEE Journal of Solid-State Circuits, Vol. 48, No. 8, August 2013, pp. 1771-1782.
12. Y. S. Hwang, J. H. Shen, J. J. Chen, M. R. Fan, " Performance comparison of integrated fully-differential filterless class-D amplifiers with different feedback techniques ", Analog Integrated Circuits and Signal Processing, 2013, Vol. 76, pp.167–177.
13. T. Ge J.S. Chang, "Filterless class D amplifiers: power-efficiency and power dissipation" IET Circuits, Devices and Systems, 2010, Vol. 4, Iss. 1, pp. 48–56.
14. Y.-S. Hwang, J.-H. Shen, J.-J. Chen, M.-R. Fan, "Performance comparison of integrated fully-differential filterless class-D amplifiers with different feedback techniques", Analog Integrated Circuits and Signal Processing, 2013, Vol.76, pp.167–177
15. T. Igarashi, N. Komine, L. Taihua, et al.: "New Method Class D Amplifier Which Enables Reduction of RF Noise and Signal Distortion" IEEE 10th International New Circuits and Systems Conference, Montreal, Quebec, Canada, 17-20 June 2012

16. L. Guo, Tong Ge, J. S. Chang, "A 101 dB PSRR, 0.0027% THD + N and 94%Power-Efficiency Filterless Class D Amplifier", *IEEE J. Solid-State Circuits*, Vol. 49, No. 11, November 2014, pp.2608-2617.
17. F. Guanzioli, R. Bassoli, C. Crippa, D. Devecchi, G. Nicollini, "A 1 W 104 dB SNR Filter-Less Fully-Digital Open-Loop Class D Audio Amplifier With EMI Reduction", *IEEE Journal Of Solid-State Circuits*, Vol. 47, No. 3, March 2012, pp. 686-698.
18. Maxim Integrated, "Reduce EMI from Class D Amplifiers Using New Modulation Techniques and Filter Architectures", *Application Note 3878*, Aug. 18, 2006, pp. 1-11.
19. P. Midya, W. J. Roeckner, "Filterless Class D Amplifiers: Power-Efficiency and Power Dissipation" , *IET Circuits, Devices & Systems*, Vol. 4, Issue 1, January 2010, p. 48 - 56.
20. Shih-Hsiung Chien, Li-Te Wu, Ssu-Ying Chen, et al., "An Open-Loop Class-D Audio Amplifier with Increased Low-Distortion Output Power and PVT-Insensitive EMI Reduction", *Proc. of the IEEE 2014 Custom Integrated Circuits Conference*, San Jose, 15-17 Sept. 2014.
21. S.-H. Chien, Li-Te Wu, S.-Y. Chen, et al.: „An Open-Loop Class-D Audio Amplifier with Increased Low-Distortion Output Power and PVT-Insensitive EMI Reduction", *Proc. of the IEEE Custom Integrated Circuits Conference*, San Jose, CA, USA, 15-17 Sept.2014.
22. T. Mouton, B. Putzeys, "Digital Control of a PWM Switching Amplifier with Global Feedback", *Proc. Of AES 37-th International Conference*, Hillerod, Denmark, 209 August 28-30, pp.1-10.
23. R. Cellier, G. Pillonnet, A. Nagari, N. Abouchi, "A Review of Fully Digital Audio Class D Amplifiers Topologies, Circuits and Systems and TAISA Conference, 2009. NEWCAS-TAISA '09. Joint IEEE North-East Workshop, June 28-July 1, 2009.Y.
24. Yi Hwa Liu, "Novel Modulation Strategies for Class-D Amplifier", *IEEE Trans. on Consumer Electronics*, Vol. 53, Issue: 3, 2007, pp.987-994.
25. Copyright © 2021 Maxim Integrated, "Class D Amplifiers: Fundamentals of Operation and Recent Developments", *Application Note 3977*, 31 Jan, 2007.
26. J. M. Liu, S. H. Chien, T. H. Kuo, "A 100 W 5.1-Channel Digital Class-D Audio Amplifier With Single-Chip Design", *IEEE J. Solid-State Circuits*, Vol. 47, No. 6, June 2012, pp. 1344-1354.
27. Luo Shumeng and Li Dongmei, "A digital input class-D audio amplifier with sixth-order PWM", *Journal of Semiconductors*, Vol. 34, No. 11, November, 2013, pp. 115001-1 - 115001-6.
28. L. Dooper, M. Berkhout, "A 3.4 W Digital-In Class-D Audio Amplifier in 0.14 μ m CMOS", *IEEE Journal of Solid-State Circuits*, Vol. 47, No. 7, July 2012, pp. 1524-1534.
29. M. Wang, X. Jiang, J. Song, T. L. Brooks, "A 120 dB Dynamic Range 400 mW Class-D Speaker Driver With Fourth-Order PWM Modulator", *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 8, August 2010, pp. 1427-1435.
30. B.H. Gwee, J.S. Chang, V. Adrian, "A micropower low-distortion digital Class-D amplifier based on an algoritmic pulse width modulator", *IEEE Transactions on Circuits and Systems I :Reg. Papers*, Vol. 52. No. 10, pp. 2007-2022, Oct. 2005.
31. A. E. Grant, J. R. McKissick, A. E. Grant, J. H. Meadows: *Communication Technology Update and Fundamentals*. 2010, s. 232. ISBN 978-0-240-81475-9

32. S. W. Kuta. "Ograniczenia wzmacniaczy mocy z impulsową pracą elementów aktywnych", Zeszyty Naukowe AGH, Nr. 914, Automatyka, Zeszyl 30, , Kraków, 1982, ss. 1-131.
33. K. Nielsen, "Audio Power Amplifier Techniques With Energy Efficient Power Conversion", Ph. D. Thesis, Tech. Univ. of Denmark April 30, 1998.
34. M. Johansen, K. Nielsen, ""Parallel Phase Shifted Carrier Pulse Width Modulation (PSCPWM) - A Novel Approach to Switching Power Amplifier Design", 102nd AES Convention, March 22-25, Munich, Germany, 1997.
35. D. Jacobs, "Digital Puls Width Modulation for Class-D Audio Amplifier", Ph. D. Thesis, University of Stellenbosch, April, 2006.
36. F. S. Christensen, T. M. Frederiksen, K. Nielsen, "Paralleled Phase Shifted Carrier Pulse Width Modulation (PSCPWM) Schemes - a Fundamental Analysis". 106th AES Convention, 1999 May 9-11, Munich, Preprint 4917 (GJ3).
37. M. Bloechl, M. Bataineh, D. Harrell, "Class D Switching Power Amplifiers: Theory, Design, and Performance", IEEE SoutheastCon, 2004. Proceedings, pp.1-11
38. C. Pascual, Z. Song, P. T. Krein, et. al., "High-Fidelity PWM Inverter for Digital Audio Amplification: Spectral Analysis, Real-Time DSP Implementation, and Results", IEEE Transactions on Power Electronics, Vol. 18, No. 1, January, 2003, pp. 474-485.
39. S. M. Cox, Jun Yu, W. L. Goh, M . T. Tan, "Intrinsic Distortion of a Fully Differential BD-Modulated Class-D Amplifier With Analog Feedback ", IEEE Transactions on Circuits and Systems - I, Vol. 60, No. 1, January 2013, pp.63-73.
40. Ph. Dondon, M. Cifuentes, G.Tsenov, V. Mladenov, „A practical modelling for the design of a sigma delta class D power switching amplifier and its pedagogical application”, Recent Researches in Circuits, Systems and Signal Processing; ISBN: 978-1-61804-017-6, pp. 93-99.
41. M. J. Hawksford, "SDM versus PWM power digital-to-analogue converters (PDAC) in high-resolution digital audio applications", Audio Engineering Society, 118th Convention, 2005 May 28th–31st, Barcelona, Spain, pp. 1-24.
42. S. Norsworthy, "Optimal Nonrecursive Noise Shaping Filters For Oversampling Data Converters", 1993 IEEE International Symposium on Circuits and Systems Part 1: Theory, 3-6 May 1993, Chicago, IL, USA, pp.1353-1356.
43. J-W Jung, M. J. Hawksford, An Oversampled Digital PWM Linearization Technique for Digital-to-Analog Conversion, IEEE Transactions on Circuits and Systems—I: Regular Papers, Vol. 51, No. 9, pp. 1781 – 1789, September 2004.
44. S. R. Norsworthy, Optimal Nonrecursive Noise Shaping Filters For Oversampling Data Converters Part 1: Theory, Proc. of 1993 IEEE International Symposium on Circuits and Systems, 3-6 May 1993, Chicago, USA, IEEE Xplore: 06 August 2002.
45. **W. Kołodziejki**, S. W. Kuta, „Linearized 9-Bit Hybrid LBDD PWMModulator for Digital Class-BD Amplifier”, International Journal of Electronics and Telecommunications, 2021, Vol. 67, No. 1, pp. 49-57, Impact Factor 0,81, SJR 0,193, *Afiljacja PWSZ w Tarnowi*
46. S. W. Kuta, **W. Kołodziejki**, J. Jasielski, „Hybrid Linearized Class-BD Double Sided (LBDD) Digital Pulse Width Modulator (DPWM) for Class-BD Audio Amplifiers”, Science, Technology, Innovation, 2017, No.1, pp. 1-10, *Afiljacja PWSZ w Tarnowie*

47. J. Jasielski, St. Kuta, W. Machowski, **W. Kołodziejcki**, „Hybrid DPWM Implementation Using Coarse and Fine Programmable ADLL”, *Microelectronics Journal*, Elsevier, 2014, Vol. 45, Iss. 9, Pgs. 1202 – 1211. Impact Factor 1,48, SJR 1,48, *Afiljacja PWSZ w Tarnowie*
48. J. Jasielski, St. Kuta, W. Machowski, **W. Kołodziejcki**, I. Brzozowski, „Double edge class BD hybrid DPWM implementation using linearized LBDD algorithm”, *Mixed Design of Integrated Circuits & Systems (MIXDES)*, 2014 Proceedings of the 21st International Conference, Date 19-21 June 2014, Pgs. 209 – 214. *Afiljacja PWSZ w Tarnowie*
49. J. Jasielski, St. Kuta, W. Machowski, **W. Kołodziejcki**, „Hybrid LBDD PWM Modulator for Digital Class-BD Audio Amplifier Based on STM32F407VGT6 Microcontroller and Analog DLL”, *Mixed Design of Integrated Circuits & Systems (MIXDES)*, 2015 Proceedings of the 22st International Conference, Date 25-27 June 2015. *Afiljacja PWSZ w Tarnowie*
50. **W. Kołodziejcki**, St. Kuta, J. Jasielski, „Current controlled delay line elements' improvement study”, ICSES 2012, International Conference on Signals and Electronic Systems : 18–21 September 2012, Wrocław, Poland. *Afiljacja PWSZ w Tarnowie*
51. **W. Kołodziejcki**, St. Kuta, Jacek Jasielski; „Analog delay line elements with wide range controlled-delay „(Analogowe elementy linii opóźniającej o regulowanym w szerokim zakresie opóźnieniu), *Elektronika : konstrukcje, technologie, zastosowania (Warszawa)* ; ISSN 0033-2089 — Tytuł poprz.: *Przegląd Elektroniki*. — 2013 R. 54 nr 2, s. 26–32.
52. J. Jasielski, St. Kuta, W. Machowski, **W. Kołodziejcki**; “An Analog Dual Delay Locked Loop Using Coarse and Fine Programmable Delay Elements”, *Proceedings of the 20-th International Conference MIXED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS MIXDES 2013*, Gdynia, Poland, June 2013. *Afiljacja PWSZ w Tarnowie*
53. B. H. Gwee, J. S. Chang, H. Li, “A Micropower Low-Distortion Digital Pulsewidth Modulator for a Digital Class D Amplifier, *IEEE Transactions on Circuits And Systems - Ii: Analog and Digital Signal Processing*”, Vol. 49, No. 4, April 2002, pp.245-2256.
54. A. Syed, E. Ahmed, D. Maksimovic, E. Alarcon, Digital pulse width modulator architectures, *Proc. IEEE Power Electron. Spec. Conf.*, Vol. 6, 2004, pp.4689-4695.
55. Ch. Morrison, S. Weiss, M. Macleod and R. Stewart, “Comparison of Single- and Double-Sided Pulse Width Modulated Signals with Non-Linear Predistortion”, *Proceedings of the 5th European DSP Education and Research Conference*, 2012, Amsterdam, pp. 271-275.
56. V. Yousefzadeh, T. Takayama, D. Maksimovic’, “Hybrid DPWM with digital delay-lockedloop”, in: *Proceedings of the IEEE COMPEL Workshop*, Rensselaer Polytechnic Institute, Troy, NY, USA, July 16-19, 2006, pp. 142–148.
57. A. de Castro, G. Sutter, S. C. Huerta, J. A. Cobos, “High Resolution Pulse Width Modulators in FPGA”, *3rd Southern Conference on Programmable Logic (SPL '07)*, Feb. 2007, pp.137-142.
58. X. Shen, X. Wu, J. Lu, L. Qin, “Hybrid DPWM with Analog Delay Locked Loop”, *Proc. of the International MultiConference of Engineers and Computer Scientists 2010*, Vol II, IMCS 2010 March 17-19, 2010, Hong Kong.
59. S. C. Huerta , A. de Castro, O. Garcia, J. A. Cobos, “FPGA-based digital pulsewidth modulator with time resolution under 2 ns”, *IEEE Trans. Power Electron.*, vol. 23, no. 6, 2008, pp.3135 -3141’

60. K. P. Sozański, "Digital Realization of a Click Modulator for an Audio Power Amplifier", *Przegląd Elektrotechniczny (Electrical Review)*, ISSN 0033-2097, R.86 NR 2/2010, pp. 353-357.
61. G. W. Roberts M. Ali-Bakhshian, "A Brief Introduction to Time-to-Digital and Digital-to-Time Converters", *IEEE Transactions on Circuits and Systems—II: Express Briefs*, Vol. 57, No. 3, March 2010, pp.153-157.
62. Hai Wang, Min Zhang, Yan Liu, "High-Resolution Digital-to-Time Converter Implemented in an FPGA Chip", *Applied Sciences*, 2017, Vol.7, Iss.52; pp. 1-11.
63. Y. B. Quek, "Class-D LC Filter Design", Application Report SLOA119A–April 2006–Revised January 2008, Texas Instruments, pp. 2 – 20.
64. H. W. Ott, "Understanding and Controlling Common-Mode Emissions in High-Power Electronics", Henry Ott Consultants Livingston, NJ 07039 (973) 992-1793, 2001, pp. 1-5
65. J. Cerezo, International Rectifie, "Class D Audio Amplifier Performance Relationship to MOSFET Parameters", Application Note AN-1070, pp. 1-14.
66. Ch. K. Lam, M. T. Tan, S. M. Cox, K. S. Yeo, Class-D Amplifier Power Stage With PWM Feedback Loop, *IEEE Transactions On Power Electronics*, Vol. 28, No. 8, pp. 3870 – 3881, August 2013.
67. J. Jasielski , S. W. Kuta, "Applied methods of power supply and galvanic isolation of gate drivers of power transistors in bridging end stages of Class D amplifiers and inverters", *Scienc, Technology, Innovation*, Iss.: 2 (1), 2018 pp. 31-41.
68. S. Park, T. M. Jahns, "A Self-Boost Charge Pump Topology for a Gate Drive High-Side Power Supply", *IEEE Transactions On Power Ele ctronics*, Vol. 20, No. 2, March 2005.
69. John Stevens, "Using a Single-Output Gate-Driver for High-Side or Low-Side Drive", Application Report SLUA669 – March 2013, Texas Instruments, pp. 1 – 7.
70. Se-Kyo Chung, Jung-Gyu Lim, "Design of Bootstrap Power Supply for Half-Bridge Circuits using Snubber Energy Regeneration", *Journal of Power Electronics*, Vol. 7, No. 4, October 2007, pp. 294-300.
71. Fairchild Semiconductor Corporation, "Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC" , AN-6076, 2008, , Rev. 1.0.0 • 9/30/08.
72. G. F. W. Khoo, D. R. H. Carter, and R. A. McMahon, "Analysis of a charge pump power supply with a floating voltage reference", *IEEE Trans. Circuits Syst.*, vol. 47, no. 10, pp. 1494–1501, Oct. 2000.
73. Ph. Meyer, J. Tucker, "Providing Continuous Gate Drive Using a Charge Pump", 2011, Texas Instruments Incorporated, SLVA444–February 2011.
74. S. K. Tewksbury, R. W. Hallock, „Oversampled Linear Predictive and Noise-Shaping Coders of Order $N > 1$, *IEEE Trans. Circuits Sys. CAS-25*, July 1978, pp. 437-447.
75. T. Zieliński, "Cyfrowe przetwarzanie sygnałów od teorii do zastosowań", WKiŁ, Warszawa, 2005.
76. R. E. Crochiere, L. R. Rabiner, Interpolation and Decimation of Digital Signals-A Tutorial Review, *Proceedings of IEEE*, Vol. 69, No. 3, March 1981, pp.300-331.
77. M. Nentwig, "Polyphase filter / Farrows interpolation", <http://www.dsprelated.com/showarticle/22.php>[2013-02-12].

78. Tutoriale, „Technika cyfrowa - przetwarzanie analogowo-cyfrowe. Próbkowanie”, [http://livesound.pl/tutoriale/kursy/3979-technika-cyfrowa-przetwarzanie-analogowo-cyfrowe-probkowanie\[2013-02-11\]](http://livesound.pl/tutoriale/kursy/3979-technika-cyfrowa-przetwarzanie-analogowo-cyfrowe-probkowanie[2013-02-11]).
79. ISO7420x Low-Power Dual-Channel Digital Isolators, SLLS984I –JUNE 2009–REVISED JULY 2015, Texas Instruments, www.ti.com
80. RM0090 Reference manual. STM32F40xxx, STM32F41xxx, STM32F42xxx, STM32F43xxx advanced ARM-based 32-bit MCUs.
81. STM32F405xx STM32F407xx, Datasheet, June 2013, DocID022152 Rev 4.
82. UM1472 User manual Discovery kit for STM32F407/417 lines, January 2014 DocID022256 Rev 4.
83. <http://www.cornucopioplastics.com/> 3-Bit Programmable FAST TTL Logic Delay