

## Streszczenie rozprawy doktorskiej

Rdzenie soft procesorowe, które są szeroko stosowane w układach programowalnych FPGA (Field Programmable Gate Arrays) bazujących na pamięciach SRAM, są szczególnie podatne na błędy indukowane typu SEU (Single Event Upset) i dlatego soft procesory powinny być gruntownie testowane. W aplikacjach użytkowych, rdzeń procesora jest normalnie testowany poprzez wykonywanie testu funkcjonalnego, podczas którego poszczególne instrukcje procesora są weryfikowane zestawem deterministycznych wzorców testowych i rezultaty są porównywane z zapisanymi referencyjnymi wartościami. Z powodu praktycznych ograniczeń, liczba wzorców testowych i odpowiadających im rezultatów jest zwykle mała, co naturalnie prowadzi do niskiego pokrycia błędów.

Nowe podejście proponowane przez autora bazuje na ścieżce wrażliwej na dane, która ma nieco inną interpretację jak ta, znana z bibliografii. W tej pracy autor rozwinął koncept który formuje bijektywną sekwencję testową złożoną z prawie wszystkich instrukcji procesora. Efektywność tego rozwiązania jest osiągnięta poprzez twardą zasadę, według której nowatorski sposób generacji sekwencji testowej wymaga bijektywnej relacji „jeden do jednego” pomiędzy wejściowymi wzorcami testowymi oraz rezultatami. W ten sposób autor aktywował duży procent ścieżek wrażliwych na dane. Związane z tym lepsze pokrycie błędów (85,6%) zostało osiągnięte przez program złożony z bijektywnych bloków (85,6%). Zdecydowanie najlepsze pokrycie błędów (94,76%) autor osiągnął kreując bijektywny program testowy, który generuje jednocześnie pełny cykl lokalnych wektorów.

Podejście autora ilustruje eksperymentalny przypadek studyjny oraz ewaluację poprzez symulację błędów w rdzeniu procesora opisanym w języku HDL (Hardware Description Language). W celu określenia pokrycia błędów wymagane jest określenie sposobu wstrzykiwania błędów. Jako alternatywa do testów statystycznych bazujących na eksponowaniu FPGA na promieniowanie jonizujące, zostało opracowane oryginalne rozwiązanie oparte na symulacjach. Błędy w opisie HDL są modelowane poprzez zautomatyzowaną modyfikację indywidualnych bitów pamięci LUT (Look Up Table). Zaproponowana zautomatyzowana symulacja wszystkich możliwych 1804 wstrzykniętych błędów jest bardzo bliska rzeczywistych błędów typu SEU co stanowi znaczące osiągnięcie tej pracy. Nowatorski model błędów przynosi podwójne korzyści: po pierwsze w ten sposób modelowane są błędy indukowane w pamięciach LUT typu SEU, które prowadzą do innej niż zamierzona implementacji funkcji logicznych. Drugą korzyścią jest możliwość interpretacji tych błędów w szczególnych przypadkach jako stuck-at na wejściach lub wyjściu LUT. Zatem zasoby programowalnych połączeń również są testowane. Stosując ten model, autor rozwinął kompletny system do ewaluacji programów testowych dedykowanych rdzeniom procesorowym implementowanym w FPGA.

Dalsza część tej dysertacji jest poświęcona rozwijaniu metod optymalizacji. Zostały zaproponowane trzy metody optymalizacyjne. Ta część udowadnia, że zestaw wektorów testowych może być znacząco zredukowany (dziewięć razy), co prowadzi do redukcji zasobów pamięci i czasu testowania. Autor zaprezentował również podejście do testowania poszczególnych bloków procesora i optymalizację zestawów lokalnych wektorów testowych.

Ostatni rozdział przedstawia problem redundancji logicznych i hardwarowych, które uniemożliwiają uzyskanie 100% pokrycia błędów złożonego systemu implementowanego w FPGA. Rozdział ten przedstawia metody, przykłady, wyniki szczegółowych badań w tym zakresie oraz porównanie metod optymalizacyjnych i rezultatów pokrycia błędów uzyskanych przez różne aplikacje testowe z odniesieniem do bibliografii dziedziny.