

Załącznik 2a

Autoreferat

„Rozwój wielokanałowych systemów do detekcji promieniowania jonizującego z wykorzystaniem specjalizowanych układów scalonych”

Kraków, 12.12.2018

- I. **Imię i nazwisko:** Krzysztof Kasiński
- II. **Posiadane dyplomy, stopnie naukowe:**
 - Doktor nauk technicznych w dyscyplinie elektronika (z wyróżnieniem): Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie; Wydział Informatyki, Elektroniki i Telekomunikacji, 18.10.2012. Tytuł rozprawy: Multichannel Integrated Circuits for Silicon Strip Detectors Readout with Timestamping and Amplitude Pulse Measurement. Promotor: prof. dr hab. inż. Paweł Gryboś, Recenzenci: prof. dr hab. inż. Zygmunt Ciota, prof. dr hab. inż. Ryszard Golański.
 - Magister inżynier (z wyróżnieniem), kierunek: Elektrotechnika, Specjalność, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki, Elektroniki, Informatyki i Elektroniki, 06.2008. Tytuł pracy magisterskiej: „System do pomiaru częstotliwości dostrojenia betatronowego kołowych akceleratorów w CERN”. Promotor: dr hab. inż. Andrzej Bień. Praca wyróżniona w konkursie „Diamenty AGH” w kategorii prac aplikacyjnych.
- III. **Informacje o dotychczasowym zatrudnieniu w jednostkach naukowych:**
 - Adiunkt: Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Katedra Metrologii i Elektroniki, od 11.2012.
 - Asystent: Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Katedra Metrologii i Elektroniki, od 11.2009.
- IV. Wskazanie osiągnięcia wynikającego z art. 16 ust. 2 ustawy z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym oraz o stopniach i tytule w zakresie sztuki (Dz. U. nr 65, poz. 595 ze zm):
 - a. Tytuł osiągnięcia naukowego: zbiór jednotematycznych publikacji zatytułowany „**Rozwój wielokanałowych systemów do detekcji promieniowania jonizującego z wykorzystaniem specjalizowanych układów scalonych**”
 - b. Autorzy, tytuły publikacji, rok wydania, nazwa wydawnictwa:

Autor do oceny swojego dorobku załącza dwanaście publikacji, z których osiem stanowią publikacje z listy JCR, cztery zaś są publikacjami z międzynarodowych konferencji indeksowanymi w bazie WOS. Jedna publikacja jest pracą samodzielną, w 9 współautorskich; habilitant jest pierwszym autorem i jego wkład wynosi 50-70%, natomiast w dwóch jego wkład wynosi 40%. Oświadczenia współautorów o indywidualnym wkładzie znajdują się w odrębnym załączniku.

[H1] Krzysztof KASIŃSKI, Rafał KŁECZEK, “Dual-stage, time-over-threshold based prototype readout ASIC for silicon microstrip sensors”, Microelectronics Journal, (2015) vol. 46 iss 12 Pt. A, s. 1248–1257. **IF=0.876, 20 pkt MNiSW, udział: 70%.**

[H2] Krzysztof KASIŃSKI, Rafał KŁECZEK, Piotr OTFINOWSKI, Robert SZCZYGIEŁ, Paweł GRYBOŚ, “STS-XYTER, a High Count-Rate Self-Triggering Silicon Strip Detector Readout IC for High Resolution Time and Energy Measurements” 2014 IEEE Nuclear Science Symposium / Medical Imaging Conference NSS/MIC 2014, (2016). doi:10.1109/NSSMIC.2014.7431048. **10 pkt MNiSW, udział 50%.**

[H3] Krzysztof KASIŃSKI, Robert SZCZYGIEŁ, Wojciech ZABOŁOTNY, Jörg LEHNERT, Christian J. SCHMIDT, W. F. J. MÜLLER, “A protocol for hit and control synchronous transfer for the front-end electronics at the CBM experiment”, Nuclear Instruments & Methods in Physics Research Section A: Accelerators, Spectrometers,

Detectors and Associated Equipment 835 (2016) 66–73. doi:<http://dx.doi.org/10.1016/j.nima.2016.08.005>.
IF: 1.362, 20 pkt MNiSW, udział: 55%.

[H4] Krzysztof KASIŃSKI, Robert SZCZYGIEŁ, Wojciech ZABOŁOTNY, „Back-end and interface implementation of the STS-XYTER2 prototype ASIC for the CBM experiment”, Journal of Instrumentation 11 (2016) C11018. <http://stacks.iop.org/1748-0221/11/i=11/a=C11018>. **IF: 1.220, 20 pkt MNiSW, udział: 50%.**

[H5] Krzysztof KASIŃSKI, P. KOCZOŃ, S. AYET, S. LÖCHNER, Christian J. SCHMIDT, “System-level considerations for the front-end readout ASIC in the CBM experiment from the power supply perspective”, Journal of Instrumentation 12 (2017) C03023. <http://stacks.iop.org/1748-0221/12/i=03/a=C03023>. **IF: 1.258, 20 pkt MNiSW, udział: 50%.**

[H6] Krzysztof KASIŃSKI, Rafał KŁECZEK, Christian J. SCHMIDT, “Optimization of the microcable and detector parameters towards low noise in the STS readout System”, Proceedings of SPIE - International Society of Optical Engineering, 2015. doi:10.1117/12.2205699. **15 pkt MNiSW, udział: 60%.**

[H7] Krzysztof KASIŃSKI, Rafał KŁECZEK, “A flexible, low-noise charge-sensitive amplifier for particle tracking application”, 2016 Mixdes - 23rd International Conference: Mixed Design of Integrated Circuits and Systems, 2016: pp. 124–129. doi:10.1109/MIXDES.2016.7529715. **15 pkt MNiSW, udział: 70%.**

[H8] Weronika ZUBRZYCKA, Krzysztof KASIŃSKI, "Leakage current-induced effects in the silicon microstrip and gas electron multiplier readout chain and their compensation method", Journal of Instrumentation, 13(4), T04003, (2018). <http://stacks.iop.org/1748-0221/13/i=04/a=T04003>. **IF: 1.258 (2017), 20 pkt MNiSW, udział: 40%.**

[H9] Krzysztof KASIŃSKI, Adrian RODRIGUEZ-RODRIGUEZ, Jörg LEHNERT, Weronika ZUBRZYCKA, Robert SZCZYGIEŁ, Piotr OTFINOWSKI, Rafał KŁECZEK, Christian J. SCHMIDT, “Characterization of the STS/MUCH-XYTER2, a 128-Channel Time and Amplitude Measurement IC for Gas and Silicon Microstrip Sensors”, Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, **IF: 1.336 (2017), 20 pkt MNiSW, udział: 40%.**

[H10] Krzysztof KASIŃSKI, Paweł GRYBOŚ, Piotr KMON, Piotr MAJ, Robert SZCZYGIEŁ, Kai ZOSCHKE, “Development of a Four-Side Buttable X-Ray Detection Module with Low Dead Area Using the UFXC32k Chips With TSVs”, IEEE Transactions on Nuclear Science (2017), vol. 64 no. 8 pt. 2, s. 2433–2440. **IF: 1.440, 30 pkt MNiSW, udział: 50%.**

[H11] Krzysztof KASIŃSKI, “Thermal and Power Delivery Considerations of the 56k Pixel 3-D Integrated Radiation Imaging Module with Through-Silicon Vias”, Proc. MIXDES, 24th Int. Conf. Mix. Des. Integr. Circuits Syst. Mix. 2017, (2017). doi:10.23919/MIXDES.2017.8005247. **15 pkt MNiSW, udział: 100%.**

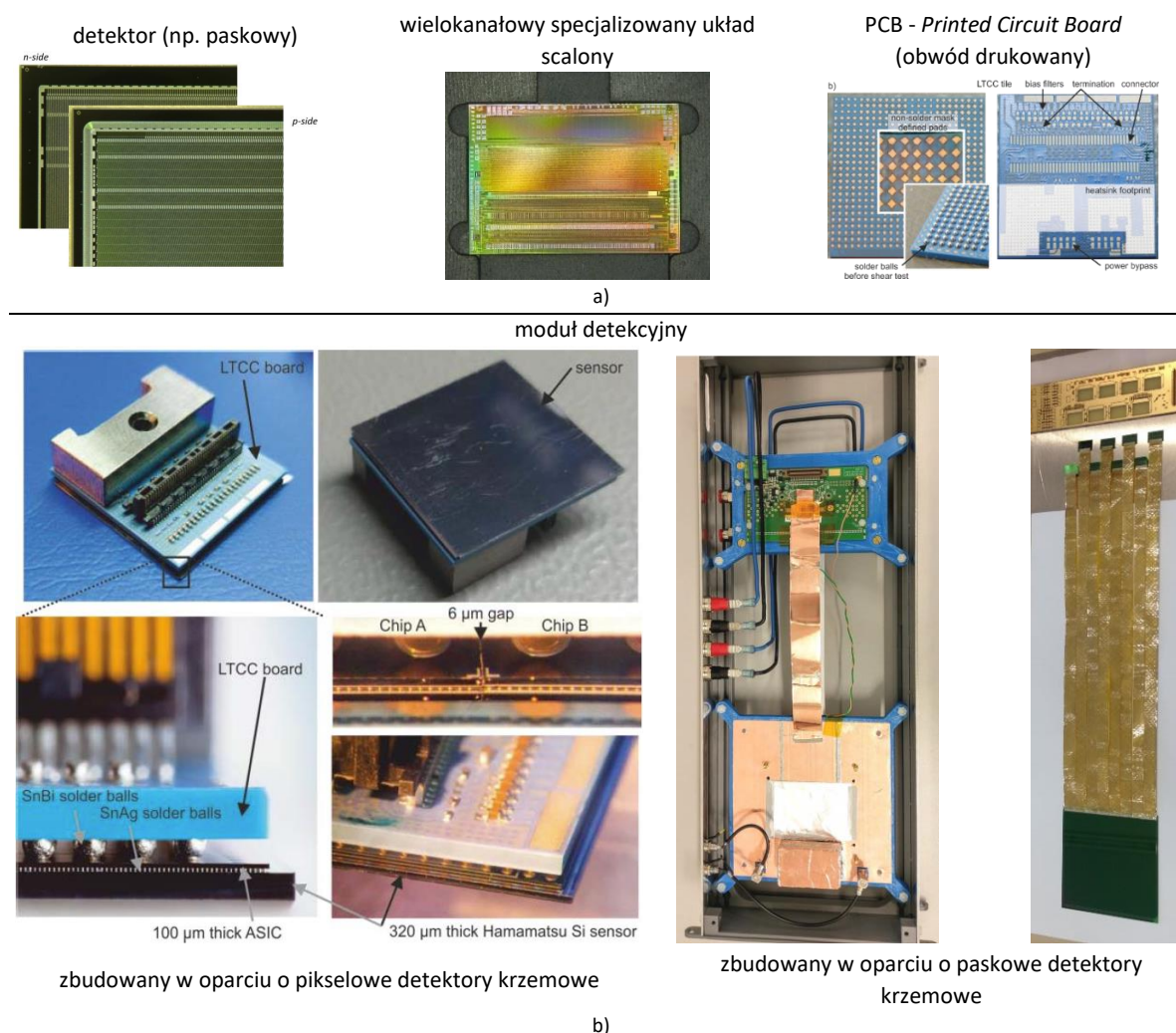
[H12] Krzysztof KASIŃSKI, Piotr MAJ, Paweł GRYBOŚ, Anna KOZIOŁ, “Hardware solutions for the 65k pixel X-ray camera module of 75 um pixel size”, Journal of Instrumentation 11 (2016). doi:10.1088/1748-0221/11/01/C01060. **IF: 1.220, 20 pkt MNiSW, udział: 50%.**

Suma punktów MNiSW: 205, suma IF: 9.97 z dwunastu prac przedstawionych do oceny.

Suma punktów MNiSW: 796, suma IF: 29.866 ze wszystkich prac z dorobku.

1. O AUTORZE

Habilitant jest adiunktem w Katedrze Metrologii i Elektroniki, EAIIB, AGH w Krakowie. Zajmuje się on projektowaniem i testowaniem specjalizowanych układów scalonych (ASIC – *Application Specific Integrated Circuits*) i mikrosystemów dedykowanych dla szerokiego spektrum aplikacji, m.in. obrazowanie promieniowania X z wykorzystaniem hybrydowych detektorów pikselowych, aplikacje HEP (*High Energy Physics*), w szczególności, detektory torów cząstek (detektory śladowe) zbudowane z krzemu i gazu. Istotną częścią pracy habilitanta są aspekty systemowe specjalizowanych układów scalonych w poszczególnych zastosowaniach. Aspekty te wpływają zarówno na budowę całych mikrosystemów / modułów do obrazowania promieniowania jak i determinują wewnętrzną budowę układów scalonych. Moduł detekcyjny składa się z detektora (np. półprzewodnikowego o architekturze pikselowej lub paskowej), specjalizowanego układu scalonego i obwodu drukowanego z systemem elektronicznym umożliwiającym pracę całości urządzenia (Rys. 1).



Rys. 1 a) Elementy składowe systemu detekcyjnego. b) Przykładowe moduły detekcyjne – obrazy z prac habilitanta.

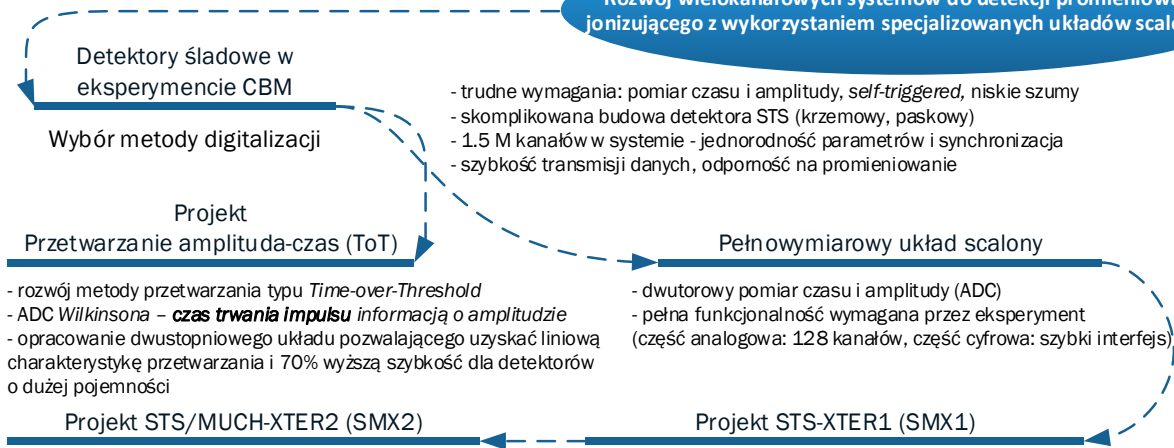
Autor jest członkiem zespołu mikroelektroniki, Katedra Metrologii i Elektroniki, Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej (AGH), który od momentu utworzenia w 2007 roku zrealizował wiele krajowych i międzynarodowych projektów badawczych na zlecenia agencji rządowych, firm i instytutów badawczych dotyczących projektowania układów scalonych i ich aplikacji w systemach do obrazowania promieniowania w eksperymentach fizyki wysokich energii czy w kamerach promieniowania X. W październiku 2012 roku z wyróżnieniem obronił on rozprawę doktorską (w dyscyplinie elektronika), pt. „*Multichannel Integrated Circuits for Silicon Strip Detectors Readout with Timestamping and Amplitude Pulse Measurement*”, w ramach której powstały dwa układy scalone weryfikujące możliwość

zastosowania metody *Time-over-Threshold* (ToT) do pomiaru czasu i amplitudy w systemach wykorzystujących paskowe detektory krzemowe. Po obronie doktoratu habilitant brał czynny udział w 7 projektach badawczych o zasięgu krajowym i międzynarodowym, z których 2 jest/był kierownikiem, oraz w 7 projektach wewnętrznych uczelni (tzw. *grant dziekański*) w latach 2012-2018.

Spośród efektów jego pracy wyróżnić można dorobek wybrany, skrótowo opisany w niniejszym autoreferacie i przedstawiony do oceny. Na dorobek ten składa się cykl dwunastu tematycznie powiązanych artykułów opublikowanych na przestrzeni ostatnich 6 lat, które świadczą o znacznym wkładzie naukowym autora w reprezentowaną dyscyplinę: elektronikę. Istotne obszary badawcze habilitanta schematycznie przedstawiono na Rys. 2.\

1. O Autorze.....	3
2. Rozwój śladowych systemów detekcyjnych dla Fizyki Wysokich Energii w nowym eksperymencie Compressed Baryonic Matter w ośrodku FAIR, Niemcy.....	6
2.A. Ośrodek FAIR, eksperyment CBM i detektory STS i MUCH	6
2.B. Przetwarzanie typu Time-over-Threshold	10
2.C. STS-XYTER - pierwszy pełnowymiarowy prototyp dla detektora STS.....	15
2.C.1. Blok do pomiaru czasu zdarzenia	16
2.C.2. Drzewo do konfiguracji części <i>Analog Front-end</i> i odczytu liczników odporna radiacyjnie	16
2.C.3. Kolejka FIFO (<i>full-custom</i>) oparta o pamięć typu DRAM	17
2.C.4. Symulacje wysokopoziomowe części cyfrowej układu SMX1 i interfejs testowy	17
2.C.5. Symulacje i integracja protokołu komunikacyjnego CBMnet.....	18
2.C.6. Modelowanie i optymalizacja budowy zestawów detektor-mikroprzewód-układ odczytowy.	18
2.C.7. System do testowania układu SMX1 i realizacja testów oraz pomiarów jego parametrów	19
2.D STS/MUCH-XYTER2 (SMX2), drugi pełnowymiarowy prototyp układu scalonego dla detektorów STS i MuCH.	20
2.D.1 System akwizycji danych w eksperymencie CBM	21
2.D.2 Protokół komunikacyjny STS-HCTSP	22
2.D.3 Część cyfrowa.....	23
2.D.4 Poprawa topologii pamięci DICE pod kątem odporności na efekty SEU.	24
2.D.5 Blok do pomiaru czasu	24
2.D.6 Analiza części analogowej układu SMX2 pod kątem systemowym	24
2.D.7 Wpływ prądu upływu detektora i diod protekcyjnych ESD na pracę układu.....	25
2.D.8 Wpływ systemu, układów zasilających i wewnętrznych sieci na wydajność układu SMX2	26
2.D.9 Testowalność układów SMX2, procedury i systemy do testowania	27
2.D.10 Wyniki testów i pomiary parametrów	29
3. Rozwój pikselowych systemów detekcyjnych promieniowania X z wykorzystaniem technologii 3D.....	31
Wstępna faza testów – budowa systemów z wykorzystaniem połączeń drutowych	32
Moduł wykorzystujący technologie 3D do budowy wielkopowierzchniowych detektorów do obrazowania promieniowania.....	33
4. Podsumowanie	37
5. Działalność publikacyjna, badawcza, organizacyjna i dydaktyczna	37

Rozwój wielokanałowych systemów do detekcji promieniowania jonizującego z wykorzystaniem specjalizowanych układów scalonych



- trudne wymagania: pomiar czasu i amplitudy, *self-triggered*, niskie szумы
- skomplikowana budowa detektora STS (krzemowy, paskowy)
- 1.5 M kanałów w systemie - jednorodność parametrów i synchronizacja
- szybkość transmisji danych, odporność na promieniowanie

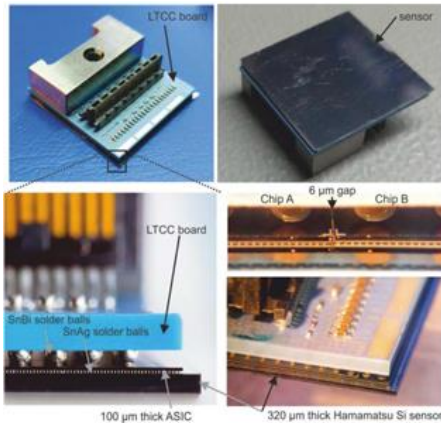
- rozwój metody przetwarzania typu *Time-over-Threshold*
- ADC Wilkinsona – **czas trwania impulsu** informacją o amplitudzie
- opracowanie dwustopniowego układu pozwalającego uzyskać liniową charakterystykę przetwarzania i 70% wyższą szybkość dla detektorów o dużej pojemności

- dwutorowy pomiar czasu i amplitudy (ADC)
- pełna funkcjonalność wymagana przez eksperyment (część analogowa: 128 kanałów, część cyfrowa: szybki interfejs)

- projekt istotnych fragmentów układu scalonego i systemu, analizy systemowe w projektowaniu układu scalonego (istotne ze względu na wysokie wymagania dotyczące parametrów - szybkość, szумы, itp.):

- kompletny projekt specjalizowanego protokołu komunikacyjnego:
 - nowatorska metoda synchronizacji linku
 - optymalizacja przepustowości: kompresja, kodowanie huffmana, funkcjonalność throttling'u
 - interfejs testowy (pomiar wpływu zakłóceń cyfrowych na szумы)
 - badania warstwy fizycznej
- przygotowanie modeli rozproszonych detektora i przewodu i optymalizacja ich budowy (minimalizacja krytycznych składników szumu),
- identyfikacja krytycznych parametrów i określenie wymaganych zmian w budowni detektora i przewodów,
- wybór architektury stopnia wejściowego na podstawie opracowanych benchmark'ów,
- projekt układu do pomiaru czasu (liniowość, time-walk, funkcje diagnostyczne),
- projekt wspomaganego cyfrowo układu do szybkiego przywracania stanu początkowego,
- integracja, analiza i weryfikacja na najwyższych poziomach hierarchii,
- *fault-tolerance* i analiza wpływu czynników zewnętrznych na wydajność układu (np. Regulatory LDO, komponenty pasywne, PCB),
- analizy PSRR, budżet mocy w systemie, specyfikacja wymagań szumowych systemu zasilania,
- odporność radiacyjna (komórki pamięci DICE, front-end z NMOS w geometrii ELT – ograniczenia projektowe, pamięć FIFO (full-custom), drzewo do konfiguracji części analogowej),
- projekt i budowa systemów do testowania. Realizacja testów. Metodologia testowania na wszystkich etapach produkcji: COB, pogo-probe, wafer-level, ...,
- zarządzanie projektem, koordynacja prac, komunikacja, dokumentacja.

Pikselowe systemy detekcyjne z wykorzystaniem technologii 3D



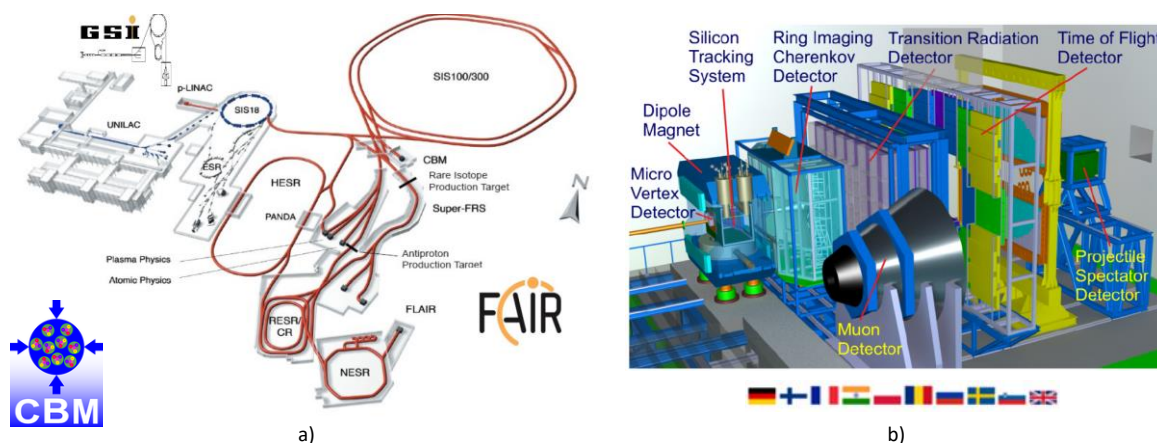
- rozwój detektorów wielkopowierzchniowych o minimalnym obszarze martwym,
- redukcja obszaru martwego z 3mm do 0.63 mm,
- w pełni funkcjonalny modułowy system detekcyjny wykorzystujący unikalną kombinację procesów i technik mikromontażu 3D (TSV, RDL, LTCC),
- analizy integralności sygnałowej i zasilania, analizy termiczne,
- system testowy i pomiary wykonanych prototypów.

Rys. 2 Tematyka badawcza zrealizowana przez habilitanta.

2. ROZWÓJ ŚLADOWYCH SYSTEMÓW DETEKCYJNYCH DLA FIZYKI WYSOKICH ENERGII W NOWYM EKSPERYMENCIE COMPRESSED BARYONIC MATTER W OŚRODKU FAIR, NIEMCY.

2.A. Ośrodek FAIR, eksperyment CBM i detektory STS i MUCH

Ośrodek Badań Antyprotonami i Jonami (FAIR – Facility for Antiproton and Ion Research ¹) jest nowym ośrodkiem akceleratorowym budowanym w Darmstadt, Niemcy (Rys. 3 a). Polska jako jeden z wielu krajów prowadzi prace badawcze nad budową jego systemów. Projekt ten znalazł się na liście przedsięwzięć Polskiej Mapy Drogowej Infrastruktury Badawczej ² i jest koordynowany przez Krajowe Konsorcjum FEMTOFIZYKA³. Autor autoreferatu jest członkiem zespołu odpowiedzialnego za dostarczenie wielokanałowych, specjalizowanych układów scalonych (układów ASIC dedykowanych do odczytu detektorów promieniowania, zwane również układami odczytowymi lub elektroniką odczytu) dla jednego z eksperymentów w ośrodku FAIR o nazwie CBM (Compressed Baryonic Matter). Habilitant projektuje układy scalone, buduje systemy do ich testowania, testuje moduły detekcyjne (detektor + układ scalony + obwód drukowany + aparatura i systemy do komunikacji i sterowania), a także koordynuje prace zespołu i regularnie prezentuje prace własne i zespołu na Międzynarodowych Zebraniach Kolaboracji CBM zrzeszającej ponad 55 instytucji z 15 krajów oraz najważniejszych konferencjach z tej branży na świecie.



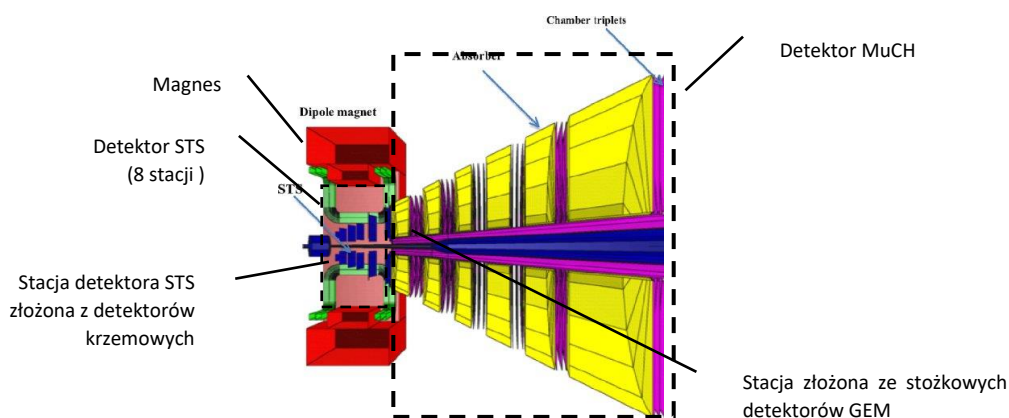
Rys. 3 a) Nowobudowany ośrodek FAIR. Widoczne są akceleratory cząstek oraz poszczególne eksperymenty, w tym CBM. b) Detektory eksperymentu CBM. Habilitant jest zaangażowany w detektory Silicon Tracking System (STS) i Muon Detector (zwany również Muon Chamber MuCh) ¹.

CBM jako jeden z filarów ośrodka FAIR wyznacza nowe, ambitne cele fizyce eksperymentalnej. Kolidy jądro-jądro, proton-jądro i proton-proton wygenerują wiele produktów kolizji, w tym rzadkich cząstek próbkujących (*rare probes*), które należy zidentyfikować i zmierzyć z precyzją i statystyką niespotykaną dotychczas w innych eksperymentach, co w połączeniu z wysoką częstotliwością zderzeń (10 MHz) narzuca trudne do spełnienia wymagania dotyczące układów elektronicznych do odczytu detektorów (Rys. 3 b). Habilitant pracował nad specjalizowanymi, wielokanałowymi układami scalonymi do odczytu paskowych detektorów krzemowych w detektorze *Silicon Tracking System* (STS) i detektorów gazowych (*Gas Electron Multiplier, GEM*) w systemie Muon Chamber (MuCh) (Rys. 4). Warto zaznaczyć, że czas projektowania i budowy takiej infrastruktury wynosi często ponad 10 lat. Specyfikacja i wymagane funkcjonalności (np. parametry detektorów i przewodów, wartości elementów pasywnych, wymagania dotyczące funkcjonalności układów scalonych i ich szybkości, architektura systemu akwizycji danych, typy detektorów wspieranych przez układ scalony, itp.) często się zmieniają wraz z rozwojem technologii i wyników prac badawczych zespołów zajmującymi się poszczególnymi komponentami całości, co komplikuje proces projektowania systemów.

¹ <https://fair-center.eu/>

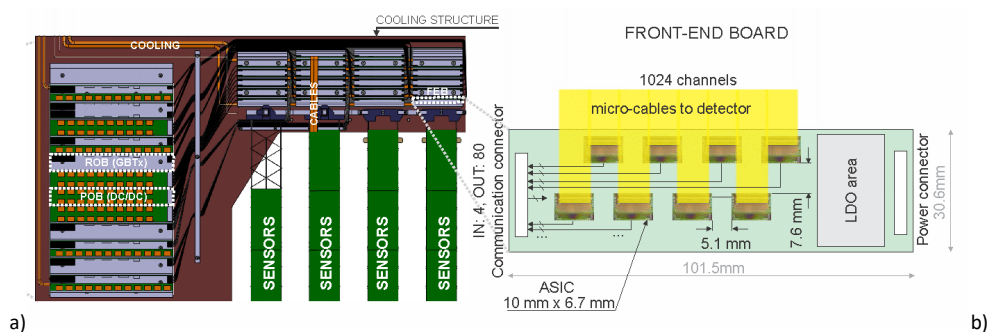
² <http://www.nauka.gov.pl/dokumenty-strategiczne/polska-mapa-drogowa-infrastruktury-badawczej.html>

³ <http://www.fair.uj.edu.pl/konsorcjum/informacje>



Rys. 4 Uproszczona struktura i wzajemne ułożenie detektorów STS i MUCH w eksperymencie CBM¹. 8 stacji detektora STS umieszczonych jest wewnątrz magnesu, tuż za tarczą eksperymentu. Detektor Mionów jest umieszczony bezpośrednio za nim, lecz poza magnesem.

Detektor śledzący toru cząstek (zwany trackerem) o nazwie STS (*Silicon Tracking System*) dostarczy informacji na temat torów i pędu naładowanych cząstek. Będzie się on składał z 8 stacji detekcyjnych zlokalizowanych pomiędzy 30 cm a 100 cm od tarczy, w polu magnetycznym o natężeniu 1T (Rys. 4, Rys. 5). Stacje będą zbudowane z detektorów dwustronnych o długości zależnej od lokalizacji w detektorze (od 2 do 12 cm) zamocowanych na drabinkach z włókna węglowego. Ponieważ na torze cząstek powinno się znaleźć jak najmniej materii, układy scalone do odczytu detektorów (będące tematem pracy autora) będą zlokalizowane na obrzeżach każdej ze stacji (Rys. 5). Detektory będą połączone z układami scalonymi za pomocą specjalnych, czterowarstwowych, aluminiowych lub miedzianych mikro-przewodów o długości aż do 47 cm mocowane metodą *tape-automated bonding* (TAB) (Rys. 6). Cząstki przelatujące przez obszar aktywny detektorów generują w nich ładunek elektryczny, który następnie w postaci impulsu prądowego jest wzmacniany i mierzony w układach scalonych.



Rys. 5 Budowa detektora STS. a) Widok ćwiartki pojedynczej stacji detektora. Sensory umieszczone są na drabinkach z włókna węglowego i za pomocą mikro-przewodów połączone są z układami scalonymi umieszczonymi na płytkach na krawędziach stacji detekcyjnej. Zasilanie układów scalonych oraz ich odczyt realizowany jest przez moduły ROB i POB umieszczone na bocznych stronach stacji. b) Rozmieszczenie ośmiu 128-kanalowych układów scalonych na płytce i podłączenia realizowane przez mikro-przewody [H5].

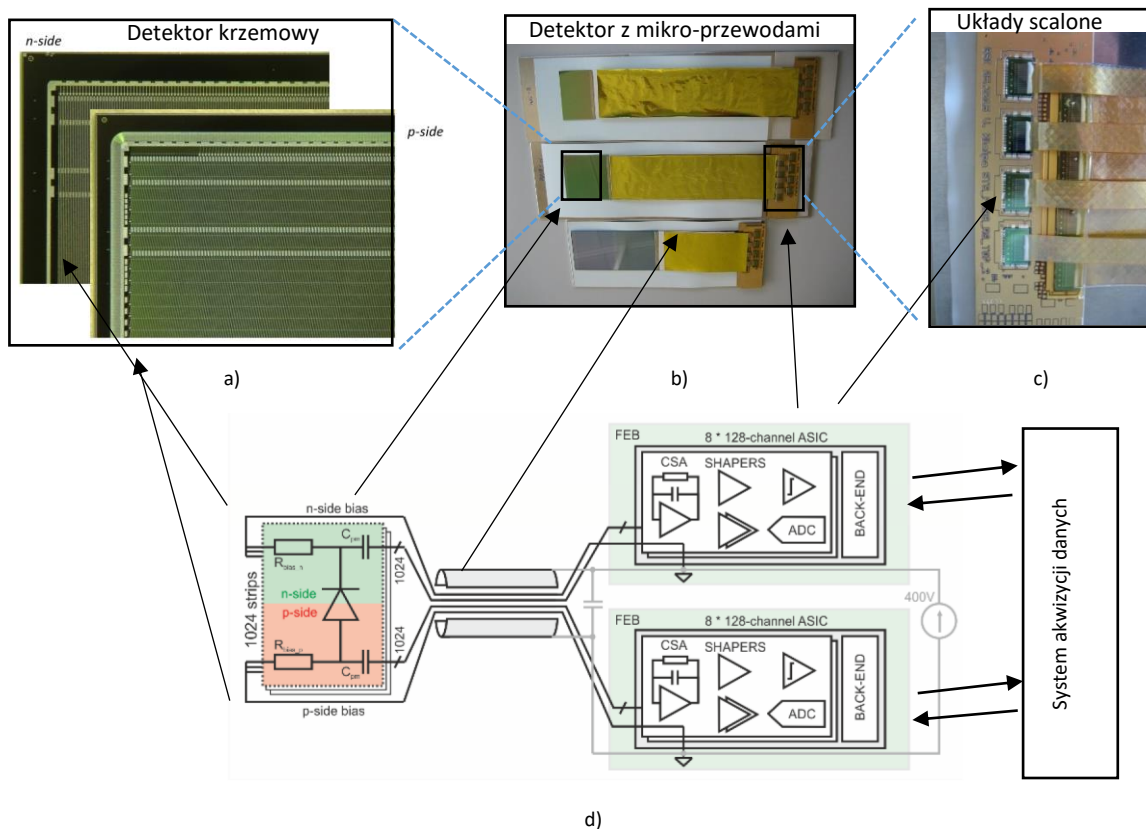
Detektor Mionów zwany *Muon Chamber* (MUCH) umieszczony będzie około 1.25 m od tarczy (Rys. 4), a jego obszar aktywny będzie obejmował około 50 steradianów. Zbudowany będzie z warstw absorberów przekładanych komorami trackerów zbudowanych głównie z detektorów gazowych z powieleniem elektronów GEM (*Gas Electron Multiplier*)². Detektor GEM wykonany będzie z trzech warstw folii kaptonowej o grubości 50 μm pokrytej z obu stron warstwą miedzi. Folia pokryta jest matrycą otworów o średnicy ok. 70 μm i rastrze ok. 140 μm . Po przyłożeniu do obu stron folii napięcia, pole elektryczne w otworach osiągnie bardzo wysokie natężenie co w atmosferze gazowej spowoduje powstanie lawiny powielonych elektronów. Detektory dla MUCH (Rys. 7), budowane przez VECC, Kolkata, Indie będą miały pola odczytowe o wymiarach od kilku do kilkunastu mm^3 . Z punktu widzenia scalonego układu odczytowego, detektory GEM można zamodelować

¹ Dubey, Anand & Saini, Jogender & Singaraju, R & Chattopadhyay, Sarbani & S N Murthy, G & Vijogi, Yogendra. (2014). GEM based R&D for muon chambers of CBM experiment at FAIR. *Journal of Instrumentation*. 9. C06004. 10.1088/1748-0221/9/06/C06004.

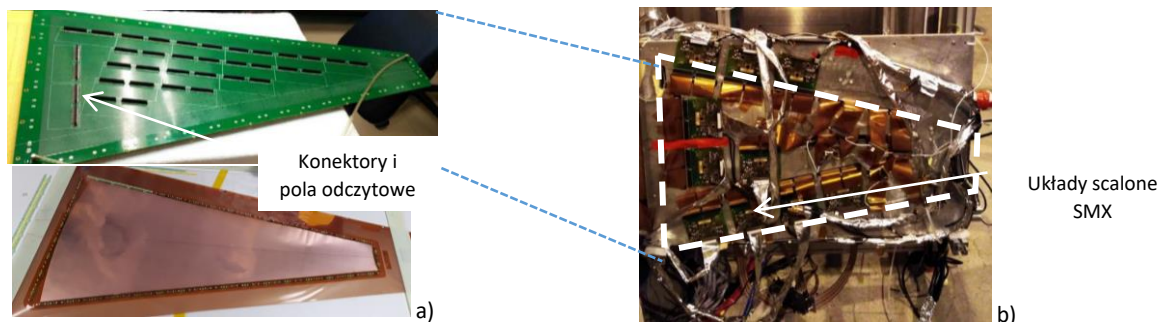
² Romaniuk, Ryszard. (2015). Eksperyment CBM. *Elektronika - konstrukcje - technologie - zastosowania*. 56. 100-105. 10.15199/13.2015.9.21.

³ Ajit Kumar, VECC, Kolkata, Large Area GEM Chambers for Muon Tracking in CBM Experiment at FAIR, IEEE NSS/MIC 2016.

samą pojemnością (w przeciwieństwie do złożonego układu STS), a sygnał w nich generowany ma poziom znacznie wyższy niż w detektorze STS.



Rys. 6 Wybrane elementy detektora STS. a) Krzemowy detektor dwustronny o grubości ok 300 μm . Strona n- paski proste, strona p- paski pod kątem 7.8° (dwuwymiarowe obrazowanie z wykorzystaniem metody koincydencji). b) Demonstratory budowy pojedynczych modułów detektora. c) Płyta testowa do testowania procesu tab-bondowania mikro-przewodów do układów SMX2. d) Budowa modułu detekcyjnego ¹.



Rys. 7 Budowa prototypowych detektorów dla MuCH ²³. a) Budowa strony odczytowej detektora GEM i jedna z trzech folii detektora. b) Prototypowy pojedynczy detektor z pełnym systemem odczytowym **zbudowanym z wykorzystaniem układów STX/MUCH-XYTER2, projektowanych przez Autora.**⁴

Na świecie istnieją eksperymenty wykorzystujące detektory gazowe GEM oraz dwustronne paskowe detektory krzemowe do śledzenia toru cząstek (np. eksperymenty ATLAS, ALICE, CMS, LHCb w CERN). Jednak aplikacja będąca tematem pracy habilitanta znacząco różni się od znanych struktur i koncepcji, co wymagało wypracowania nowego podejścia do projektowania układu scalonego oraz całego systemu do akwizycji danych. Typowe systemy tego typu wykorzystują sygnał wyzwalający, tzw. tryger (*trigger*). W systemach tych wstępnego wyboru potencjalnie interesujących zdarzeń dokonuje się na podstawie sygnałów z szybszych

¹ Zubrzycka, W., Kasinski, K. Performance evaluation of the detector and ultra-light micro-cable assembly for tracking application in CBM experiment. In Proceedings of SPIE - The International Society for Optical Engineering (Vol. 10445) (2017). <https://doi.org/10.1117/12.2280946>

² Subhasis Chattopadhyay, „MUCH Status and plan”, 31st CBM Collaboration Meeting, 03.2018, Darmstadt.

³ CBM Progress Report 2017, Section: Muon System, Darmstadt, 2018.

⁴ Anand Kumar Dubey, „MUCH GEM update”, 31st CBM Collaboration Meeting, 03.2018, Darmstadt.

detektorów (generujących tryger). Przykładami trygerów są FLT, HLT i TRIDAQ w eksperymentach Fizyki Wysokich Energii np. CMS i ATLAS w akceleratorze LHC ¹. Istnienie trygera powoduje, że tylko wybrane dane są digitalizowane i przesyłane przez system akwizycji danych. W eksperymencie CBM, konieczność skutecznego wykrywania cząstek próbkujących z wymaganą statystyką nakłada na układy scalone wyjątkowe wymaganie – konieczność samoczynnego wyzwania (*self-trigger* lub *free-streaming*). Taka architektura wymaga szybszej konwersji na postać cyfrową i szybszej transmisji danych a także, niezwykle istotnej, funkcjonalności pomiaru czasu i ilości ładunku zdeponowanego w detektorze. Aby zminimalizować rejestracje zdarzeń wynikających z szumów elektroniki (zamiast z poprawnych zdarzeń wygenerowanych przez cząstki) niezwykle istotny jest niski poziom szumów układów elektronicznych (ekwiwalentny ładunek szumowy, *ENC (Equivalent Noise Charge)* na poziomie 1000 e⁻ rms przy pojemności detektora 30 pF). Ważny jest również mechanizm zabezpieczający przed zbyt dużym strumieniem nieprawidłowych danych (*throttling*), a w konsekwencji przepiętniem łączy danych, prowadzącym do utraty danych wartościowych.

W ramach tej działalności autora powstały trzy układy scalone. Autor odpowiadał za projekt istotnych komponentów układów scalonych, wieloaspektowe prace związane z zapewnieniem udanej integracji układów scalonych w docelowych, złożonych systemach, integrację wszystkich bloków układu scalonego oraz jego symulacyjną i pomiarową weryfikację. Autor projektował i budował, a także konsultował budowę złożonych systemów do testowania zarówno na poziomie laboratoryjnym jak i na wiązkach akceleratorów. Habilitant ponadto był odpowiedzialny za koordynację w zakresie opracowania koncepcji, specyfikacji i wymagań stawianych układom przez dwa różne systemy detekcyjne, komunikację ze wszystkimi stronami zaangażowanymi w projekt (ośrodek GSI Helmholtzzentrum Für Schwerionenforschung w Niemczech, Politechnika Warszawska, AGH w Krakowie, VECC Variable Energy Cyclotron Centre, Kolkata, Indie, JINR Joint Institute for Nuclear Research, Dubna, Rosja i inne) i zarządzanie projektem oraz nadzór nad jego realizacją.

W celu umożliwienia rekonstrukcji zdarzeń w czasie rzeczywistym, założenia eksperymentu CBM wymagają od układu scalonego aby:

- pojedynczy kanał rejestrował czas wystąpienia zdarzenia z precyzją poniżej 5 ns,
- pojedynczy kanał rejestrował impuls prądowy z rozdzielczością co najmniej 0.5 fC,
- umożliwiał współpracę z detektorami dwustronnymi, których elektrody zbierają ładunki o polarności dodatniej (dziury) lub ujemnej (elektrony),
- pracował poprawnie w różnych warunkach stawianych przez konfigurację długości detektora i mikroprzewodów, a także typu detektorów (gazowy / krzemowy),
- konwertował zdarzenia na postać cyfrową, kodował i przysyłał z dużą szybkością w sposób kompatybilny z systemem akwizycji danych,
- zapewniał odporność na wysokie dawki promieniowania jonizującego obecnego w komorze eksperymentu (aż do 1 MRad / 10 kGy).

Wymagania te, wraz z oczekiwaną stosunkowo wysoką średnią częstotliwością występowania zdarzeń na kanał (250 kHz), wymagają zintegrowania przetwarzania analogowo-cyfrowego w każdym z kanałów, co w połączeniu z oczekiwanymi niskimi szumami i ograniczonym budżetem mocy (<10 mW/kanał) oraz wymaganą szerokością kanału 58 μm wynikającą z budowy detektora paskowego generuje dodatkowe trudności.

Dodatkowo, w systemie będącym tematem pracy habilitanta, detektory łączone są z układem odczytowym za pomocą długich przewodów, co jest szczególnym wymaganiem na tle podobnych systemów. Obecność przewodów wprowadza rezystancję pasożytniczą i złożony układ pojemności pasożytniczych skutkujących sprzężeniami pomiędzy sąsiednimi kanałami. Budowa detektora STS wymaga stosowania wielu zestawów „detektor – przewód” różniących się długościami detektora (2 cm – 12 cm) jak i przewodu (kilka – kilkanaście cm), co skutkuje zbiorem znacznie różniących się od siebie systemów detekcyjnych (o pojemności zmieniającej się w zakresie od kilku do kilkudziesięciu pF), które muszą być obsługiwane przez taki sam układ scalony. Detektory, ze względu na znaczącą długość, również wprowadzają szereg komponentów pasożytniczych (jak np. rezystancja szeregowo aluminiowego paska odczytowego), prąd upływu struktury p-n zmieniający się po napromieniowaniu i wiele innych. Wszystkie te wymagania utrudniają optymalizację i wymagają odpowiedniego modelowania (zwłaszcza w odniesieniu do poziomu szumów). Szczególny sposób budowy detektora - szerokość pasków, budowa mikroprzewodów, technika TAB-bondingu, enkapsulacja,

¹ Romaniuk, Ryszard. (2015). Eksperyment CBM. Elektronika - konstrukcje - technologie - zastosowania. 56. 100-105. 10.15199/13.2015.9.21.

grupowanie układów odczytowych na płytach drukowanych i ich chłodzenie oraz dostarczanie zasilania i odczyt danych - nakłada również ograniczenia pod względem mechanicznym i ilości rozpraszanej mocy. Projektowane układy scalone muszą ponadto pracować w niekorzystnych warunkach systemowych takich jak promieniowanie, zakłócenia elektromagnetyczne, czy silne pole magnetyczne (1T), które komplikuje możliwości dostarczenia odpowiedniej jakości zasilania (np. z powodu nasycania się rdzeni ferrytowych).

W pierwszej kolejności autor skupił się nad opracowaniem specyfikacji i wymagań dla układu scalonego. Jedną z kluczowych kwestii był wybór rodzaju układu typu *front-end* do przetwarzania i pomiaru ładunku wygenerowanego w detektorze. Jedną z obiecujących metod przetwarzania, które były rozważane, jest przetwarzanie typu *Time-over-Threshold*. Autor po doktoracie znacząco rozwinął tę koncepcję. W wyniku czego powstał prototypowy układ scalony, opisany w sekcji 2.B.

Równocześnie, w ramach badań nad alternatywną możliwą konfiguracją układu *front-end* powstawał pełnowymiarowy prototyp 128-kanalowego układu scalonego (STS-XYTER) wykorzystujący *front-end* analogowy (wzmacniacz ładunkowy i układy kształtujące), ale z częścią cyfrową (*digital back-end*) i obwodami pośrednimi (pomiar czasu i amplitudy, itp.) dostosowanymi do wymagań detektora STS. Autor był odpowiedzialny za projekt istotnych fragmentów tego obwodu, projekt systemów do testowania i realizację pomiarów i testów, co zostało opisane w sekcji 2.C.

Toczące się na przestrzeni lat prace rozwojowe nad eksperymentem CBM skutkowały często zmianami kluczowych wymagań postawionych układowi scalonemu m.in.: całkowicie nowa struktura systemu akwizycji danych wymagająca na nowo zaprojektowanej części cyfrowej i protokołu komunikacyjnego, szersze spektrum zastosowania – wsparcie dla detektora MUCH, precyzyjniej określone elementy pasożytnicze układu detektor-mikroprzewód, określone widmo szumów stabilizatorów zasilających część analogową i wiele innych. Konieczne było zaprojektowanie nowego, 128-kanalowego układu scalonego nazwanego STS/MUCH-XYTER2. Autor był liderem tego projektu, a z punktu widzenia jego projektowania był odpowiedzialny m.in. za cztery główne obszary:

- opracowanie i implementacja nowego, specjalizowanego protokołu komunikacyjnego. Został on również zaadaptowany przez inne zespoły projektujące układy scalone dla eksperymentu CBM,
- budowa istotnych fragmentów i weryfikacja nowego *back-end'u* cyfrowego dostosowanego do nowej specyfikacji systemu odczytowego,
- szerokie spektrum aspektów systemowych; w szczególności kwestia zasilania, odporności części analogowej na szczególne warunki, przeciążenia itp., testowalność, analizy szumowe uwzględniające złożoność systemu i wiele innych,
- budowa złożonych systemów do testowania wykonanych układów, seria pomiarów i testów funkcjonalnych, konsultacja systemów powstających w ośrodkach badawczych przez użytkowników układów scalonych STS/MUCH-XYTER2.

Te kwestie poruszone zostały w sekcji 2.D.

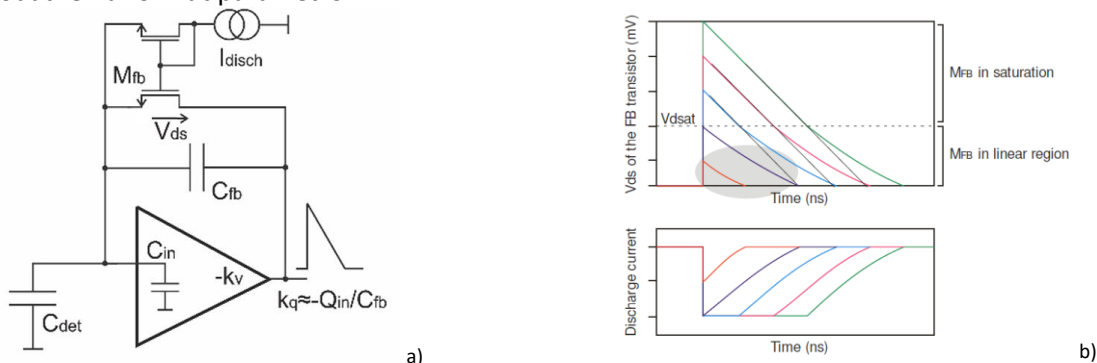
2.B. Przetwarzanie typu Time-over-Threshold

Autor przeprowadził badania nad możliwością zastosowania w wielokanałowym układzie scalonym metody typu ToT (*Time-over-Threshold*) do przetwarzania i konwersji na postać cyfrową ładunku w warunkach stawianych przez eksperyment CBM i detektor STS [H1]. Niewątpliwą zaletą przetwarzania typu ToT jest niskomocowa konwersja analogowo-cyfrowa poziomu ładunku wejściowego przy zachowaniu stosunkowo niskiej komplikacji i niewielkiej powierzchni zajmowanej przez struktury układu. Zastosowana konwersja amplitudy na postać cyfrową jest rodzajem przetwarzania całkującego (przetwornik analogowo-cyfrowy Wilkinsona) i polega na pomiarze czasu trwania impulsu, który jest zależny (liniowo lub nieliniowo) od wielkości mierzonego ładunku. Typowe tory do pomiaru amplitudy ładunku wykorzystują przetwornik analogowo-cyfrowy (typu SAR – *Successive Approximation Register* lub *Flash*) w każdym kanale lub jeden na kilka kanałów. Rozwiązanie takie w porównaniu do metody ToT znacznie podnosi wymagania dotyczących poboru mocy i powierzchni krzemu zajmowanej przez układ.

Uzyskanie liniowej odpowiedzi toru wykorzystującego przetwarzanie typu ToT przy zachowaniu niskiego szumu jest tematem badawczym podejmowanym przez różne zespoły. Rozwiązanie to, w typowym podejściu, wykorzystuje rozładowanie prądem stałym kondensatora we wzmacniaczu ładunkowym (Rys. 8 a). Lustro prądowe pracujące z prądami I_{disch} rzędu nA w warunkach braku sygnału na wejściu zapewnia poprawną polaryzację układu i ustala punkt pracy zachowując się jak rezystor. W momencie pojawienia się impulsu prądowego skutkującego wytworzeniem proporcjonalnej do $1/C_{fb}$ różnicy potencjałów pomiędzy wejściem

i wyjściem wzmacniacza, lustro prądowe zaczyna pracować i usuwać zgromadzony ładunek prądem I_{disch} . W związku z tym czas trwania impulsu na wyjściu jest proporcjonalny do wielkości ładunku wejściowego (Rys. 8 b), a więc charakterystyka przetwarzania jest liniowa. Rozwiązanie to sprawdza się w aplikacjach pikselowych^{1 2 3}, gdzie pojemność sensorów jest bardzo mała (< 200 fF) i stosunkowo niewielka wymagana szybkość przetwarzania sygnałów pozwalała na pracę bez filtrów kształtujących (tzw. *shaper'ów*).

Istniejące rozwiązania przetwarzania typu ToT dla detektorów paskowych (pojemność > 1 pF) uzyskiwały do tej pory nieliniową charakterystykę przetwarzania ze względu na stosowanie filtrów kształtujących^{4 5}. Rozwijane są również metody linearyzacji odpowiedzi takich torów przetwarzania sygnału ładunkowego. Zastosowanie dynamicznie zmieniającego się progu komparatora⁶ pomaga zlinearyzować odpowiedź układu (sprawdzone dla czasu kształtowania $6 \mu s$) ale ze względu na wysoką podatność na rozrzuty produkcyjne wymaga precyzyjnej kalibracji. Rozwiązanie to jest bardziej złożone od zaprezentowanego przez habilitanta a jego szybkość nie spełnia wymagań stawianych przez detektor STS. Podejście wykorzystujące większą liczbę progów komparatora⁷ również zwiększa złożoność systemu oraz ilość danych generowanych na jedno zdarzenie i wymaga obliczeń matematycznych w dalszym etapie przetwarzania a także jest bardziej podatne na rozrzut parametrów.

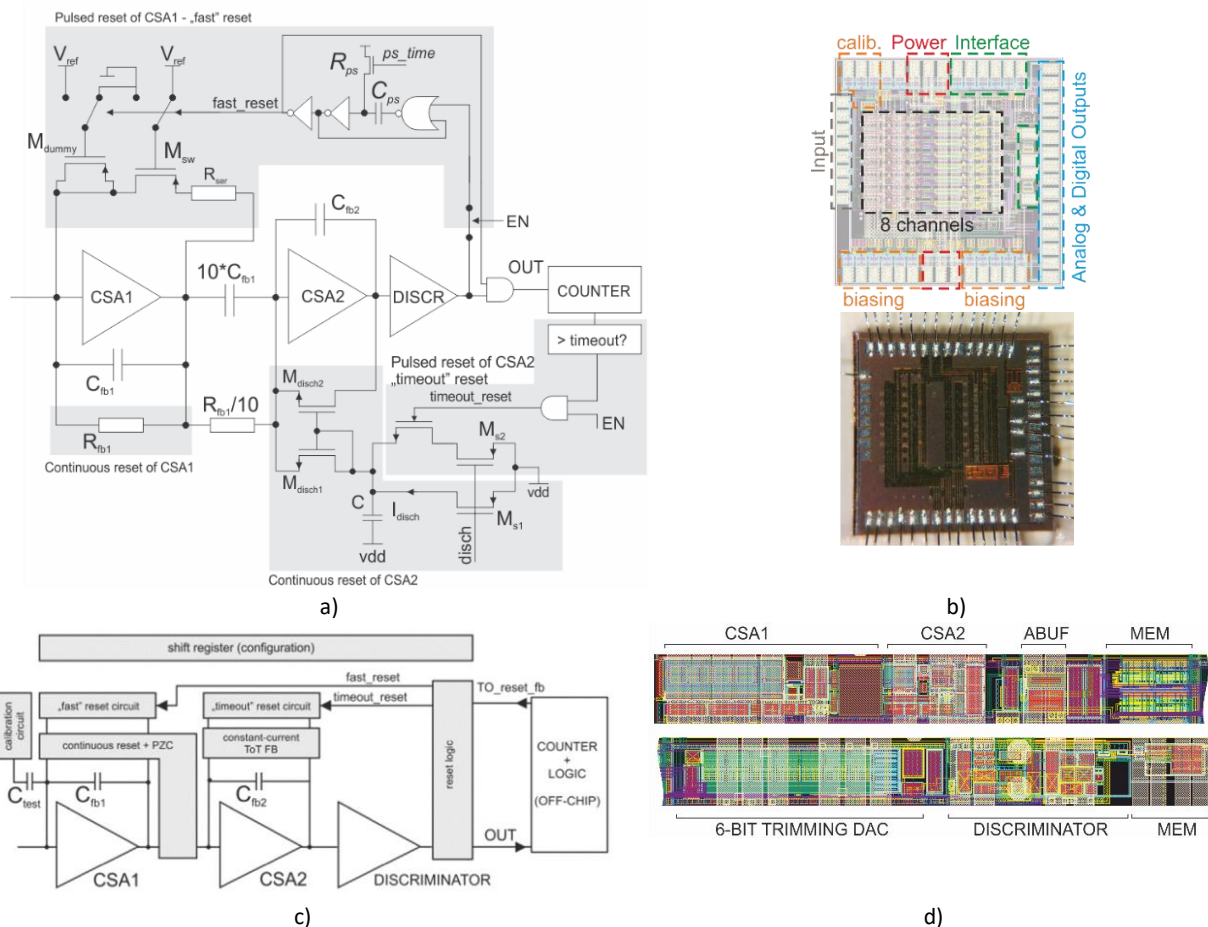


Rys. 8 a) Klasyczne podejście do przetwarzania typu *Time-over-Threshold* z aplikacji pikselowych zapewniające liniową charakterystykę przetwarzania bez użycia *shaper'a* [H1]. b) Efekt degradacji prądu rozładowania wpływający na sumy i liniowość gdy próg komparatora jest na niskim poziomie.

Zastosowanie metody ToT dla aplikacji z detektorami o dużej pojemności wiąże się z poważnymi trudnościami. Skuteczne zebranie ładunku wygenerowanego w detektorze wymaga zapewnienia odpowiednio wysokiej pojemności wejściowej wzmacniacza $C_{ineff} = C_{fb} \cdot (k_v + 1) \gg (C_{det} + C_{in})$, znacząco większej od sumy pojemności detektora C_{det} i pojemności C_{in} tranzystora wejściowego M_{in} . Wymaganie to tym trudniej spełnić, im większa jest pojemność detektora. Optymalizacja szumowa wymaga jednocześnie zwiększenia pojemności bramkowej tranzystora wejściowego. Konieczne jest zatem zapewnienie bardzo wysokiego wzmocnienia wzmacniacza k_v w paśmie sygnału wejściowego (ograniczone przez budżet mocy) i/lub większej pojemności w sprzężeniu zwrotnym C_{fb} . Wyższa pojemność C_{fb} oznacza spadek wzmocnienia ładunkowego (mniejsza amplituda impulsu) wzmacniacza, a tym samym potencjalnie większy wkład szumowy od bloków elektronicznych znajdujących się za wzmacniaczem wejściowym. Poprawna praca lustra prądowego w sprzężeniu zwrotnym wymaga przekroczenia przez sygnał wyjściowy napięcia nasycenia V_{dssat} dren-źródło tranzystora M_{fb} . W przeciwnym wypadku, układ w sprzężeniu zwrotnym zachowuje się jak rezystor. Spowodowana tym faktem redukcja prądu rozładowania (poniżej wartości nominalnej I_{disch}) powoduje pojawienie się nieliniowości charakterystyki przetwarzania ToT, gdy próg komparatora ustawiony jest nisko. Skutkuje to również zmniejszeniem nachylenia zbocza opadającego (dV/dt) impulsu na wyjściu wzmacniacza ładunkowego (CSA, *Charge Sensitive Amplifier*) (Rys. 8b) powoduje, że znacznemu pogorszeniu ulega rozdzielczość pomiaru amplitudy gdy próg komparatora ustawiony jest nisko.

1 J.-F. Genatetal., OMEGAPIX2:3D integrated circuit prototype dedicated to the ATLAS pixel detector for the high luminosity LHC, Proceedings of the IEEE Nuclear Science Symposium and Medical Imaging Conference, 2012, pp.793– 796.
2 C. Berg,etal., Bier&Pastis, A pixel readout prototype for LHC, Nucl.Instr. Meth. Phys.Res.A 439(2000)80–90.
3 D. CalvoP,etal., TOPIX:the first prototype of pixel readout for PANDA experiment,Nucl.Instr.Meth.Phys.Res.A596(2008)96–99.
4 E. Delagnes,etal.,SFE16,a low noise front-end integrated circuit dedicated to the read-out of large micromegas detectors, IEEE Trans.Nucl.Sci.47(2002).
5 P.F. Manfredi, L. Ratti, V. Re, N.A. Roe, V. Speziali, Noise limits of AToM, a 128 channel CMOS readout chip in applications with room temperature high granularity detectors, Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, Volume 458, Issues 1–2, 2001, Pages 382-391, https://doi.org/10.1016/S0168-9002(00)00885-8.
6 K.Shimazoe,et al., Dynamic time over threshold method, IEEE Trans.Nucl.Sci. 59 (2012)3213–3217, http://dx.doi.org/10.1109/TNS.2012.2215338.
7 W.Yonggang,Z.Wensong,C.Jun, A novel nuclear pulse digitizing scheme using time over dynamic threshold, IEEE Nuclear Science Symposium Conference Record (NSS/MIC),2011,pp.2174–2179, http://dx.doi.org/10.1109/ NSSMIC.2011.6154440.

Mając na uwadze zidentyfikowane w ramach doktoratu ograniczenia rozwiązań układowych, po obronie pracy doktorskiej, autor zaproponował nowy dwustopniowy wzmacniacz ładunkowy (Rys. 9 a, b). Dzięki wykorzystaniu dwóch stopni i podzieleniu pomiędzy te dwa stopnie funkcjonalności, udało się odizolować konkurujące wymagania i uprościć założenia projektowe. Umożliwiło to lepszą optymalizację tych stopni (np. zapewnienie odpowiednio wysokiej pojemności wejściowej i zbierania całego ładunku wygenerowanego w detektorze, poprawną pracę układu do rozładowania prądem stałym nawet dla małych ładunków). Zaowocowało to uzyskaniem liniowej charakterystyki przetwarzania dla detektorów o pojemności nawet rzędu kilkunastu pF przy zachowaniu niewielkiego poboru mocy (kilka mW). Istotnym elementem zaproponowanego rozwiązania jest system obwodów zerowania cyfrowego. Uodparniają one tor na przeciążenia bardzo dużymi impulsami wejściowymi, jednocześnie zapewniając wysoką szybkość pracy toru przetwarzania bez negatywnego wpływu na szumy.

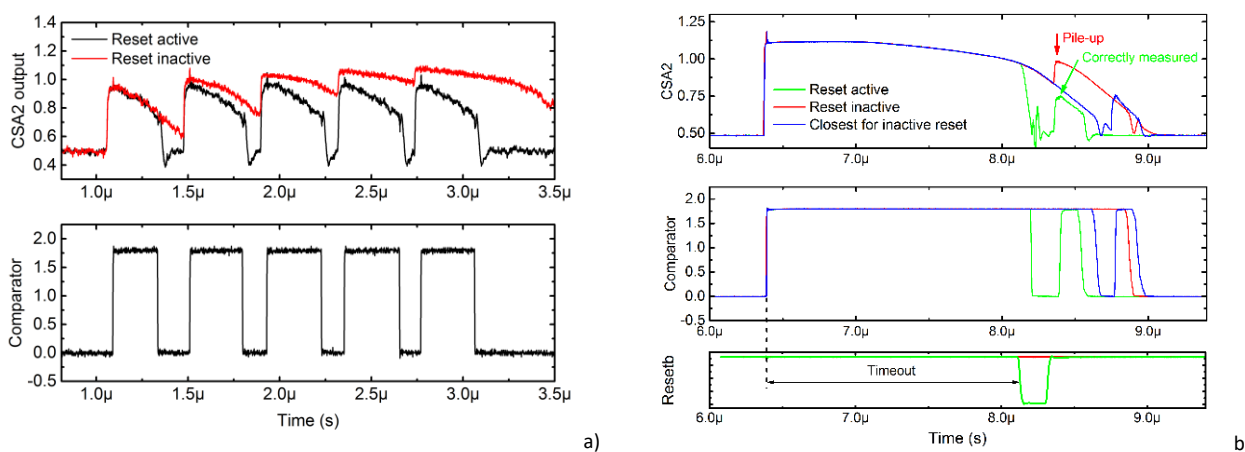


Rys. 9 a) Schemat opracowanego rozwiązania dwustopniowego wzmacniacza z wielopoziomowym układem rozładowania i resetowania [H1]. b). Topologia i fotografia wyprodukowanych układów prototypowych [H1]. c) Diagram blokowy kanału [H1]. d) Topologia pojedynczego kanału [H1]. (powierzchnia: 58 μm x 950 μm).

Autor opracował koncepcję, przeprowadził badania symulacyjne i zaimplementował swoje rozwiązanie w prototypowym, 8-kanałowym układzie scalonym o wymiarach 1.5 mm x 1.5 mm wykonanym w technologii UMC 180 nm CMOS (Rys. 9 b). Układ ten, wraz z obwodami polaryzującymi i kalibrującymi jest konfigurowany za pomocą 160-bitowej pamięci. Prototyp wykorzystuje geometrię zamkniętej bramki (ELT, *Enclosed Layout Transistor*) dla tranzystorów NMOS w celu zapewnienia podwyższonej odporności radiacyjnej (Rys. 9 d). Zastosowanie geometrii ELT znacząco ogranicza swobodę w doborze wymiarów tranzystora ponieważ szerokość tranzystora musi być znacznie większa niż jego długość. Zaprojektowane wzmacniacze mają asymetryczną architekturę zawiniętej kaskody z tranzystorem wejściowym typu PMOS zasilanym osobną domeną zasilania o obniżonym napięciu (1.4 V zamiast 1.8 V) spolaryzowanym prądem 1 mA (CSA1) i 0.16 mA (CSA2). Pierwszy stopień przetwarzania (CSA1) (Rys. 9 a,c) ma za zadanie zebrać ładunek z detektora zapewniając odpowiednio wysoką efektywną pojemność wejściową poprzez wysokie wzmocnienie wzmacniacza i odpowiednie wyważenie wielkości kondensatora w sprzężeniu zwrotnym. Układ równoważenia par zero-biegun PZC (*Pole-Zero Cancellation*) oparty jest o elementy $10 \cdot C_{fb}$ i $R_{fb}/10$. Kompensuje on wpływ

bieguna pochodzącego od elementów C_{fb1} i R_{fb1} zapewniając jednocześnie wzmocnienie impulsu prądowego. Drugi stopień toru (CSA2) implementujący przetwarzanie typu ToT pracuje ze znacznie większym sygnałem, a co za tym idzie układ do rozładowania prądem stałym może zapewnić wysoką liniowość funkcji przetwarzania.

Długa stała czasowa rozładowania wzmacniacza CSA1 rzędu dziesiątek mikrosekund ograniczałaby możliwość pracy układu z dużą częstotliwością impulsów wejściowych. Spiętrzenia (*pile-up*) to nakładanie się na siebie impulsów przed powrotem napięcia wyjściowego do poziomu bazowego (*baseline*) mogące spowodować duże błędy w pomiarze ładunku. Autor zastosował układ szybkiego cyfrowego zerowania (tzw. *reset*) tego stopnia, wyzwalanego po zakończonym przetwarzaniu ładunku (Rys. 9 a,c). Funkcja ta pozwala również uniknąć przesuwania się punktów pracy wzmacniacza, a w szczególności zmiany efektywnej rezystancji tranzystorów w sprzężeniu zwrotnym pracujących w zakresie liniowym. Układ zerowania jest zaprojektowany tak, aby skompensować efekt wstrzykiwania ładunku przez klucze oraz zminimalizować efekty przejściowe. **Zastosowanie układu zerowania pozwoliło zwiększyć częstotliwość impulsów wejściowych jakie są poprawnie przetwarzane o ok 70% (Rys. 10 a). Testy wykazały poprawną pracę przy częstotliwości 2.5 MHz z wykorzystaniem ładunku wejściowego równego 2 fC.**



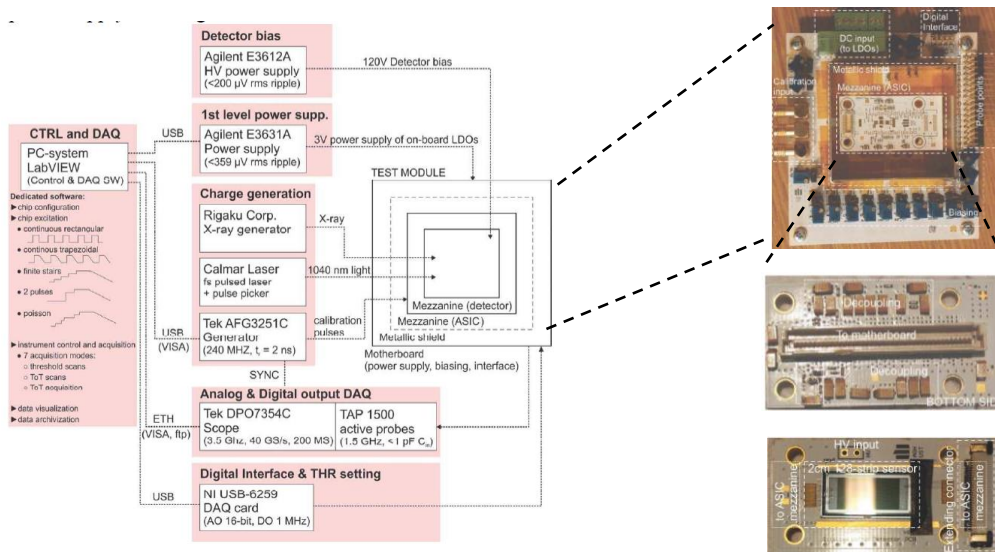
Rys. 10 a) Pomiary ilustrujące działanie szybkiego zerowania (*fast reset*) we wzmacniaczu CSA1 znacząco podnosząc maksymalną częstotliwość impulsów wejściowych [H1]. B) Pomiary wskazujące działanie resetu typu *timeout* we wzmacniaczu CSA2 pozwalające na poprawne przetworzenie impulsu po przeciążeniu [H1].

Czas przetwarzania ładunku proporcjonalny do wielkości ładunku wejściowego jest jednocześnie wadą jak i zaletą techniki ToT. Artefakty występujące w eksperymentach fizyki wysokiej energii mogą skutkować wygenerowaniem bardzo dużego ładunku, co w konsekwencji może skutkować bardzo długim czasem martwym w torze ToT co może powodować utratę danych istotnych. Aby zapobiec takim sytuacjom **autor zaproponował układ zerowania nazwany „timeout reset”, który w przeciwieństwie do typowych architektur jest wyzwalany nie przez poziom amplitudy sygnału, ale przez czas jego trwania (Rys. 10 b). Według wiedzy autora do czasu publikacji nie powstało podobne rozwiązanie w przetwarzaniu typu ToT.** Wyzwolenie układu zerowania powoduje znaczne zwiększenie prądu rozładowującego kondensator w sprzężeniu zwrotnym wzmacniacza CSA i dzięki temu pozwala określić maksymalny możliwy czas martwy dostosowany do wymagań i spodziewanych poziomów sygnałów ładunkowych w danej aplikacji.

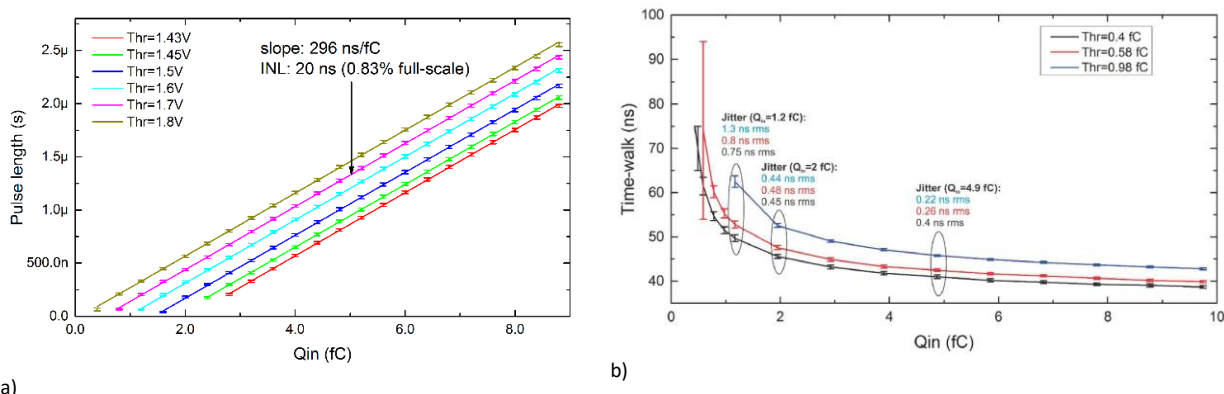
Wyprodukowany prototyp układu scalonego z zaproponowanym rozwiązaniem ToT autor kompleksowo przetestował na opracowanym przez siebie systemie testowym (Rys. 11). Przeprowadzono szereg testów i pomiarów. Autorowi udało się uzyskać przetwarzanie typu ToT o liniowej charakterystyce przejściowej (INL = 0.83 %) w systemie o dużej pojemności detektora (kilka – kilkadziesiąt pF). Uzyskane regulowane wzmocnienie czas-ładunek wejściowy wynosi 100-600 ns/fC, a napięciowe 227±5.54 mV/fC. Pobór mocy zaprezentowanego rozwiązania wynosi 2.5 mW/kanal. Układ pozwala pracować z maksymalną częstotliwością 2.5 MHz dla typowych impulsów wejściowych 2 fC. Uzyskany poziom szumów wynosi ENC=273 + 51.8·C_{det} e⁻ rms. Dokładniejsze porównanie oraz wszystkie zmierzone parametry układu znajdują się w pracy [H1]. Wybrane wyniki pomiarów przedstawiono na rysunkach 12 i 13.

Właściwością zastosowanego rozwiązania jest fakt, że rozdzielczość pomiaru czasu, wynikająca głównie z *jitter'a* pochodzącego z projekcji szumu napięciowego przez narastające zbocze na wyjściu CSA2, jest silnie zależna od zastosowanej filtracji (w tym przypadku ograniczenia pasma wzmacniacza CSA2). Efekt ten rozwiązywany jest w układach o klasycznej architekturze poprzez zastosowanie dwóch ścieżek z filtrami kształtującymi, zoptymalizowanymi pod kątem dwóch konkurujących ze sobą wymagań (niski szum i wysoka

szybkość). W zaprezentowanym podejściu jednoczesne spełnienie restrykcyjnych wymagań dla obu parametrów jest trudne i wymaga wypracowania kompromisu poprzez wybór stopnia filtracji szumów we wzmacniaczu CSA2.

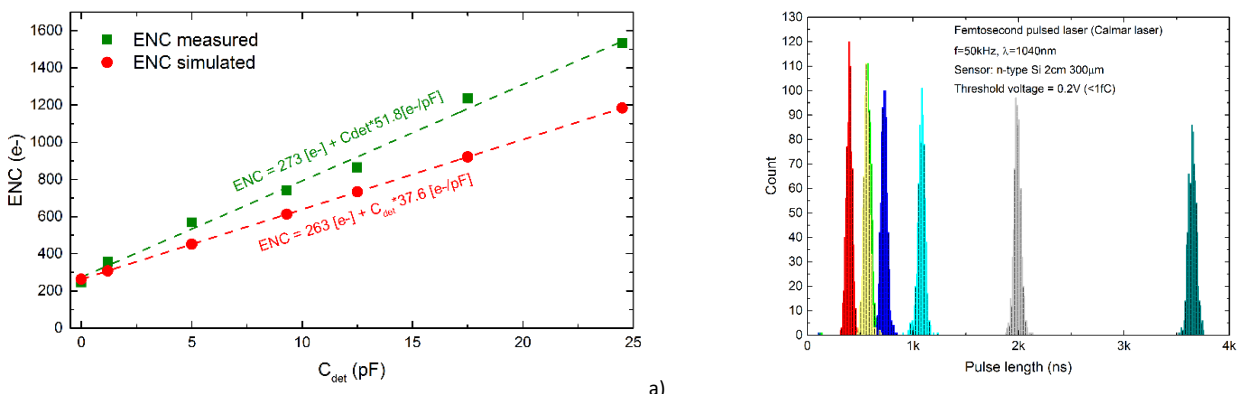


Rys. 11 Szczegółowe przedstawienie systemu do pomiarów i testów wykonanych układów scalonych skróto opisanych w [H1]. Budowa obwodu testowego jest modułowa. Pozwala to sprawnie przetestować wiele układów testowych umieszczonych na mini-modułach oraz szybko podłączyć do nich ten sam detektor za pomocą nakładanego modułu. Pozwala to uniknąć bondowania bezpośrednio pomiędzy układem scalonym a detektorem.



Rys. 12 a) Zmierzone charakterystyki przetwarzania pokazujące liniowość opracowanego rozwiązania dla różnych progów komparatora [H1]. b) Zmierzone wartości jittera i błędu pomiaru czasu (efekt wędrowania znacznika czasowego) wyprodukowanego układu.

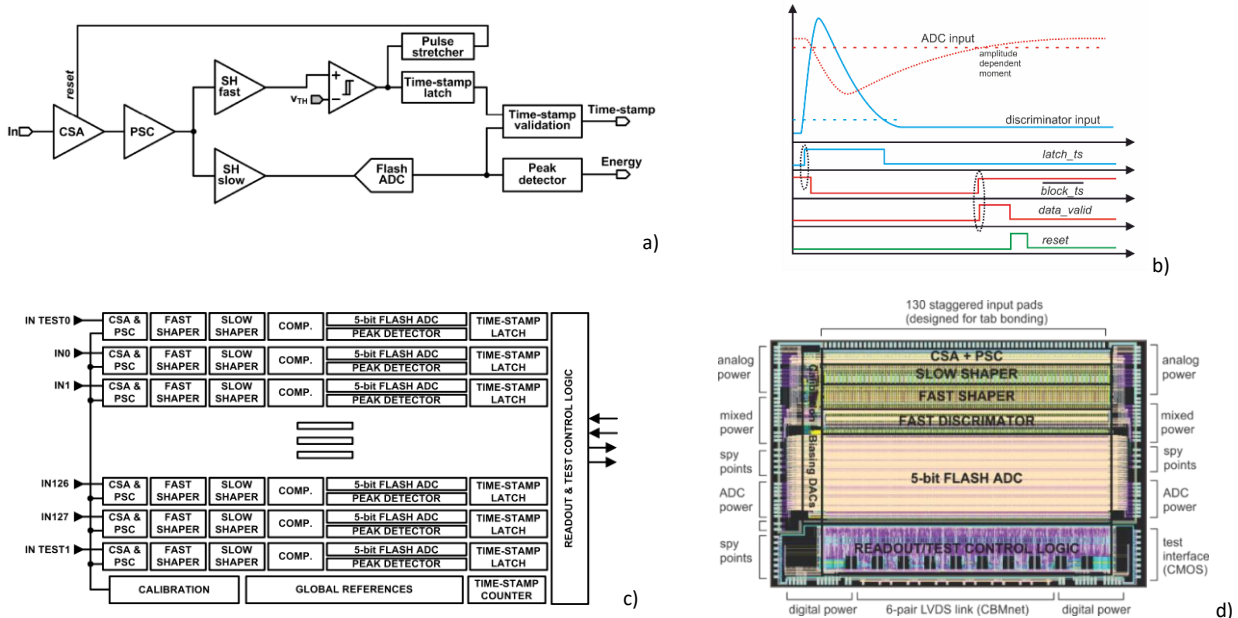
Uzyskane wyniki szybkościowe, szumowe i zarejestrowane widma lasera w połączeniu z niskim poborem mocy oraz możliwością jednoczesnego pomiaru zarówno amplitudy z liniową charakterystyką przetwarzania, jak i czasu wystąpienia zdarzenia, wykazały zalety opracowanego rozwiązania w wybranych niszach aplikacyjnych (np. eksperymenty fizyczne wykorzystujące detektory gazowe lub półprzewodnikowe). Na tle podobnych rozwiązań, uzyskane wyniki są konkurencyjne [H1].



Rys. 13. a) Zmierzone wartości równoważnego ładunku szumowego charakteryzujące zdolność rozdzielczą układu [H1]. b) Zarejestrowane widma światła laserowego z wykorzystaniem detektora krzemowego [H1].

2.C. STS-XYTER - pierwszy pełnowymiarowy prototyp dla detektora STS

Pierwszy pełnowymiarowy, prototypowy układ odczytowy dla potrzeb detektora STS został nazwany STS-XYTER (*Silicon Tracking System X & Y Time and Energy Readout*) [H2]. Na potrzeby tego autoreferatu używana będzie nazwa SMX1. Powstał on równoległe z rozwiązaniem zaprezentowanym w poprzedniej sekcji implementując inny rodzaj elektroniki typu front-end celem umożliwienia grupom fizyków i inżynierów uczestniczących w projekcie eksperymentu CBM prace z opracowanymi detektorami.



Rys. 14 a) Schemat pojedynczego kanału. Wzmocniony impuls ładunkowy jest przetwarzany w dwóch układach kształtujących i poddany pomiarowi czasu wystąpienia zdarzenia oraz amplitudy impulsu [H2]. b) Zależności czasowe wewnątrz kanału pozwalające na generację zdarzeń ze znacznie niższym poziomem szumów niż wynika to z właściwości toru do pomiaru czasu. c) Diagram blokowy układu SMX1 [H2]. d) Plan masek układu scalonego z oznaczonym rozkładem padów i funkcjonalności wewnątrz kości [H2].

W ramach prac koncepcyjnych wyłonione zostało rozwiązanie wykorzystujące wzmacniacz ładunkowy pracujący z dwoma równoległymi torami opartymi o układy kształtujące z rzeczywistymi biegunami typu CR-RC⁽ⁿ⁾ (Rys. 14 a). Transmitancje torów zoptymalizowane zostały pod kątem pomiaru czasu (komparator typu *leading-edge discriminator* współpracujący z licznikiem i zatrzaskiem znacznika czasowego, *timestamp latch*) i pomiaru amplitudy (współpraca z 5-bitowym przetwornikiem analogowo-cyfrowym typu *continuous-time FLASH ADC* w każdym z kanałów). Podejście z wykorzystaniem osobnych torów jest znane z literatury (np. układ n-XYter^{1 2}). SMX1 zawiera jednak układ walidacji znacznika czasowego pozwalający na znaczne zmniejszenie fałszywych zliczeń wynikających z szumu w kanale szybkim, w każdym z kanałów integruje szczególnego rodzaju przetwornik analogowo-cyfrowy typu *continuous-time FLASH* niewymagający wyzwalań do pomiaru amplitudy. W toku projektowania wykorzystano także rozbudowane modele nie tylko docelowego detektora, ale również najbliższego sąsiedztwa układu scalonego, co pozwoliło lepiej zoptymalizować układ pod kątem uzyskiwanych parametrów szumowych. Każdy ze 128 kanałów produkuje 12-bitowy znacznik czasowy (2 ns rozdzielczości, kod Gray'a) i 5-bitową informację o amplitudzie impulsu. Na poziomie części cyfrowej zdarzenia są sparsyfikowane (a więc odczytywane są tylko dane istotne) i transmitowane za pomocą protokołu CBMnet opracowanego przez zespół z UNI Heidelberg, Mannheim i zaadaptowanego w układzie SMX1 przez habilitanta. Topologia układu znajduje się na Rys. 14 b. Układ został wyprodukowany w technologii UMC 180 nm CMOS i zajmuje powierzchnię 10 mm x 6.5 mm, a wymiar pojedynczego kanału to 58 μm x 4.3 mm. Pobór mocy to 6.15 mW/kanał (3.25 mW – wzmacniacz ładunkowy i filtry, 2.4 mW – przetwornik ADC 0.5 mW moc części cyfrowej przeliczonej na jeden kanał). **Habilitant był odpowiedzialny za opracowanie koncepcji układu scalonego SMX1 i projekt istotnych komponentów układu scalonego z uwzględnieniem wielu aspektów systemowych, budowę systemów do jego testowania i realizację testów oraz weryfikację funkcjonalną. Ze względu na ograniczenie objętości artykułów, część z**

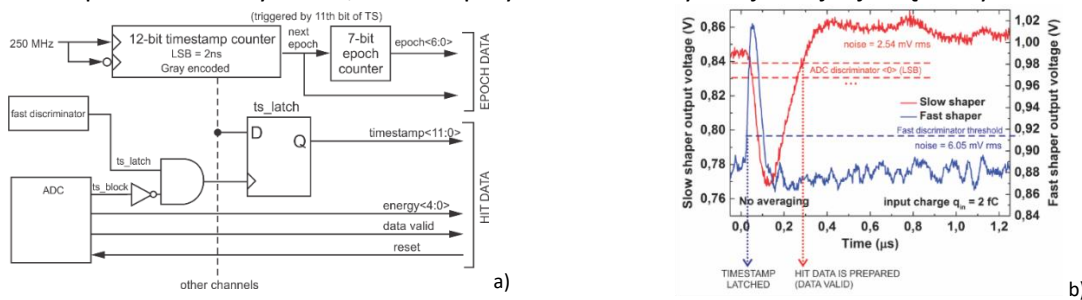
¹ Brogna, A. S., Buzzetti, S., Dabrowski, W., Fiutowski, T., Gebauer, B., Klein, M., ... Trunk, U. (2006). N-XYTER, a CMOS read-out ASIC for high resolution time and amplitude measurements on high rate multi-channel counting mode neutron detectors. *Nucl. Instr. Meth. Phys. Res. A.*, 568(1), 301–308.

² Kasiński, K., Szczygieł, R., & Czermak, A. (2009). Test results of a self-triggering silicon strip detector readout chip. *Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 607(1). <https://doi.org/10.1016/j.nima.2009.03.167>.

wykazanych fragmentów tego złożonego układu nie została dogłębnie opisana w pozycji [H2], jednak ich obecność w układzie scalonym jest kluczowa i została opisana w sekcjach poniżej. Warto zaznaczyć, że część opracowań z układu SMX1 po drobnych modyfikacjach została wykorzystana również w układzie SMX2 (sekcja 2.D) – w takim przypadku, zmiany zostały opisane tylko w części 2.C z informacją o wykorzystaniu również w SMX2.

2.C.1. Blok do pomiaru czasu zdarzenia

Rys. 14 a ilustruje funkcjonalność pojedynczego kanału układu scalonego. Jedną z kluczowych funkcjonalności wymaganych od układu scalonego jest nadawanie precyzyjnych znaczników czasowych (*timestamp*) każdemu z zarejestrowanych impulsów ładunkowych. Składa się on z szybkiego komparatora współpracującego z szybkim filtrem kształtującym (*fast shaper*), globalnego licznika i logiki zatrzymującej znacznik w każdym kanale (Rys. 15 a). Układ ten ściśle współpracuje z przetwornikiem analogowo-cyfrowym aby zapewnić precyzyjne przypisanie znacznika czasowego zdarzeniu. Zależności czasowe pomiędzy sygnałami są ideowo pokazane na Rys. 14 b, a ich eksperymentalna weryfikacja znajduje się na Rys. 15 b.



Rys. 15 a) Sposób generacji danych cyfrowych wewnątrz kanału i interfejs pomiędzy kolejką FIFO a kanałem analogowym [H2]. b) Pomiarowa weryfikacja zależności czasowych pomiędzy ścieżką do pomiaru amplitudy i do pomiaru czasu wraz ze wskazaniem momentu pomiaru czasu [H2].

Habilitant był odpowiedzialny za projekt bloku do pomiaru czasu zdarzenia; m.in. szybki komparator, blok korekcji napięć niezrównoważenia za pomocą 6-bitowego przetwornika cyfrowo-analogowego (sieć binarnie ważonych źródeł prądowych) i układ repliki korygującej efekty PVT (*Process-Voltage-Temperature*). Przeprowadził on także symulacje całego toru przetwarzania pod kątem oceny rozrzutów i oceny rozdzielczości pomiaru czasu z uwzględnieniem efektów niedopasowania, efektu wędrowania czasu (tzw. *time-walk*) oraz możliwości korekcji błędów wyznaczania sygnatury czasowej z wykorzystaniem pomiarów amplitudy.

2.C.2. Drzewo do konfiguracji części *Analog Front-end* i odczytu liczników odporna radiacyjnie

Część analogowa układów SMX zawiera 128 kanałów i bloki do polaryzacji, które wymagają konfiguracji. Pamięć konfiguracyjna jest rozproszona na całym obszarze części analogowej (4.4 mm x 8.3 mm). Obszary te będą poddawane działaniu promieniowania jonizującego. Zachowanie poprawnej pracy układu wymaga, aby pamięć konfiguracyjna była utrzymywana w poprawnym stanie, dlatego niezwykle istotne jest zapewnienie odpowiednio wysokiej odporności efekty typu SEU (*Single-Event Upset*). Niechciana zmiana konfiguracji układów scalonych w trakcie pracy w eksperymencie może zaburzyć ich pracę na dłuższy czas.

Każdy z kanałów zawiera 31 12-bitowych liczników i 33 8-bitowych rejestrów konfiguracyjnych zaimplementowanych w architekturze typu DICE¹ (*Dual-Interlocked Storage Cell*). W porównaniu do typowej komórki pamięci SRAM, zawierającej dwa inwertery, komórka DICE, dzięki czterem wzajemnie sprzężonym stopniom, pozwala na utrzymanie poprawnego stanu logicznego, nawet gdy skutek zdarzenia SEU zmieni się stan jednego z nich.

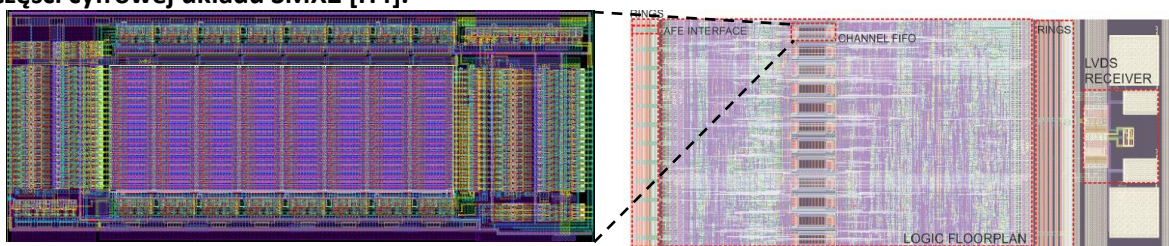
Autor zaprojektował drzewo do konfiguracji układu SMX1 i odczytu zawartości liczników poprzez część cyfrową. Układ ten jest asynchronicznym obwodem full-custom, lecz komunikuje się z częścią cyfrową za pomocą równoległego interfejsu z 12-bitowymi liniami danych, 14-bitowym adresem i sygnałami wyzwalającymi zapis i odczyt (*strobe*). Rejestry są adresowane za pomocą wyboru kolumny i rzędu, dekodowanych z adresu. Aby dotrzeć do każdego z docelowych komórek zastosowano dwukierunkowe magistrale wewnątrz kanałów oraz wspólną magistralę pionową z buforami 3-stanowymi, zatrząskami oraz układami do ładowania wstępnego (*precharge*). Różna długość słowa liczników i rejestrów wymagała selektywnego podciągania czterech najbardziej znaczących bitów przy odczycie rejestrów. Duża powierzchnia

¹T. Calin, M. Nicolaidis and R. Velazdo, "Upset hardened memory design for submicron CMOS technology," IEEE Transactions of Nuclear Science, 43 (6) (1996).

obwodu skutkuje dużymi wartościami komponentów pasożytniczych, co wymagało odpowiedniego wyboru bramek i buforów. Zarówno zapis, jak i odczyt wymaga sekwencyjnego załączania i wyłączenia poszczególnych elementów na poziomie magistralach. W zagwarantowaniu odpowiednich zależności czasowych pomógł układ oparty o *non-overlapping clock generator*, dzięki któremu możliwe jest wytworzenie asynchronicznej sekwencji wielu sygnałów sterujących, przy czym kolejność zboczy w sekwencji nie zależy od efektów PVT (*proces-voltage-temperature*). Struktura jest uodporniona na efekty radiacyjne. **Zaprojektowany układ, po dodatkowych modyfikacjach (15-bitowa magistrala adresowa, więcej liczników i rejestrów w kanałach) został przez habilitanta wykorzystany w również układzie SMX2.**

2.C.3. Kolejka FIFO (*full-custom*) oparta o pamięć typu DRAM

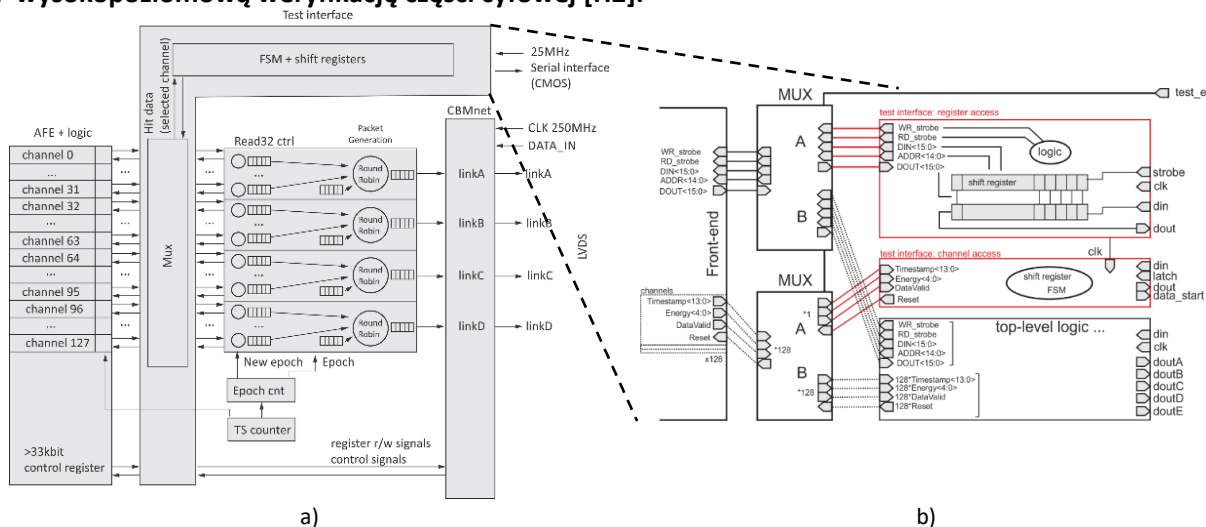
Habilitant zaprojektował i zweryfikował komórkę kolejki FIFO (*First In, First Out*) o pojemności 8 słów 22-bitowych, która jest sparowana z każdym ze 128 kanałów układu scalonego zapewniając odpowiednie buforowanie danych (czas i amplituda) (Rys. 16). Aby umożliwić udaną integrację, istotne było zachowanie niewielkiej szerokości (poniżej 58 μm), uwzględniając techniki poprawy odporności na efekty radiacyjne oraz minimalizację sprzęgania zakłóceń przez podłoże. **Pamięć ta została wykorzystana również w części cyfrowej układu SMX2 [H4].**



Rys. 16 a) topologia pamięci FIFO opartej o pamięć DRAM zaprojektowanej przez autora. b) Lokalizacja pamięci FIFO w układzie SMX2 [H4].

2.C.4. Symulacje wysokopoziomowe części cyfrowej układu SMX1 i interfejs testowy

Każdy ze 128 kanałów układu scalonego generuje znacznik czasowy, informację o amplitudzie oraz marker utraconego zdarzenia. Dane te są buforowane w każdym kanale z przedstawionej w poprzedniej sekcji kolejki FIFO 8x22. Pamięci te są następnie odczytywane z wykorzystaniem struktury typu *token-ring* w czterech grupach po 32-kanały (Rys. 17 a). Każda z czterech grup dysponuje wyjściowym serializerem pracującym w trybie DDR z szybkością 500 Mbps w standardzie LVDS. Tzw. epoka (*epoch*) jest 7-bitowym rozszerzeniem znacznika czasowego i jest wysyłana przez interfejs cyfrowy za pomocą osobnej ramki. Czas w układzie SMX1 mierzy się w okresach równych 4.096 μs . **Autor był odpowiedzialny za opracowanie koncepcji i wysokopoziomową weryfikację części cyfrowej [H2].**



Rys. 17 a) Część cyfrowa układu SMX1 wraz z interfejsem testowym [H2]. Fragment ten stanowi sam początek systemu akwizycji danych (DAQ) eksperymentu CBM w detektorach STS i MUCH, b) Uproszczony diagram interfejsu testowego (na przykładzie SMX2).

Autor opracował również dodatkowy interfejs testowy (Rys. 17 b) podobny do SPI (*Serial Peripheral Interface*) pozwalający na szeregową komunikację z układem scalonym z szybkością 20 Mbps bez narzutu i wymagań stawianych przez protokół CBMnet. Funkcjonalność tego obwodu zapewnia przejęcie kontroli

nad dostępem do rejestrów w części AFE oraz odczyt zarejestrowanych zdarzeń z jednego, wybranego kanału z szybkością 1.3 MHz/s. Dzięki temu możliwe jest sprawdzenie poprawności działania całej części analogowej bez konieczności taktowania całej części cyfrowej częstotliwością 250 MHz. **Funkcjonalność ta pozwala również oszacować wpływ szybkich układów cyfrowych na szумы części analogowej układu SMX, ponieważ do jego pracy taktowana jest bardzo niewielka ilość zasobów cyfrowych. Jest to unikalna funkcjonalność względem istniejących rozwiązań.** Testowy interfejs wymaga 11 wyprowadzeń w standardzie LVCMOS 1.8V i pracuje z częstotliwością 25 MHz. **Interfejs testowy został również przez habilitanta zaadaptowany i zaimplementowany w układzie SMX2 [H4].**

2.C.5. Symulacje i integracja protokołu komunikacyjnego CBMnet

Protokół oraz interfejs komunikacyjny CBM Network Protocol (CBMnet¹) został opracowany przez zespół z Uniwersytetu Heidelberg pod kątem wymagań stawianych przez eksperyment CBM, czyli szybkiej transmisji danych (500 Mbps), bezpiecznej transmisji pakietów sterujących oraz możliwość precyzyjnej synchronizacji tysięcy układów scalonych w systemie (realizowany jako tzw. DLM *Deterministic-Latency Messages*)². **Autor miał za zadanie wysokopoziomową symulację protokołu oraz interfejsu pomiędzy warstwą protokołu (Rys. 17) a logiką wewnętrzną układu SMX1 w kierunku udanej implementacji oraz symulację komunikacji z wyprodukowanymi prototypami poprzez 4 wyjściowe łącza danych.**

2.C.6. Modelowanie i optymalizacja budowy zestawów detektor-mikroprzewód-układ odczytowy

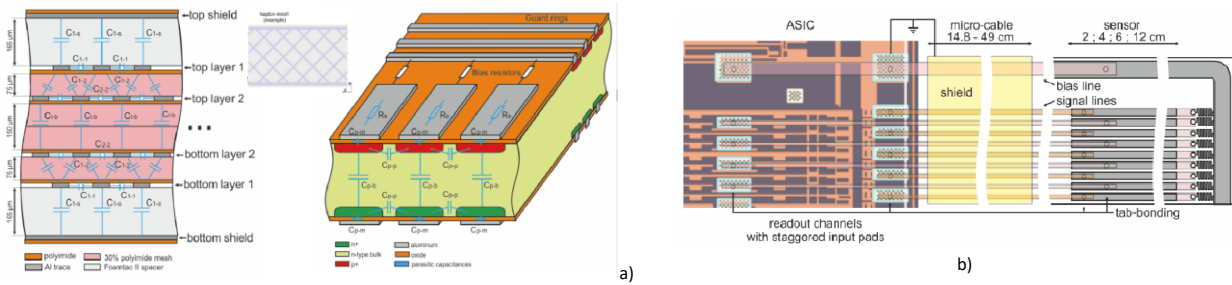
Poziom szumów systemu detekcyjnego zależy w dużej mierze od pojemności detektora, wydajności układów odczytowych (determinowanej jego architekturą, doбором charakterystyk filtrów, wymiarów i polaryzacji wejściowego tranzystora, itp.), ale również od innych właściwości (m.in. od wszystkich elementów pasożytniczych sensora i przewodu, które w tej aplikacji mają duże znaczenie). Unikalny zestaw tych właściwości (np. obecność przewodu) utrudnia osiągnięcie wymaganych parametrów. Dlatego tak istotne jest zbudowanie modeli symulacyjnych odwzorowujące w odpowiedni sposób budowę tego złożonego systemu.

Modelowane detektory paskowe mają grubość 300 μm , szerokość pasków 58 μm i różną długość. Paski dyfuzji są sprzężone zmiennoprądowo z aluminiowym paskiem odczytowym i spolaryzowane rezystorem na jednym z końców. Przewody, opracowane specjalnie dla CBM, mają budowę 6-warstwową (po 3 warstwy ścieżek metalowych na jedną stronę detektora) i różne grubości dielektryka pomiędzy nimi (Rys. 18). Zewnętrzne warstwy aluminium stanowią ekran. Przewody są rozlokowane z odstępem 116 μm na obu warstwach i mają długości różne w zależności od lokalizacji w systemie STS. Zbiór różnych zestawów długości detektora i przewodu skutkuje znacząco różnymi warunkami pracy układu scalonego a w konsekwencji różnym poziomem szumów i trudnościami w jego optymalizacji.

Autor podjął się analizy wpływu parametrów układu detektor – mikroprzewód – układ scalony na kluczowe parametry (m.in. równoważny ładunek szumowy, zniekształcenia sygnałów prądowych, przesłuchy między kanałami, itp.). Zebrał on komplet informacji znanych i estymowanych parametrów tworzących system detekcyjny, opracował ulepszone (w stosunku do istniejących), złożone rozproszone modele detektora paskowego i specjalizowanego mikro-przewodu lepiej dopasowane do prototypów powstałych w trakcie rozwoju eksperymentów CBM oraz zawierające parametry zmierzone z wykorzystaniem najnowszych prototypowych detektorów. Opracowane modele odzwierciedlają budowę poprzeczną i wzdłużną detektora oraz przewodu. Następnie zidentyfikował on komponenty w największym stopniu wpływającym na szумы i zbadał możliwości ich minimalizacji [H6]. Rekomendacje dotyczyły m.in.: zwiększenia grubości aluminiowego paska odczytowego w detektorze ($R < 10 \Omega$), wyboru materiału dielektrycznego wykorzystywanego w budowie mikroprzewodu, wyboru szerokości ścieżki mikroprzewodu skutkującej optymalną kombinacją rezystancji i pojemności pasożytniczej, powiększenia wartości rezystancji polaryzującej detektor powyżej 5 M Ω (Rys. 19).

¹ Frank Lemke, Unified Synchronized Data Acquisition Networks, Ph.D. thesis, University of Mannheim, Nov. 2012.

² F. Lemke, U. Bruening, A Hierarchical Synchronized Data Acquisition Network for CBM, IEEE Transactions on Nuclear Science, Vol. 60, No. 5, 2013, p. 3654-3660.



Rys. 18 a) Wizualizacja struktury składowych systemu detekcyjnego STS z uwzględnieniem wybranych parametrów pasozytniczych: mikroprzewodu (dla czytelności obrazka pominięta została rezystancja szeregowo przewodów) oraz detektora paskowego (pominięta rezystancja pasków dyfuzyjnych oraz pojemności do dalszych sąsiadów). b) Detale sposobu połączenia detektora z układem scalonym za pomocą mikroprzewodu. Metoda TAB-bondingu jest używana do każdej z dwóch warstw przewodów mocowanych do każdego z szesnastu układów scalonych tworzących pojedynczy moduł detektora dwustronnego¹.

Przygotowane modele i analizy oraz ich wyniki zostały przedstawione w [H6] oraz wykorzystane m.in. w pracach^{2 3 4 5}, i stanowiły istotny wpływ w dalszy rozwój tego systemu przez zespoły robocze kolaboracji. Analizy te były przeprowadzone również dla układu SMX2.

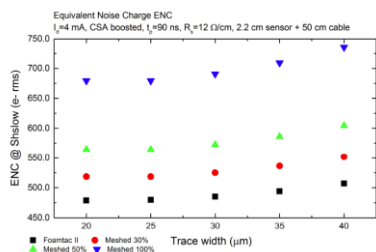


Table 4. Summary of the ENC values obtained for selected cases (red: not feasible at the moment, yellow: probably feasible, green: feasible, blue: high yield).

Trace width (µm)	Spacer material	ENC (e- rms) detector / cable: 2.2 cm / 50 cm, $\tau_p=90$ ns		ENC (e- rms) detector / cable: 18 cm / 5 cm, $\tau_p=90$ ns	
		$R_s=6 \Omega/cm$	$R_s=12 \Omega/cm$	$R_s=6 \Omega/cm$	$R_s=12 \Omega/cm$
		20	Foamtac II	478.6	478.8
30	Foamtac II	484.9	485	415	453
40	Foamtac II	506.7	506.9	415.8	453.6

Rys. 19 a) Analiza wpływu różnych dielektryków na szumy systemu (wybór FOAMTAK II) [H6]. b) Dobór optymalnej szerokości ścieżki przewodu biorąc pod uwagę DFM (Design For Manufacturing) i dwa reprezentatywne przypadki kombinacji długości detektora i przewodu [H6].

2.C.7. System do testowania układu SMX1 i realizacja testów oraz pomiarów jego parametrów

Zaprojektowany przez autora system do testowania układu SMX1 jest przedstawiony na Rys. 20. Realizacja tego zadania wymagała zaprojektowania obwodów drukowanych, doboru aparatury, zaprojektowania i zaprogramowania zautomatyzowanych procedur testowych oraz integracji całości. Dedykowany obwód drukowany jest zoptymalizowany pod kątem testowalności i zawiera pojedynczy układ SMX1 (mikromontaż *chip-on-board* z zastosowaniem ultrakompresji). Dużo uwagi zostało poświęcone minimalizacji prądu upływu i pojemności pasozytniczej sieci doprowadzającej sygnały z detektora. Zasilanie czterech domen zasilania jest realizowane przez ultra-niskoszumowe stabilizatory napięcia. Komunikacja z układem jest możliwa przez galwanicznie odseparowane łącza danych: protokół CBMnet (2.C.5) przez dedykowaną kartę FPGA (Syscore V3), jak i interfejs testowy (2.C.4). Zaprojektowany obwód jest kompatybilny z różnymi modułami detektora przygotowanymi przez habilitanta, jak również przez ośrodek GSI, Niemcy. Wykonane prototypy układów SMX1 zostały z powodzeniem przetestowane przez habilitanta w tym systemie. Opracowane moduły były również wykorzystywane przez partnerów z ośrodka GSI. Testy i pomiary układu SMX1 pozwoliły zweryfikować: jego funkcjonalność (która była poprawna), wyznaczyć kluczowe parametry (wzmocnienia, liniowość, kształt sygnałów, rozrzuty parametrów i możliwość ich korekcji z wykorzystaniem układów kalibracyjnych, pobór mocy, poziom szumów itp.), a także zidentyfikować silne i słabsze strony do usprawnienia w nowej rewizji projektu. Najważniejsze wyniki pomiarowe zgromadzone zostały w [H2].

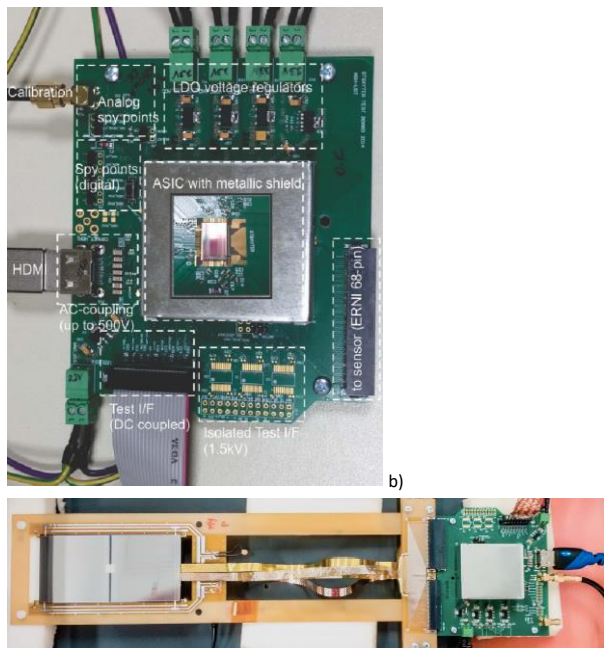
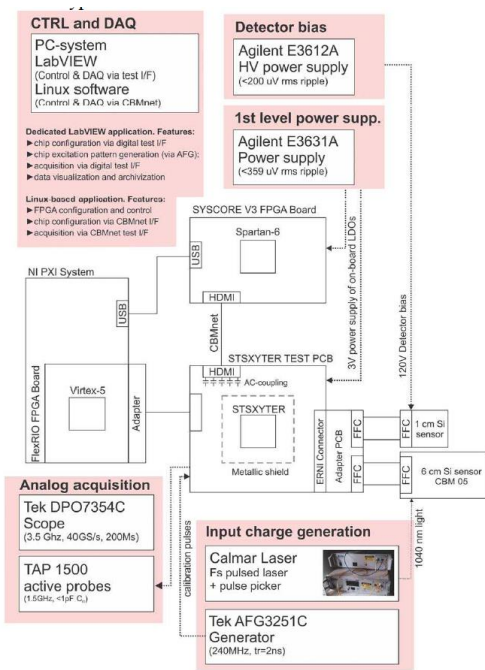
¹ Zubrzycka, W., Kasinski, K., Performance evaluation of the detector and ultra-light micro-cable assembly for tracking application in CBM experiment. Proceedings of SPIE - The International Society for Optical Engineering (Vol. 10445), (2017). <https://doi.org/10.1117/12.2280946>

² Zubrzycka, W., Kasinski, K., Performance evaluation of the detector and ultra-light micro-cable assembly for tracking application in CBM experiment. Proceedings of SPIE - The International Society for Optical Engineering (Vol. 10445), (2017). <https://doi.org/10.1117/12.2280946>

³ Krzysztof KASIŃSKI, Rafał KŁECZEK, A flexible, low-noise charge-sensitive amplifier for particle tracking application, 2016 Mixdes - 23rd International Conference: Mixed Design of Integrated Circuits and Systems, 2016: pp. 124–129. doi:10.1109/MIXDES.2016.7529715.

⁴ W. Zubrzycka, K. Kasinski, Noise considerations for the STS/MUCH readout ASIC, CBM progress report 2017: Compressed Baryonic Matter experiment at FAIR / eds. Ilya Selyuzhenkov, Alberica Toia. Darmstadt : CBM Collaboration, GSI Helmholtzzentrum für Schwerionenforschung GmbH, 2018, S. 32–33.

⁵ K. Kasinski, R. Kleczek, R. Szczygiel, R. Otfinowski, P. Grybos, Noise Optimization of the Time and Energy Measuring ASIC for Silicon Tracking System, MIXDES 2015, : mixed design of integrated circuits and systems : Toruń, Poland June 25–27, 2015, S. 490–495.



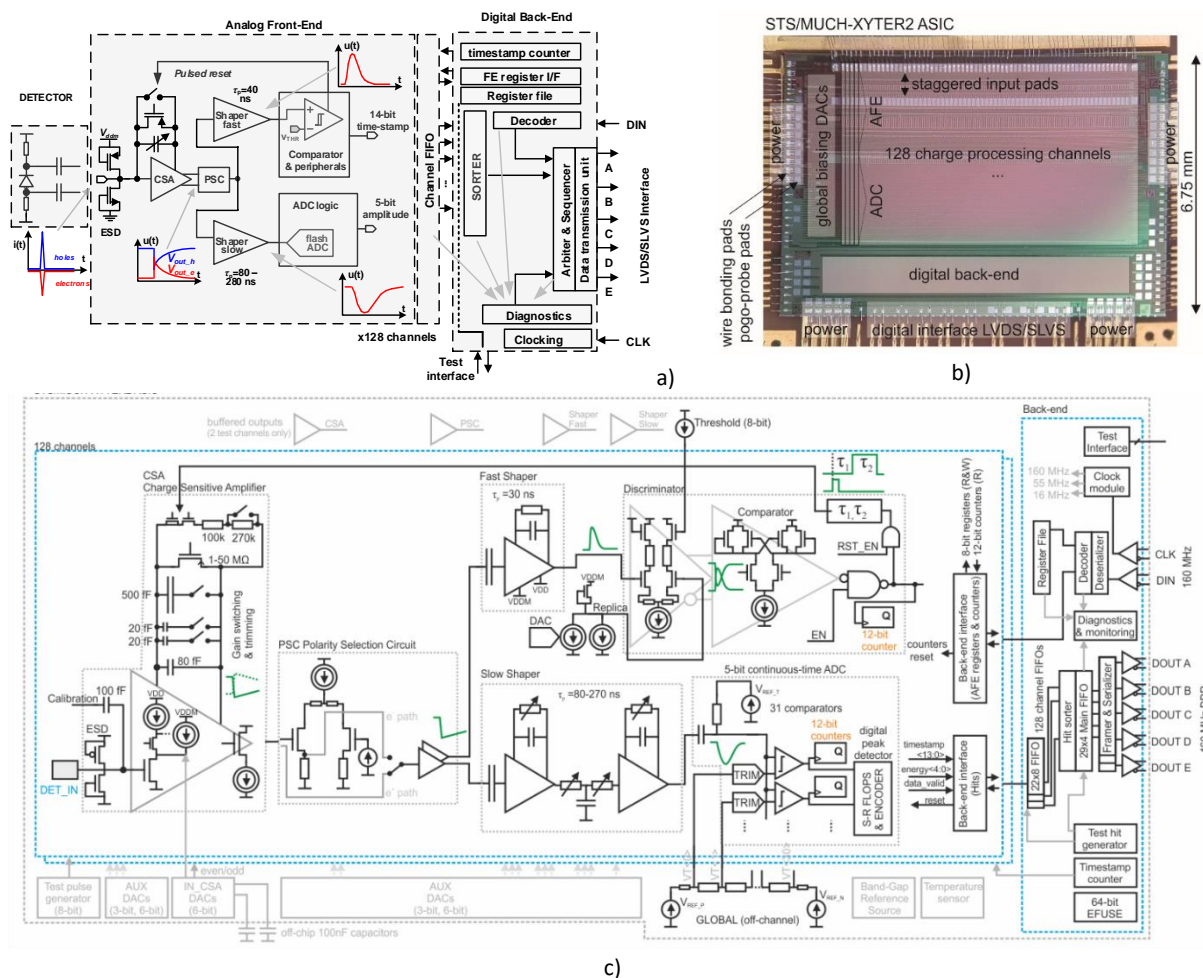
Rys. 20 a). Uproszczony schemat zaprojektowanego przez habilitanta systemu do testowania układu SMX1 [H2]. b) Obwód drukowany zawierający układ scalony SMX1, kompatybilny z różnymi modułami detektorów [H2]. c) Przykład podłączenia obwodu do demonstratora modułu 12-cm detektora z 37-cm mikroprzewodami.

2.D STS/MUCH-XYTER2 (SMX2), drugi pełnowymiarowy prototyp układu scalonego dla detektorów STS i MuCH.

Decyzją kolaboracji zaprojektowana została nowa, ulepszona wersja układu scalonego, dostosowana do nowej koncepcji systemu akwizycji danych w eksperymencie CBM oraz nowej aplikacji, w detektorze MuCH. Został on nazwany „STS/MUCH-XYTER2”, lub SMX2 na potrzeby tego autoreferatu. **Tego układu scalonego dotyczą następujące prace przedstawione do oceny: [H3][H4][H5][H7][H8][H9] i częściowo [H6].**

Rys. 21 zawiera schemat ideowy układu SMX2. Układ składa się z 128 kanałów do pomiaru czasu i amplitudy impulsów. Widoczny jest uproszczony schemat toru analogowego składającego się ze wzmacniacza ładunkowego z przełączanym wzmocnieniem i układem szybkiego zerowania, układem odwracania polarności (PSC) i dwoma układami filtrów kształtujących (*shaper*ów) współpracującymi z układem do pomiaru czasu i układem do pomiaru amplitudy. Całkowicie nowa (w stosunku do SMX1) część cyfrowa (*back-end*) zapewnia szybką i skalowalną (konfigurowalna liczba łączy) komunikację.

Lista wymaganych modyfikacji i nowych funkcjonalności obejmowała wiele aspektów, m.in dalszą optymalizację szumową zastosowanych rozwiązań do pomiaru amplitudy sygnału, ulepszenie układu do pomiaru czasu, modyfikacje funkcjonalne pozwalające na zastosowanie układu w detektorze gazowym MUCH, rozwinięcie zupełnie nowej koncepcji systemu akwizycji danych w eksperymencie i zapewnienie optymalnego protokołu i warstwy fizycznej, wspólne projektowanie (*co-design*) systemu zasilania układów scalonych w eksperymencie i układu detektor-kabel-ASIC, wsparcie procedur testowych i systemów testowych na poziomie układu scalonego. **Za większość z nich, w tym: realizacja analiz, wypracowanie koncepcji koniecznych zmian, zarządzaniem projektem, komunikację z partnerami kolaboracyjnymi, odpowiadał habilitant. Był on odpowiedzialny również za opracowanie i wdrożenie szeregu funkcjonalności (od strony schematu i/lub planów masek i rozwiązań topologicznych), a także zaprojektowanie systemu do testowania i realizacji testów i pomiarów układów SMX2. Kolejne sekcje przedstawia wybór prac jakie realizował habilitant.**



Rys. 21 a) Schemat ideowy układu SMX2 (*front-end* i *back-end*) [H9]. b) Fotografia układu SMX2 [H9]. c) Schemat [H9] przedstawiający detale kanału, m.in. wzmacniacz ładunkowy z układami do rozładowania i obwodem do kalibracji, układ odwracania polarności, filtry kształtujące: szybki i wolny, komparator do nadawania znaczników czasowych oraz przetwornik analogowo-cyfrowy i zarys interfejsu części analogowej z cyfrową.

2.D.1 System akwizycji danych w eksperymencie CBM

Systemy detekcyjne eksperymentu CBM muszą zapewnić odczyt aż do 10^7 kolizji Au+Au skutkujących powstaniem ponad 200 naładowanych cząstek. Wszystkie układy elektroniki front-end w eksperymencie CBM muszą dostarczać zdigitalizowane zdarzenia w sposób ciągły, bez trygera zaopatrzone w znacznik czasowy (*timestamp*). Dane przesyłane będą przez system akwizycji danych DAQ do tzw. FLES (*First Level Event Selector*), który dokona zebrania danych ze wszystkich detektorów i pogrupowania ich na podstawie znacznika czasowego, a następnie za pomocą szybkich algorytmów opartych na pełnej rekonstrukcji zdarzeń na bieżąco dokona selekcji zarejestrowanych zdarzeń, przez co znacznie zredukuje ilość danych (ok 1000-krotnie). Ten nowy, niespotykany dotąd system wymaga efektywnego systemu akwizycji danych (DAQ) o bardzo dużej przepustowości. **Habilitant był współautorem systemu akwizycji danych w eksperymencie CBM, w szczególności części dotyczącej detektorów STS i MUCH (Rys. 22 a). Pracował on nad zapewnieniem odpowiedniej komunikacji układów elektroniki front-end, warstwą fizyczną interfejsu oraz dedykowanym protokołem, a także ogólnie pojętej kompatybilności układów SMX2 z projektowanym systemem DAQ. Wyniki tej pracy opublikowane są w [H1],[H3],¹.**

Tabela na Rys. 22 b zawiera kluczowe informacje dotyczące zaprojektowanego, wspólnego systemu akwizycji danych dla detektorów w eksperymencie CBM. Silicon Tracking System ma docelowo składać się z ponad 1 790 000 kanałów odczytowych. Każda ze stron detektora będzie odczytywana przez płytkę FEB (*Front-End Board*) zawierającą 8 układów SMX2. Układy scalone są konfigurowane a zarejestrowane zdarzenia odczytywane przez system akwizycji danych. Karty *Readout Board* (ROB) opierają się na układach GBTx opracowanych w ośrodku CERN. GBTx to konfigurowalny, specjalizowany układ scalony pozwalający na dwukierunkową komunikację z wieloma układami elektroniki front-end zachowując determinizm czasowy

¹ J. Lehnert, A.P. Byszuk, D. Emschermann, K. Kasinski, W.F.J. Müller, C.J. Schmidt, R. Szczygiel, W.M. Zabolotny, GB based readout in the CBM experiment, J. Instrum. 12 (2017) C02061. <http://stacks.iop.org/1748-0221/12/i=02/a=C02061>.

przy agregacji danych i komunikacji z systemem nadrzędnym (*Data Processing Board, DPB*) za pośrednictwem szybkich, 4.8 i 3.2 Gbps łączy optycznych w warunkach podwyższonego poziomu promieniowania.

W celu optymalnej alokacji dostępnego pasma transmisji danych, układy GBTx wraz z peryferiami będą komunikować się z układami SMX2 za pośrednictwem 1, 2 lub 5 nadajników różnicowych LVDS (w zależności od lokalizacji w detektorze) i współdzielonych łączy danych oraz zegara w standardzie SLVS. W systemie STS zainstalowanych będzie ponad 14 000 układów scalonych SMX2 oraz ponad 1000 płyt komunikacyjnych ROB z GBTx wykorzystujących ponad 4000 łączy optycznych. **Habilitant był odpowiedzialny za opracowanie efektywnego protokołu komunikacyjnego zapewniającego możliwie szybką transmisję danych pomiarowych i bezpieczny transfer komunikatów kontrolnych, a także umożliwiającego precyzyjną synchronizację wszystkich układów scalonych tworzących ten system [H3]. Jest on opisany w kolejnej sekcji.**

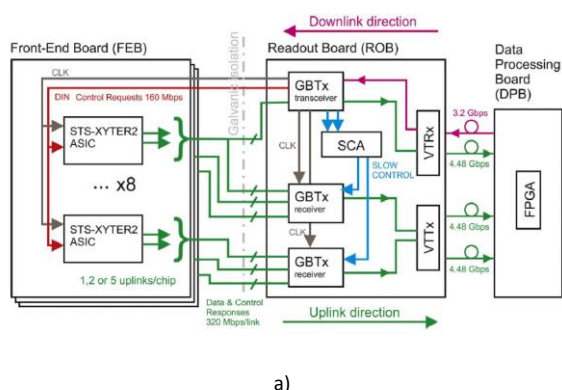


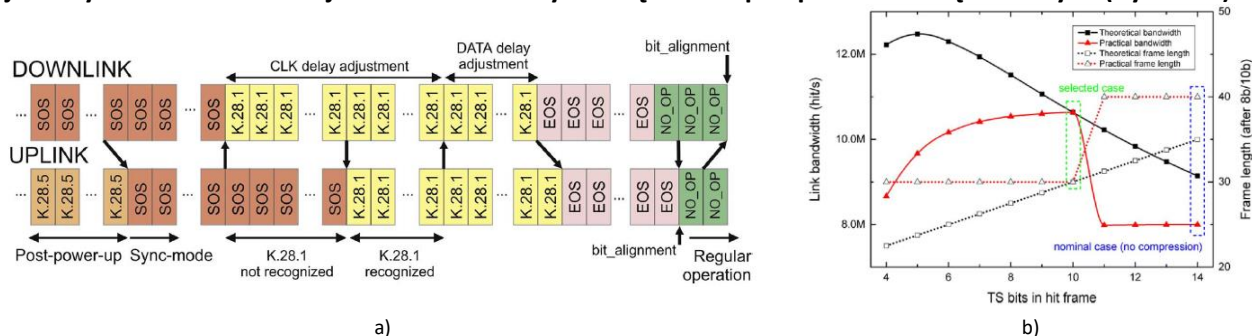
Table 1. GBT and Versatile Link usage in the CBM detectors. Numbers are in part given separately for downlink (DL) and uplink (UL) direction.

	STS	MUCH station 1,2	TOF	TRD
Technology	silicon strip	GEM	MRPC	TRD
Frontend ASIC	STS-XYTER2 128 channels AGH Cracow	MUCH-XYTER2 64 channels AGH Cracow	GET4 4 channels GSI	SPADIC 32 channels ZITI Univ. Heidelberg
Readout	1 to 5 E-Links (configurable) @320MHz	1 to 5 E-Links (configurable) @80 MHz	1 E-Link (compatible) @80 MHz	2 E-Links @320MHz
Configuration, Slow Control, Fast Control	DL: dedicated E-Link shared by ASICs UL: all E-Links, shared with data	DL: control UL: control in data stream	DL: shared E-Link UL: single E-Link shared with data	
Clock	phase adjustable clock 160 MHz	external 160MHz clock (tbc)	phase adjustable clock @160 MHz	
Channels	1.8 million	249k	100k	245k
No. E-Links DL	1.800	1.944	25.000 ASIC Links	< 7.500
UL	20.000	7.776	25.000 ASIC Links	15.000
Versatile Links DL	600	216	<=625	240
UL	1.800	648	<=625	1.152

Rys. 22 a) Struktura systemu DAQ oparta o zmodyfikowane układy z serii GBTx (CERN) [H2]. Regulacja opóźnień w tej komunikacji realizowana jest na poziomie układu GBTx [H3] b) Tabela podsumowująca system akwizycji danych w eksperymencie CBM ¹.

2.D.2 Protokół komunikacyjny STS-HCTSP

Autor odpowiedzialny był za opracowanie założeń, koncepcji i szczegółów nowego, dedykowanego protokołu komunikacyjnego [H3] dopasowanego do wymagań aplikacji w eksperymencie CBM i nowego systemu akwizycji danych DAQ. Protokół gwarantuje bezpieczny transfer komend sterujących (2.6 Mframes/s) do układów SMX2 (*downlink*) oraz szybki transfer danych z eksperymentu (9.41 MHit/s/link). Protokół ten charakteryzuje się asymetrią w charakterze transmisji (*uplink*: 60 bitów, *downlink*: 30 bitów) i stałym opóźnieniem, co pozwala na synchronizację czasu w systemie. Może być stosowany w łącach sprzężonych zmiennoprądowo dzięki zastosowaniu kodowania 8b/10b. Jest on uodporniony na uszkodzenia nawet wielu ramek danych spowodowanych np. SEU albo zakłóceniami elektromagnetycznymi. Struktura ramek danych (*uplink*) jest zoptymalizowana pod kątem efektywności transferu zdarzeń. Nagłówek wykorzystuje kodowanie Huffmana, dzięki czemu może być krótszy tam, gdzie przesyłane są zdarzenia (1-bit), a dłuższy dla rzadziej wysyłanych informacji (np. potwierdzeń). Protokół wspiera adresowanie indywidualnych chipów oraz rozgłaszanie do wszystkich układów na jednym współdzielonym łączy (płyty FEB). 3-bitowy adres nadawany jest poprzez połączenia drutowe. **Autor zaimplementował i zoptymalizował bezstratną kompresję danych. Dzięki skróceniu długości znacznika czasowego przesyłanego w każdej ramce i przesyłaniu najstarszych bitów w osobnej ramce możliwe było zwiększenie przepustowości łączy danych (Rys. 23 b).**



Rys. 23 a) Procedura synchronizacji łączy zaproponowana przez autora [H3]. b) Optymalizacja transferu z wykorzystaniem bezstratnej kompresji [H3].

¹ J. Lehnert, A.P. Byszuk, D. Emschermann, K. Kasinski, W.F.J. Müller, C.J. Schmidt, R. Szczygiel, W.M. Zabolotny, GBT based readout in the CBM experiment, J. Instrum. 12 (2017) C02061. <http://stacks.iop.org/1748-0221/12/i=02/a=C02061>.

Autor dobrał funkcje diagnostyczne udostępniane przez protokół (m.in. wielopoziomowy reset układów cyfrowych pozwalający na przywrócenie funkcjonalności bez utraty danych diagnostycznych, diagnostyka przepustowości łącza, monitor SEU, itp.). Opracował on również nową koncepcję niskopoziomowego resetu komunikacji przez interfejs i synchronizacji łącza danych upraszczając budowę specjalizowanego układu scalonego ASIC (Rys. 23 a) [H3]. Protokół umożliwia dwie procedury synchronizacji: pełną (uruchamianą po raz pierwszy, gdy opóźnienia łącza danych w systemie nie są znane) i szybką. Procedura ustala optymalne zależności fazowe między zegarem i liniami danych. Autor zastosował specjalne znaki SOS (*Start Of Synchronization*) i EOS (*End Of Synchronization*), które nie należą do zbioru kodu 8b/10b, a ich struktura pozwala na ich poprawne rozpoznanie w dowolnym momencie pomimo braku synchronizacji łącza i możliwej metastabilności.

W porównaniu do istniejącego rozwiązania wykorzystującego także chipy GBTx – system akwizycji danych eksperymentu LHCb^{1,2} w ośrodku CERN, opracowane rozwiązanie jest w pełni samowyzwalające (*self-triggered / free-streaming*) zgodnie z koncepcją eksperymentu CBM. To samo łącze danych zapewnia zarówno przesył zdarzeń, konfigurację i synchronizację układu scalonego (w przeciwieństwie do trygera, czy protokołów EXC, I²C czy JTAG). Opracowany protokół opiera się na ramkach o stałej długości z kompresją danych w przeciwieństwie do ramek o zmiennej długości w LHCb. Oba rozwiązania wspierają funkcje *throttlingu*³, którego celem jest przyspieszenie poprawnej funkcjonalności systemu detekcyjnego w warunkach fluktuacji intensywności wiązki, co przekłada się na konieczność realizacji kontrolowanej utraty danych. Układ SMX2 dostarcza 3-poziomowy system alarmów o programowalnych progach pozwalający informować system nadrzędny o wzrastającym wypełnieniu buforów układu, dając mu czas na decyzję i ewentualną reakcję (np. kasowanie FIFO, zatrzymanie rejestracji na poziomie kanału, maskowanie indywidualnych kanałów). **Protokół ten wykorzystany został w układzie scalonym STS-XYTER2, a także zaadaptowany przez inne zespoły badawcze (SPADIC2.1⁴ oraz SPADIC 2.2⁵, zespół z UNI Heidelberg, Niemcy oraz zespół z MEPHI⁶, Rosja).**

2.D.3 Część cyfrowa

Zaprezentowana nowa struktura systemu akwizycji danych w eksperymencie CBM, nowy protokół komunikacyjny, a także wymagania dotyczące skalowalności przepustowości łącza danych wymagały **zaprojektowania nowej części cyfrowej układu SMX2 [H4] (Rys. 24).**

Ponieważ układy scalone będą galwanicznie połączone z napięciami polaryzującymi detektor (± 200 V), napięcia zasilania układu scalonego będą odniesione do tych wysokich napięć w stosunku do napięcia odniesienia kart *Read-out Board* (ROB). Konieczność zastosowania łącza z pojemnościową separacją galwaniczną⁷ utrudnia realizację szybkiego interfejsu oraz nakłada na odbiorniki różnicowe konieczność zapewnienia wewnętrznej polaryzacji na poziomie 1.2 V i odpowiedniego doboru stałych czasowych we współpracy z pojemnością sprzęgającą i 100 Ω rezystancją terminującą tak, aby komunikacja cyfrowa za pomocą zaprojektowanego protokołu była możliwa, a jednocześnie łącze było odporne na zakłócenia wspólne. **Autor analizował symulacyjnie i sprzętowo na wyprodukowanych modułach zachowanie łącza o takiej strukturze i zaimplementował zmodyfikowane odbiorniki LVDS.**

Rys. 24 a przedstawia zarys funkcjonalności części cyfrowej (tzw. *back-end*). W przeciwieństwie do układu SMX1, opracowane rozwiązanie nie implementuje segmentacji chipu, dzięki czemu dana z każdego kanału może opuścić chip dowolnym serializerem. Pozwala to zarówno na zbalasowanie obciążenia serializerów, jak i na dobór przepustowości danych w sposób programowy (przez wybór aktywnych serializerów 1-5). Część cyfrowa składa się z dwóch głównych członów: ścieżki kontrolnej (*control path*), odpowiedzialnej za synchronizację, konfigurację i diagnostykę układu oraz ścieżki danych (*data path*) odpowiedzialnej za transfer danych pomiarowych na zewnątrz chipu. Obwody ścieżki kontrolnej deserializują i interpretują dane oraz generuje zwrotną informację potwierdzającą. Interpreter komend na podstawie

¹ K. Wyllie, F. Alessio, R. Jacobsson, N. Neufeld, Electronics Architecture of the LHCb Upgrade, (2011) LHCb Technical Note, LHCb-PUB-2011–2011.

² A. Cardini, The LHCb Muon Upgrade, J. Instrum. 9 (2014) C02014.

³ T. Balog, W.F.J. Mueller, C.J. Schmidt, J. Lehnert, Data throttling procedures for the STS-XYTER based read-out of the CBM Silicon Tracking System, in: Sci. Rep. 2014, GSI Helmholtzzentrum fuer Schwerionenforschung, Darmstadt, 2015, p. 69. <http://dx.doi.org/10.15120/GR-2015-1-MU-NQM-CBM-33>.

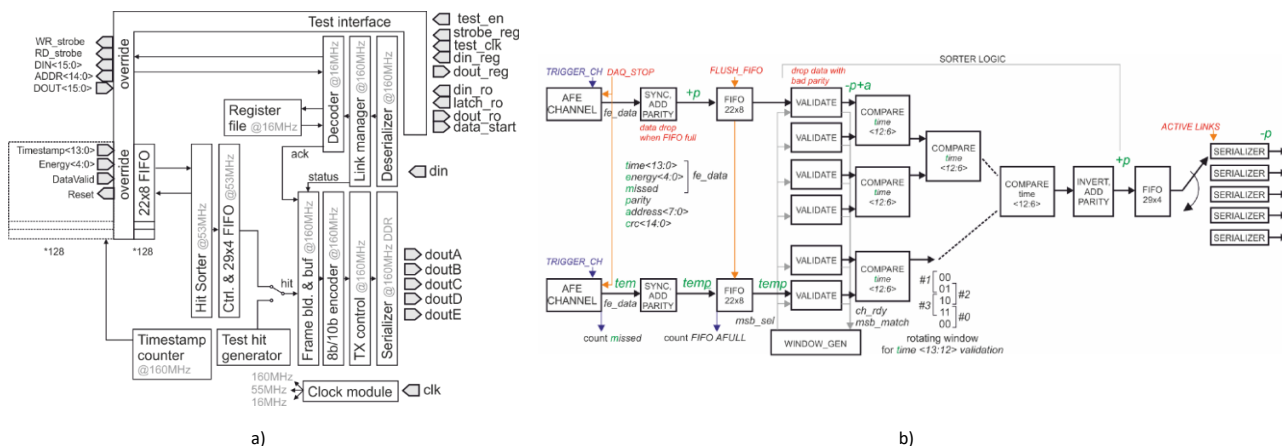
⁴ M. Krieger, P. Fischer, The state of Spadic 2.1, CBM STS-XYTER 2.1 and SPADIC 2.2 Submission Review, GSI, Darmstadt 16.03.2018.

⁵ P. Fischer, M. Krieger, Plans Towards Spadic 2.2, CBM STS-XYTER 2.1 and SPADIC 2.2 Submission Review, GSI, Darmstadt 16.03.2018.

⁶ O V Shumkin, D D Normanov and P Ya Ivanov, Development of the protocol of the interface of data exchange with the GBTX chip, IOP Conf. Series: Journal of Physics: Conf. Series 798 (2017) 012196

⁷ Zabolotny, W. M., Byszuk, A. P., Emschermann, D., Guminski, M., Juszczyk, B., Kasinski, K., ... Szczygiel, R. (2017). Design of versatile ASIC and protocol tester for CBM readout system. Journal of Instrumentation, 12(2). <https://doi.org/10.1088/1748-0221/12/02/C02060>

adresu kieruje żądanie albo do układu konfiguracji układów elektroniki front-end (sekcja 2.C.2)), albo do rejestrów wewnętrznych części cyfrowej. Ścieżka danych jest przedstawiona na Rys. 24 b. Kanały układu scalonego konwertują impulsy wejściowe na postać cyfrową (*fe_data*) zawierającą amplitudę, znacznik czasowy i informację o utracie danych (*event missed*). Dane te zapisywane są w kolejce FIFO opartej o pamięć RAM (sekcja 1.C.3). Wyjścia wszystkich 128 kolejek są przetwarzane przez zgrubny sorter, który na podstawie siedmiu najstarszych bitów znacznika czasowego zapisuje je w kolejności rejestracji przez układ do pomiaru czasu do jednej, wspólnej kolejki FIFO 29x4 wraz z adresem kanału pochodzenia. Dane, po zakodowaniu, opuszczają układ przez serializery. **Autor przeprowadził integrację i wysokopoziomową weryfikację wszystkich bloków układu scalonego STS-XYTER2, symulacje mixed-mode, analizy post-layout'owe na poziomie całego układu scalonego. Zrealizował on symulacje i weryfikację bloków cyfrowych, weryfikację nadajników i odbiorników LVDS w warunkach systemu akwizycji danych w eksperymencie CBM [H4,H9].**



Rys. 24 a) Struktura części cyfrowej (*back-end*) układu SMX2. b) Ścieżka danych w układzie SMX2 [H4].

2.D.4 Poprawa topologii pamięci DICE pod kątem odporności na efekty SEU.

Uzyskanie wysokiej odporności na efekty radiacyjne jest kluczowe w projekcie układu SMX2 [H4]. Pamięć typu DICE pomaga poprawić odporność na efekty typu SEU, jednak jej wydajność zależy od topologii układu (wygenerowana chmura ładunków może wpłynąć na więcej niż jeden węzeł, co może przełączyć stan komórki pomimo redundantnej architektury). 8-bitowe sekcje identycznych 1-bitowych komórek pamięci charakteryzowały się różną odpornością charakteryzowaną tzw. przekrojem czynnym (*cross-section*). **Autor, interpretując przeprowadzone testy radiacyjne wyprodukowanych układów, opracował konieczne zmiany w planie masek komórek pamięci [H9]. Ponadto, testy radiacyjne dla bardzo dużych intensywności wiązki wykazały podatność układu na lokalnie występujące efekty SEL (*Single-Event Latchup*) skutkujące funkcjonalną blokadą wybranych kanałów. Autor wprowadził zmiany w planie masek oraz utworzył specjalne reguły projektowe minimalizujące ryzyko ich występowania.**

2.D.5 Blok do pomiaru czasu

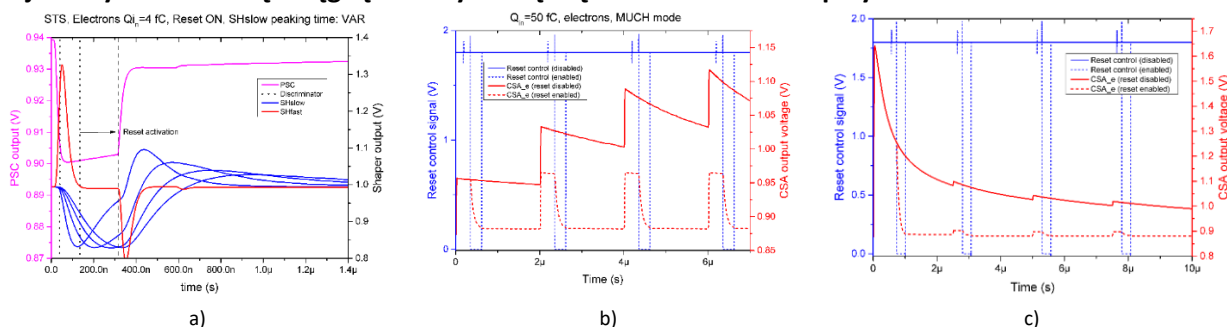
Podobnie, jak w układzie SMX1 [H2], **blok do pomiaru czasu jest bardzo istotną częścią układu SMX2 [H4,H9] (Rys. 21).** Wskutek przebiegu prac nad eksperymentem, zmianie uległa długość znacznika czasowego (14 bitów) i okres zegara nadającego znacznik czasowy (3.125 ns). **Autor poprawił układ pod kątem liniowości, zmniejszenia efektu wędrowania znacznika czasowego (*time-walk*) oraz skutecznej korekcji tego efektu.** Niezwykle ważne było zapewnienie możliwie niskich rozrzutów efektywnego progu wszystkich komparatorów w systemie. Dzięki obwodowi przeskalowanej repliki stopnia wejściowego filtra można uzyskać poziom napięcia na wyjściu wzmacniacza kształtującego bez obecności sygnału. Dodatkowy korygujący obwód cyfrowo-analogowy pozwala skorygować ponadto rozrzut wejściowego stopnia komparatora. Dodany został również 12-bitowy licznik współpracujący z komparatorem przyspieszający proces kalibracji toru.

2.D.6 Analiza części analogowej układu SMX2 pod kątem systemowym

Zapewnienie bardzo dobrych parametrów i ich wysokiej jednorodności jest bardzo ważne dla tak złożonego, wielokanałowego układu jakim jest SMX2. Niezawodna praca przez wiele lat w systemie zawierającym tysiące tych układów scalonych, uwzględniając również odporność na stany awaryjne, jest kluczowa dla prowadzenia udanych eksperymentów fizycznych. **Habilitant brał udział w pracach nad**

wyborem architektury stopnia wejściowego i doboru charakterystyk układów kształtujących pod kątem dopasowania do struktury systemu (w tym, różnych długości detektora i przewodu wynikających z budowy stacji STS). Skuteczna optymalizacja i analiza zaprojektowanej części analogowej wymaga nie tylko zaawansowanego modelowania systemu: detektora i mikro-przewodu (2.C.6), systemu zasilania (2.D.8) czy źródeł prądu upływu (2.D.7) ale również analizy możliwych awarii, wpływu temperatury, napięcia oraz dryfu parametrów systemu. Autor przeprowadził analizy i ekstrakcję istotnych parametrów części analogowej pod kątem zachowania w różnych warunkach, również stanach awaryjnych, zaimplementował rozwiązania sprzętowe do skutecznej izolacji potencjalnych problemów oraz dostrajania układu do zmian w systemie, a także zaprojektował rozwiązania poprawiające szybkość przetwarzania impulsów przez tor pomiarowy [H7].

Duża wartość rezystancji tranzystora MOS w sprzężeniu zwrotnym wzmacniacza ładunkowego jest konieczna. Zapewnia liniowość i niski wkład w szumy całkowite. Długa stała czasowa powrotu do poziomu bazowego ogranicza jednak zdolność do przetwarzania często występujących impulsów. **Habilitant zaprojektował obwód wspomagający wzmacniacz ładunkowy pod kątem szybkości pracy. Jest to dołączany rezystor polikrzemowy o wartościach 100 kΩ (MuCH) lub 300 kΩ (STS), załączany z poziomu układu do pomiaru czasu w celu szybszego przywrócenia początkowego punktu pracy (Rys. 21) [H7, H9].** Impuls cyfrowy o długości ok. 200 ns jest opóźniony o 150 ns względem opadającego zbocza szybkiego komparatora. Obwód działa skutecznie zarówno w przypadku pojedynczego impulsu, ciągu impulsów, jak również jednego, bardzo dużego impulsu znacznie większego od typowych (Rys. 25). **Dzięki niemu rezystancja tranzystora MOS w sprzężeniu CSA może być bardzo duża bez negatywnego wpływu na maksymalną częstotliwość impulsów wejściowych. Udało się osiągnąć maksymalną częstotliwość 600 kHz przy ładunku 2 fC.**



Rys. 25 Działanie układu przywracania poziomu bazowego. a) Sygnały na wyjściach wzmacniacza ładunkowego i filtrów (dla różnych czasów kształtowania) podczas pracy układu zerowania, b). Odpowiedź wzmacniacza CSA na ciąg impulsów, gdy układ jest aktywny i nieaktywny [H7], c) Szybkie przywracanie stanu początkowego po przesterowaniu wejścia bardzo dużym ładunkiem [H7].

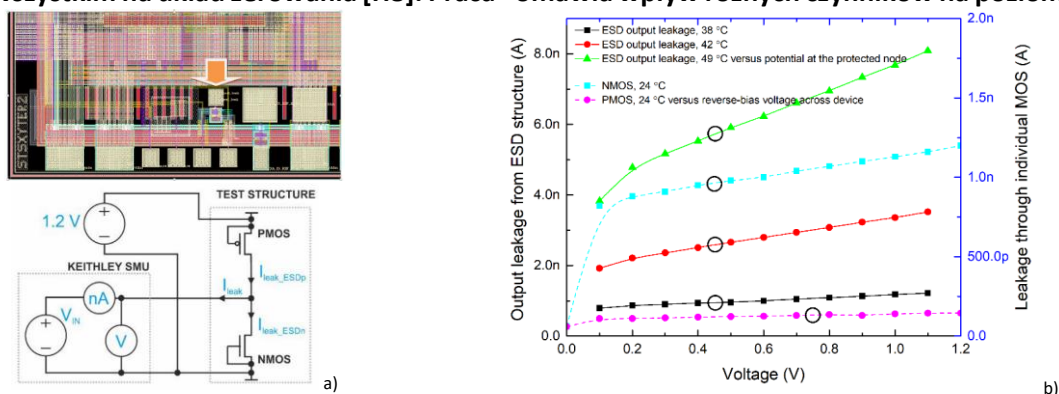
Awaria pojedynczego kanału detekcyjnego nie powinna wpływać na pracę pozostałych kanałów, czy nawet układów scalonych. Jednym z możliwych niebezpieczeństw jest uszkodzenie kondensatora sprzęgającego w detektorze, co skutkuje przepływem dużego prądu do wejścia wzmacniacza ładunkowego. **W pracy [H7] habilitant przeanalizował wpływ takiego prądu (zarówno statycznie jak i dynamicznie) na pracę samego wzmacniacza ładunkowego będącego podłączonym do uszkodzonego kanału i oszacował wpływ tych efektów na pozostałe kanały (np. przez wspólne linie referencyjne) w tym samym układzie scalonym. Zaimplementowana możliwość wyłączenia buforów w torze przetwarzania analogowego, układów komparatorów, a także możliwość maskowania na poziomie cyfrowym wybranych kanałów pozwala skutecznie odseparować pozostałe kanały od efektów awarii.**

2.D.7 Wpływ prądu upływu detektora i diod protekcyjnych ESD na pracę układu

Prąd upływu detektora (złącze p-n) zależy od czystości krzemu i znacznie zmienia się po napromieniowaniu. Analiza wykazała, że w ciągu lat pracy w eksperymencie prąd upływu może się zmieniać od około 1 nA/cm aż do 400 nA/sensor. Pomimo, że prąd upływu detektora nie wpływa do wzmacniacza ładunkowego (ze względu na obecność pojemności sprzęgającej w detektorze), to prąd ten kontrybuuje do szumów systemu. **Habilitant oszacował wzrost szumów spowodowanych tym efektem [H7].**

Układ SMX1 został wyposażony w układ do ochrony przed wyładowaniami statycznymi (oparty o tranzystory MOS). **Z wykorzystaniem struktury testowej, autor wyznaczył rzeczywiste prądy upływu tej struktury w**

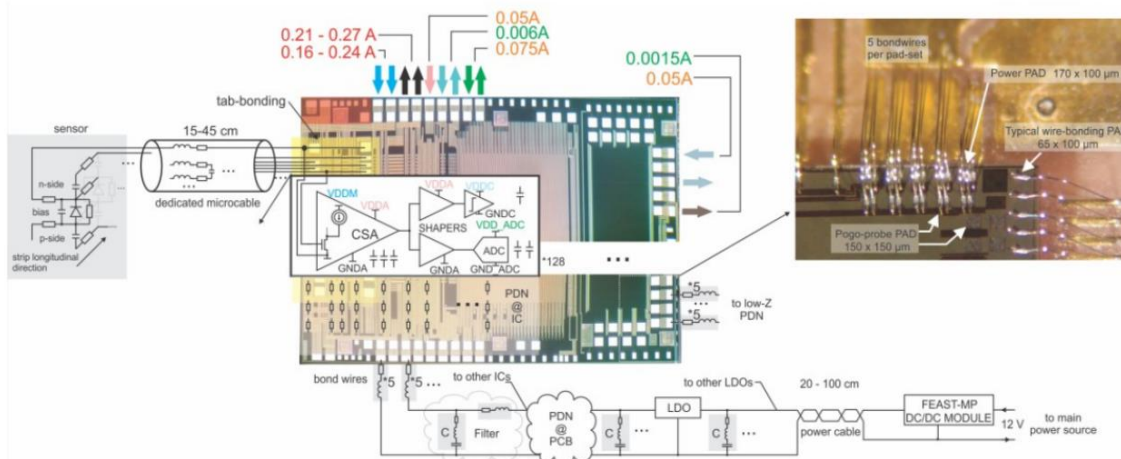
różnych warunkach (Rys. 26) a następnie przeanalizował wpływ tego prądu na tor przetwarzania ładunku, a przede wszystkim na układ zerowania [H8]. Praca ¹ omawia wpływ różnych czynników na poziom szumów.



Rys. 26 a) Struktura testowa układu do protekcji przed wyładowaniami statycznymi w układzie SMX2 [H8] i wykorzystany układ pomiarowy [H8]. b) Wyniki pomiarów prądu upływu struktury testowej [H8,H9].

2.D.8 Wpływ systemu, układów zasilających i wewnętrznych sieci na wydajność układu SMX2

Wydajność tak złożonego systemu jest wypadkową wpływu wielu różnych czynników. Poza wspomnianymi wcześniej, zaliczyć do nich można elementy pasozytnicze samego układu scalonego, sposobu mikromontażu (połączenia drutowe), obecność i jakość zewnętrznych kondensatorów odsprężających i filtrujących współpracujących z siecią zasilania, a także właściwości stabilizatorów napięcia. Jest to szczególnie istotne w wielokanałowych układach wykorzystujących asymetryczną architekturę (*single-ended*) wzmacniaczy. Jest ona pożądaną ze względu na niższy wkład szumowy w porównaniu do struktur różnicowych ale charakteryzuje się niskim współczynnikiem tłumienia zasilania (PSRR, *power-supply rejection ratio*). Autor opracował modele symulacyjne wspomnianych komponentów i w połączeniu z modelami opisanymi wcześniej, przeprowadził analizy pracy układu SMX2 i koordynował udaną integrację na poziomie systemowym [H5] w detektorze STS. W szczególności był on odpowiedzialny za: wyznaczenie charakterystyk PSRR, oszacowanie wpływu wszystkich komponentów na wydajność układu (np. szумы), budżet mocy, optymalizację systemu zasilania, opracowanie specyfikacji (np. stabilność napięć zasilania, widmo szumów) wpływających na projekt obwodów drukowanych i specjalizowanych, odpornych radiacyjnie, stabilizatorów napięcia projektowanych w ośrodku VECC w Indiach [H5].

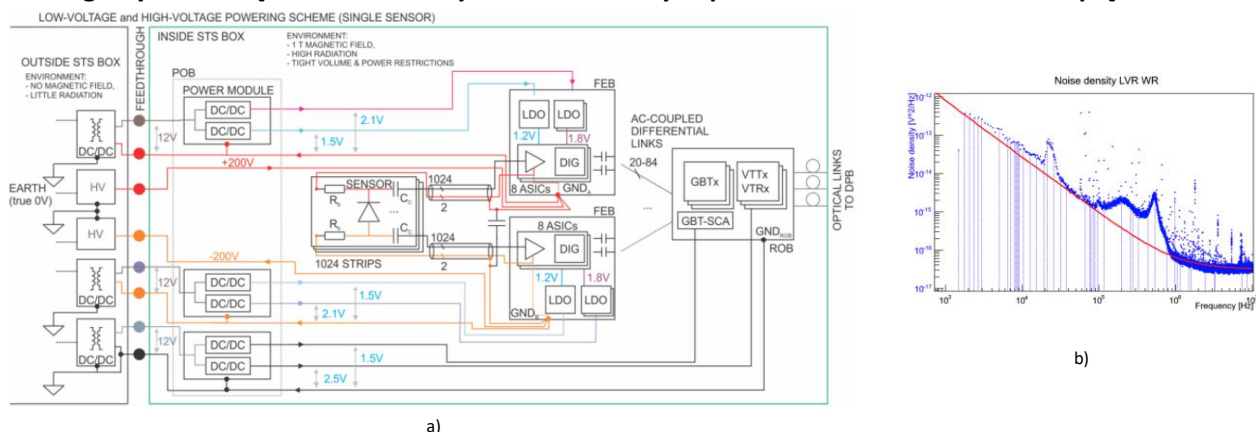


Rys. 27 Problemy związane z integralnością zasilania i elementami pasozytniczymi w systemie STS z układami SMX2 [H5].

Autor brał udział w opracowaniu systemu zasilania elementów detektora STS (Rys. 28). Detektor jest spolaryzowany wysokim napięciem dostarczanym mikroprzewodami przez masę układów odczytowych SMX2. Układy scalone będą zasilane przez zespół ultra-niskoszumnych stabilizatorów napięcia przez pośredni stopień efektywnych przetwornic impulsowych DC/DC z cewkami powietrznymi ze względu na 1T pole magnetyczne (Rad-Hard FEAST, CERN). Testy wykazały, że komercyjne rozwiązania nie spełniają wymagań.

¹ W. Zubrzycka, K. Kasinski, *Noise considerations for the STS/MUCH readout ASIC*, CBM progress report 2017: Compressed Baryonic Matter experiment at FAIR / eds. Ilya Selyuzhenkov, Alberica Toia. Darmstadt : CBM Collaboration, GSI Helmholtzzentrum für Schwerionenforschung GmbH, 2018, S. 32–33.

Autor był odpowiedzialny za opracowanie budżetu mocy modułu detekcyjnego, wszystkie aspekty systemowe dotyczące układu SMX2 i jego udanej integracji w systemie. Przeprowadził on ewaluację poszczególnych rozwiązań i oczekiwanych lub zmierzonych parametrów stabilizatorów napięcia.



Rys. 28 a) System zasilania w detektorze STS [H5]. b) Widmowa gęstość mocy szumów zmierzona na wyjściu prototypowego stabilizatora LDO [H5].

Szeregowa rezystancja magistrali zasilających w układzie scalonym (Rys. 27) jest szczególnie istotna w wielokanałowych układach w których obciążenie jest rozłożone nierównomiernie. Pomimo dużej powierzchni (7424 $\mu\text{m} \times 4500 \mu\text{m}$) zajmowanej przez część analogową, to wzmacniacz ładunkowy (powierzchnia zaledwie 0.014 mm^2) pobiera nawięcej mocy w każdym ze 128 kanałów. Dostarczenie odpowiedniej jakości napięć zasilania w czterech domenach do wszystkich bloków funkcjonalnych stanowi wyzwanie. Pomimo wykorzystania trzech z sześciu warstw metali wyłącznie na rozproszony zasilania, wyniki nie były wystarczająco dobre. **Autor przeanalizował i zaprojektował system zasilania (PDN, power delivery network) układu SMX2 z dodatkową magistralą zasilającą z rozproszoną pojemnością odsprężającą uzyskując 3-4 krotnie niższe spadki napięcia (max. 25 mV dla kanałów pośrodku), w porównaniu do poprzedniego prototypu [H7].**

2.D.9 Testowalność układów SMX2, procedury i systemy do testowania

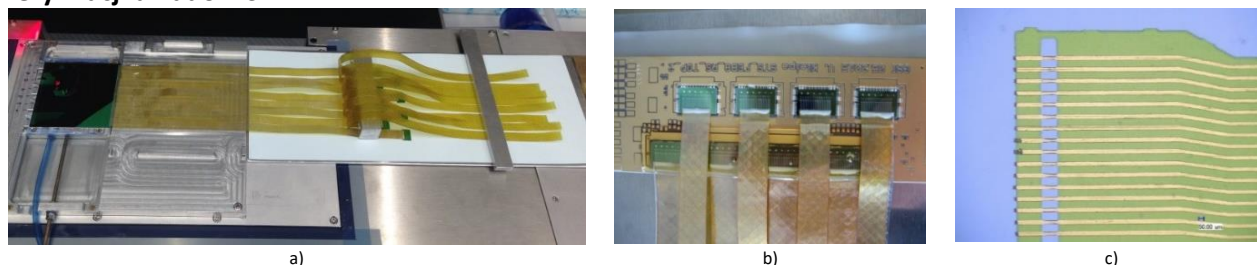
SMX2 jest dużym (10 mm x 6.77 mm), złożonym, wielokanałowym (128) układem scalonym typu mieszanego z 288 polami kontaktowymi. Na jego część cyfrową składa się 10700 linii kodu Verilog tworzących 68 modułów syntezowanych w 54400 bramkach i 12600 przerzutnikach. Każdy tranzystor i połączenie w układzie scalonym podlega rozrzutom produkcyjnym, niestabilności procesu oraz problemom z uzyskiem. Obwody są projektowane wykorzystując metodologie zwiększające uzysk, wykorzystując analizy Monte-Carlo oraz analizy warunków brzegowych w celu minimalizacji ryzyka obniżonej wydajności. Mimo to, testy i kalibracja są konieczne po wyprodukowaniu. Podjęcie decyzji o kwalifikacji układu jako sprawny lub niesprawny nie jest proste w przypadku tak złożonego układu zawierającego obwody analogowe. Czas trwania testów na poziomie wafera jest krytyczny. Test pojedynczego układu trwający np. 3.5 minuty skutkuje 60 dniami ciągłej pracy stacji prób (*probe station*).

Wyprodukowanych zostanie ponad 100 waferów zawierających ponad 35 000 układów scalonych SMX. Typowo, w przemyśle mikroelektronicznym wykonuje się testy na poziomie wafera (*wafer-level tests*) przed pocięciem (*dicing*) i umieszczeniem działających układów scalonych (*known-good die / KGD*) w obudowach (*packaging*) lub montażem bezpośrednio na PCB (*COB chip-on board*). Ewentualną kalibrację i kolejne testy wykonuje się już na układach pracujących w systemie.

Budowa modułu detekcyjnego składającego się z jednego detektora, 16 układów SMX2 i 32 mikroprzewodów i spełnienie wysokich wymagań jakościowych (np. liczba niedziałających kanałów) jest wyzwaniem. Ten wieloetapowy, czasochłonny proces mikromontażu wymaga wielu niestandardowych narzędzi oraz nie w pełni zautomatyzowany (Rys. 29). Błędy podczas TAB-bonding'u mogą być naprawione, pod warunkiem, że zostaną wykryte na odpowiednim etapie (przed montażem kolejnej warstwy przewodów czy zastosowania środka do hermetyzacji). Tego rodzaju błędy w połączeniach można wykryć poprzez pomiar poziomu szumów kanałów układu scalonego przed i po mikro-montażu każdego z przewodów. W celu poprawy jakości budowanych modułów konieczne jest wielokrotne testowanie w trakcie procesu mikromontażu. Dodatkowo, niewielka liczba wyprodukowanych układów scalonych będzie testowana po

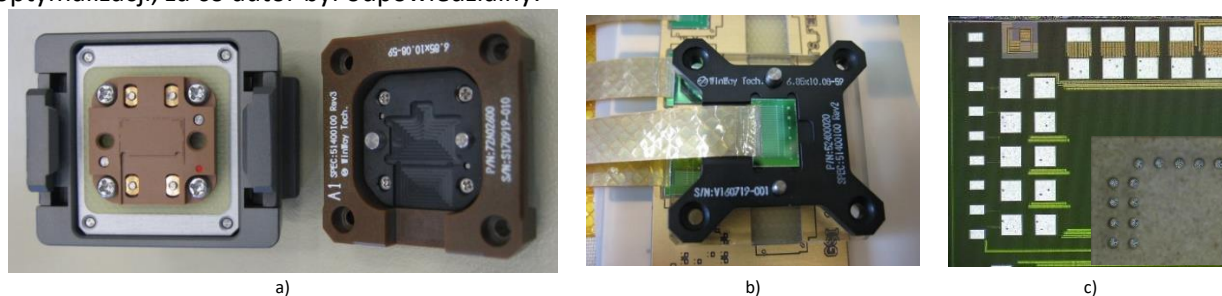
montażu COB (*chip-on-board*) w celu budowy modułów demonstracyjnych i testowych. Celem jest możliwie szerokie spektrum testów i ekstrakcja parametrów w różnych warunkach środowiskowych, co jest trudniejsze na innych stacjach testowych. **Autor dokonał analizy i opisu tych etapów [1].**

Udana integracja modułów detektora STS wymaga odpowiednich systemów testujących. Habilitant opracował koncepcję zadań pomiarowych i procedur testowych do zrealizowania na każdym z poziomów testowania (*wafer-level, pogo-probe tester, in-system testing*) wieloetapowego procesu produkcji modułów detekcyjnych oraz ich wsparcie na poziomie układu scalonego z uwzględnieniem szczególnych ograniczeń każdego z nich [H4], ^{2,3}. Zaprojektował on również obwody drukowane wykorzystywane do weryfikacji układów SMX2.



Rys. 29 a) moduł detektora w trakcie budowy. b) Testy TAB-bondowania mikro-przewodów do układów SMX2. c) Fragment mikroprzewodu.

Zweryfikowanie poprawności TAB-bondingu nie jest możliwe z wykorzystaniem stacji prób (*wafer prober*). **Autor konsultował projekt stacji testującej wykorzystującej pogo-pin'y i zapewnił jego wsparcie na poziomie układu scalonego SMX2 (Rys. 30).** Typowo, pogo-pin'y (sprężynujące igły testowe) są wykorzystywane do tworzenia tymczasowego połączenia z obwodami drukowanymi lub obudowami układów scalonych. Zaprojektowane stanowisko natomiast, w nietypowy sposób łącząc się bezpośrednio z polami kontaktowymi na układzie scalonym, pozwoli na testowanie układu SMX2 przed i po montażu mikroprzewodu. Gęstość oraz precyzja wykonania i lokalizacji igieł sprężynujących jest wielokrotnie gorsza niż w przypadku pinów dźwigniowych na *wafer-probe card*, co uniemożliwia podłączenie się do pól kontaktowych stosowanych typowo w mikroelektronice. Autor zastosował zatem dodatkowe pola kontaktowe, znacznie większe od typowych ($150\ \mu\text{m} \times 150\ \mu\text{m}$ zamiast $100\ \mu\text{m} \times 65\ \mu\text{m}$). Ich rozmiar powoduje, że tylko wybrana, minimalna liczba połączeń może być zrealizowana, co ogranicza liczbę realizowalnych testów i wymagało optymalizacji, za co autor był odpowiedzialny.



Rys. 30 a) Pogo-probe tester dla układów SMX zaprojektowany w GSI, Niemcy we współpracy z autorem ⁴. b) Układ SMX2 w testerze po tab-bondowaniu mikroprzewodu ⁵. c) Ślady na dedykowanych padach po kontakcie z igłami testowymi i powiększenie igieł osadzonych w testerze ⁶.

Układ SMX2 zawiera szereg funkcjonalności diagnostycznych. Wbudowane generatory impulsów (zarówno w domenie cyfrowej i analogowej) pozwalają na wyzwolenie grupy lub indywidualnych kanałów na poziomie cyfrowym lub na wstrzyknięcie wybranej ilości ładunku na wejście wzmacniacza ładunkowego. Umożliwia to realizację testów stopniowo, moduł po module, w tym deterministyczną lub losową generację zdarzeń również wykraczających poza możliwości szybkościowe układu scalonego. Wielopoziomowy system resetu umożliwia powrót do funkcjonalności po różnego rodzaju awariach, jak i również daje szansę na uzyskanie informacji o powodzie awarii. Układ pozwala również monitorować liczbę skorygowanych przez

¹ Kasinski, K., & Zubrzycka, W. (2016). Test systems of the STS-XYTER2 ASIC: From wafer-level to in-system verification. In *Proceedings of SPIE - The International Society for Optical Engineering* (Vol. 10031). <https://doi.org/10.1117/12.2249137>

² Kasinski, K., & Zubrzycka, W. (2016). Test systems of the STS-XYTER2 ASIC: From wafer-level to in-system verification. In *Proceedings of SPIE - The International Society for Optical Engineering* (Vol. 10031). <https://doi.org/10.1117/12.2249137>

³ Kasinski, K., Zubrzycka, W., & Szczygiel, R. (2017). Microstrip and gas electron multiplier readout ASIC for physics experiment at FAIR. In *Proceedings of the 24th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES 2017*. <https://doi.org/10.23919/MIXDES.2017.8005217>

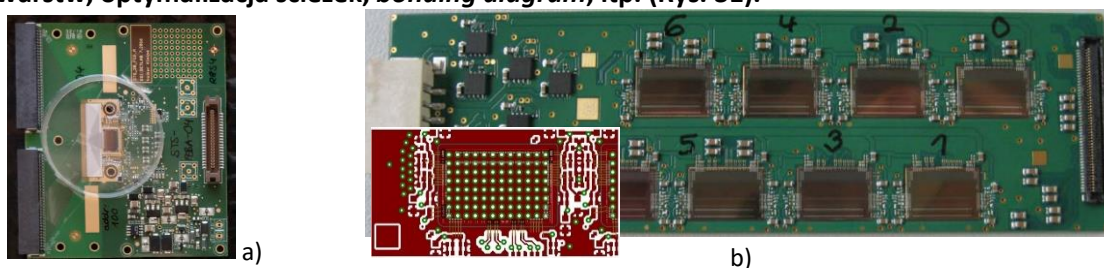
⁴ C. Simons, C. J. Schmidt, V. Kleipa, K. Kasinski, Fixtures for quality assurance of STS silicon sensors and STS-XYTER ASIC, CBM Progress Report 2014, s. 32, (2015).

⁵ C. Simons, D. Soyk, R. Visinka, O. Vasylyev, I. Tymchuk, et al., Status of STS-module-assembly at GSI, 28th CBM collaboration meeting, GSI, 26th-30th September, 2016.

⁶ M. Dogan, et al. Test and Quality of STS/MUCH-XYTER ASIC for STS Read-out, CBM Progress Report 2017, s. 28, (2018).

tryplikację błędów spowodowanych przez efekty SEU, liczba błędów CRC i problemów z synchronizacją łącza danych. SMX2 zawiera także 64-bitową pamięć OTP (*One-Time Programmable*) typu e-fuse, zintegrowaną w projekcie przez habilitanta, pozwalającą na nadanie numeru seryjnego po wstępnych testach oraz na wypełnienie pełnej identyfikowalności (*traceability*) i bazy danych kalibracyjnych od wczesnego etapu produkcji systemu detekcyjnego. **Autor zapewnił dobór funkcjonalności diagnostycznych w układzie SMX2 i współprojektował je. Brał również udział w projekcie układu do autodiagnostyki kolejnego prototypu poziomu napięć zasilających i wielu wewnętrznych potencjałów polaryzujących wraz z jednym zewnętrznym wejściem**¹.

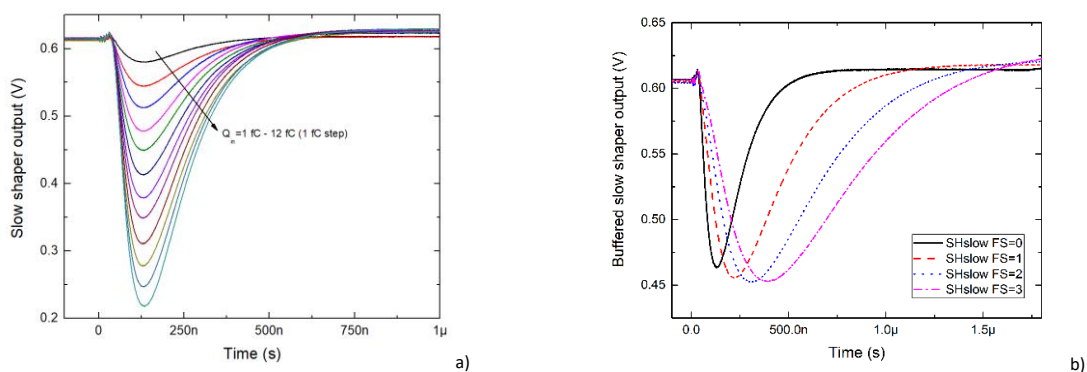
Wydajność testów zależy w dużej mierze od poprawnego wyboru sprzętu pomiarowego, projektu obwodów testowych i ich współpracy pod zdalną kontrolą skryptów testujących. Wiele wymagań stawianych tym systemom na różnych etapach jest sprzeczna (np. niewielkie wymiary a wydajność i testowalność oraz elastyczność). **Habilitant zaprojektował modułowy system pomiarowy do realizacji testów układu SMX2.1 bazujący na specjalnie dobranej, zaawansowanej, programowalnej aparaturze laboratoryjnej (m.in.: szybkie generatory i digitizery, układ FPGA i karty interfejsowe, źródła mierzące SMU, itp.) głównie opartej na rozwiązaniach modułowych firmy National Instruments. Może on współpracować z szerokim wachlarzem stanowisk testowych (opisanych wcześniej)². Autor konsultował również projekty prototypowych obwodów dla układów SMX2, w tym: lokalizację, liczbę, dobór kluczowych komponentów, liczbę warstw, optymalizacja ścieżek, *bonding diagram*, itp. (Rys. 31).**



Rys. 31 a) Obwód FEB-C zaprojektowany w GSI, Niemcy, konsultowany przez autora. b) Prototypowy obwód FEB-8, zawierający 8 układów scalonych SMX2, zaprojektowany na AGH, konsultowany przez autora³. Obszar obwodu wokół pojedynczego układu SMX2.

2.D.10 Wyniki testów i pomiary parametrów

Układ SMX2 (wymiar: 10 mm x 6.7 mm) został wyprodukowany w technologii UMC 180 nm CMOS MM/RF, poddany procesowi ścienienia do 300 μm i *Stealth-Laser Dicing'u* i w tysiącu sztuk udostępniony zespołom badawczym do realizacji testów i prób mikromontażu. **Wybrane wyniki testów układu SMX2, wykonane głównie przez habilitanta, zostały opublikowane w pracy [H9].** Poniżej przedstawiono wybrane wyniki pomiarowe z wyprodukowanych układów scalonych. Rys. 32 przedstawia przebiegi napięcia na wyjściu wolnego filtra kształtującego dla różnych amplitud ładunków wejściowych oraz dla różnych ustawień czasu kształtowania. Programowalny czas kształtowania umożliwia optymalny jego wybór do panujących warunków jeśli chodzi o współzależność szumów prądowych, napięciowych i typu 1/f w systemie detekcyjnym.



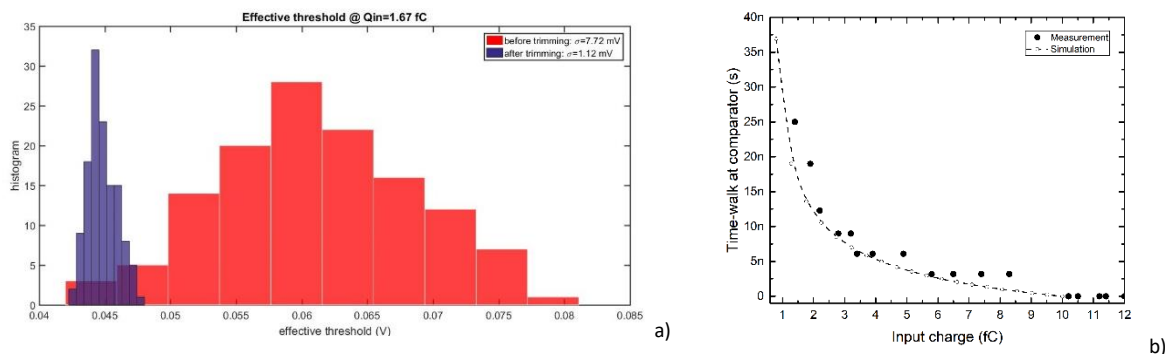
¹ Zubrzycka, W., & Kasinski, K. (2017). Biasing potentials monitoring circuit for multichannel radiation imaging ASIC in-system diagnostics. In *Proceedings of the 24th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES 2017*. <https://doi.org/10.23919/MIXDES.2017.8005190>

² Kasinski, K., Zubrzycka, W. (2016). Test systems of the STS-XYTER2 ASIC: From wafer-level to in-system verification. In *Proceedings of SPIE - The International Society for Optical Engineering* (Vol. 10031). <https://doi.org/10.1117/12.2249137>

³ Christian Joachim Schmidt, „FEB-8”, 31st CBM Collaboration Meeting, Darmstadt, Niemcy, 03.2018.

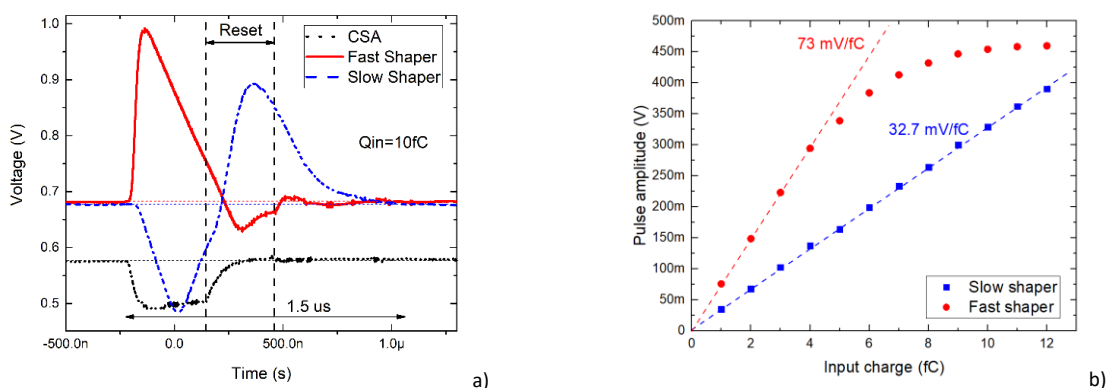
Rys. 32 Przebiegi napięcia na wyjściu wolnego układu kształtującego dla a) ładunków wejściowych w nominalnym zakresie dynamicznym układu w trybie STS [H9], b) dla różnych czasów kształtowania [H9].

Rys. 33 a przedstawia histogram efektywnych progów komparatora w szybkim torze pomiarowym dla jednego z badanych układów przed oraz po przeprowadzeniu procedury kalibracji z wykorzystaniem przetworników DAC w każdym z kanałów. Rozrzut zmniejszył się prawie 7-krotnie do poziomu 1.12 mV rms, co odpowiada ładunkowi 93 e-. Rys. 33 b przedstawia zależność efektu wędrowania znacznika czasowego (time-walk) w funkcji ładunku wejściowego dla progu ok. 0.8 fC. Wyniki pomiarowe są zbieżne z symulowanymi. Pomiar czasu będzie korygowany po odczycie z układu scalonego na podstawie informacji o amplitudzie (rozdzielczość: 0.5 fC).



Rys. 33 a) poprawa rozrzutu efektywnego progu komparatora w torze do pomiaru czasu (zaprojektowanym przez habilitanta) [H9]. b) Pomiar i symulacja efektu wędrowania znacznika czasowego [H9].

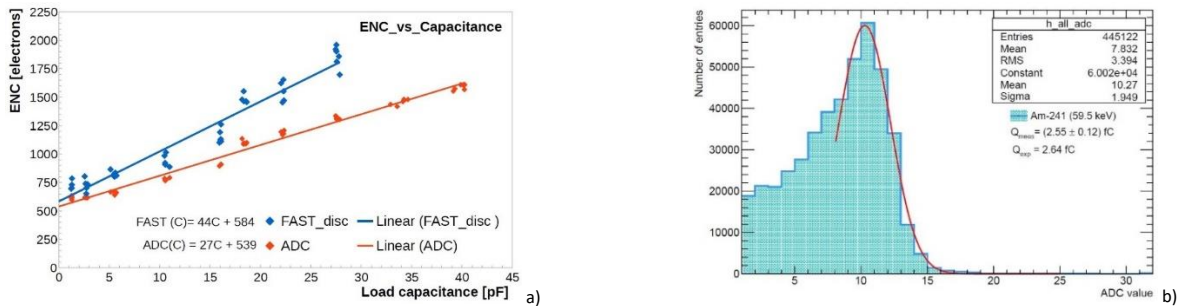
Rys. 34 a przedstawia przebiegi czasowe na wyjściu wzmacniacza ładunkowego oraz obu filtrów kształtujących po włączeniu funkcjonalności tzw. „szybkiego resetu”, a więc szybkiego przywracania poziomu bazowego po przetworzeniu impulsu przez kanał. Dzięki tej funkcji, zaprojektowanej przez autora maksymalna szybkość impulsów wejściowych, które mogą być poprawnie przetworzone przez układ wzrosła. Rys. 34 b przedstawia liniowość odpowiedzi torów szybkiego i wolnego na pobudzenie ładunkiem o zakresie 0-12 fC (nominalny zakres dla detektora STS). Tor do pomiaru amplitudy zachowuje liniowość, natomiast tor do pomiaru czasu jest liniowy do około 4 fC, co pozwala na elastyczną konfigurację progu komparatora oraz uzyskanie impulsu o wystarczająco szybkim zboczach narastającym (minimalizacja *jitter'a* znacznika czasowego)



Rys. 34. a) Przebiegi na wyjściu wzmacniacza ładunkowego i filtrów kształtujących przy zastosowaniu układu tzw. szybkiego resetu (omówionego wcześniej) [H9]. b) wyznaczone charakterystyki wzmocnienia na wyjściach filtrów kształtujących w trybie STS [H9].

Rys. 35 a przedstawia pomiary szumu obu torów w funkcji pojemności na wejściu wzmacniacza. Dla pojemności 20 pF zmierzono szum na poziomie 1000 e- rms w kanale wolnym. Dzięki sposobowi digitalizacji impulsów, wyższy szum w kanale szybkim (efekt szerszego pasma) nie wpłynie na ilość danych nie pochodzących od cząstek przechodzących przez detektor. Rys. 35 b przedstawia widmo promieniowania zarejestrowanego z wykorzystaniem prototypowego modułu detekcyjnego z układem SMX2.

Uzyskane wyniki zyskały aprobatę partnerów z kolaboracji CBM dzięki czemu układ SMX2 zostanie rozwinięty w ostateczny układ odczytowy dla detektorów STS i MuCH i dostarczony w dziesiątkach tysięcy sztuk będą wykorzystywane przez lata pracy w eksperymencie fizyki wysokich energii.

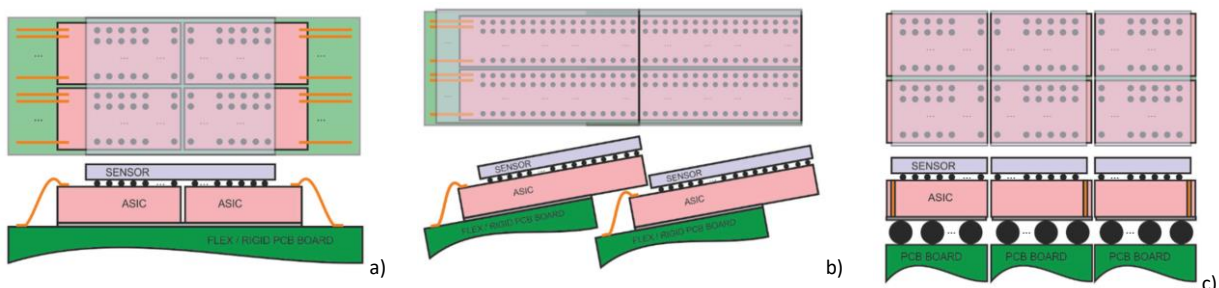


Rys. 35. a) Zmierzony szum układu SMX2 dla różnych pojemności detektora [H9], b) Widmo ^{241}Am zarejestrowane układem SMX2 [H9].

3. ROZWÓJ PIKSELOWYCH SYSTEMÓW DETEKCYJNYCH PROMIENIOWANIA X Z WYKORZYSTANIEM TECHNOLOGII 3D.

Prace habilitanta omówione poniżej opisane są w artykułach: [H10][H11][H12]. Badania wykorzystujące promieniowanie X pozwalają na prężny rozwój takich dziedzin nauki jak biologia, medycyna, fizyka czy przemysł materiałowy. Ze względu na szerokie pole zastosowania istnieją różne sposoby jego detekcji. Na podstawie doświadczeń wyniesionych z budowy systemów detekcyjnych dla eksperymentu CBM habilitant skoncentrował się na obrazowaniu z wykorzystaniem hybrydowych detektorów pikselowych pracujących w trybie zliczania pojedynczych fotonów. Systemy takie składają się z trzech elementów:

- detektora pikselowego (zazwyczaj opartego o krzem, german, arsenek galu, CdZnTe lub inne materiały półprzewodnikowe w zależności od współczynnika absorpcji dla wymaganej energii fotonów),
- mikroelektronicznego układu odczytowego zawierającego zazwyczaj dziesiątki tysięcy pikseli. Zintegrowane w każdym pikselu wzmacniacz ładunkowy, filtr kształtujący, komparatory i część cyfrowa pozwalają zliczyć i/lub zmierzyć ładunek wygenerowany w detektorze przez padające fotony,
- obwodu drukowanego (PCB) z elementami peryferyjnymi tworzącymi najczęściej kamerę cyfrową. Ma on za zadanie m.in. zasilić, schłodzić, utrzymać mechanicznie i zapewnić szybką komunikację z modulem.



Rys. 36 Metody budów detektorów o większej powierzchni. a) Budowa typu 2 x N. b) Budowa typu 1xN z zastosowaniem metody na ukrycie części martwej. c) Budowa modułowa typu „plug-in” NxN rozwinięta w kolejnej sekcji [H11].

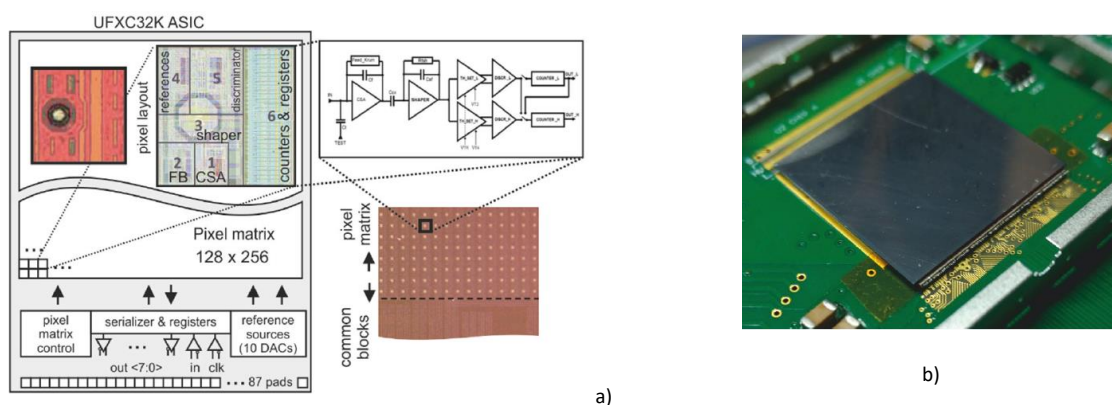
Coraz istotniejsza staje się konieczność budowy systemów detekcyjnych o dużej powierzchni. W zależności od zastosowania, np. dla synchrotronów, powinny one gwarantować pracę z bardzo dużą częstotliwością impulsów wejściowych przy jednoczesnej możliwości bardzo szybkiego odczytu matrycy pikseli (dziesiątki tysięcy klatek na sekundę). Układy odczytowe mają zazwyczaj powierzchnię zaledwie kilku cm^2 . Jedną z metod zwiększenia powierzchni jest odczyt pojedynczego detektora pikselowego o dużej powierzchni przez wiele układów scalonych rozłożonych w układy typu 2xN lub 1xN (Rys. 36 a). Układy są zaprojektowane tak, aby zminimalizować obszar martwy na trzech krawędziach tak, by można było zsunąć ze sobą układy scalone na trzech krawędziach (*3-side buttable*), podczas gdy czwarta krawędź zawiera m.in. pola kontaktowe i mikropołączenia drutowe (*wire-bond*) do PCB. Podejście to ogranicza to możliwość budowy systemów detekcyjnych o jeszcze większej powierzchni (szerszej niż dwie długości układu scalonego) bez znaczącego obszaru martwego. Kaskadowanie kolejnych warstw detektorów pozwala częściowo ukryć obszary martwe (Rys. 36 b), co jednak stwarza problemy w odwzorowaniu obrazowania i jest skomplikowane mechanicznie. **Autor zaprojektował i zbudował moduł detektora pozwalający na budowę płaskich, wielkopowierzchniowych detektorów ze znacznie zminimalizowanym obszarem martwym (Rys. 36 c).**

Punkt wyjścia, układ pikselowy UFXC32K (proces CMOS 130 nm, wymiary: 9.64 mm x 20.15 mm) składa się z matrycy 128 x 256 pikseli o wymiarach 75 μm x 75 μm (Rys. 37) umożliwiających zliczanie pojedynczych fotonów poprzez współpracę z różnego rodzaju detektorami półprzewodnikowymi generującymi ładunek w postaci elektronów lub dziur. Każdy piksel zawiera około 1500 tranzystorów. Ponad 2/3 obszaru piksela zajmuje tor analogowy, podczas gdy 1/3 zawiera część cyfrową. Znajduje się w nim wzmacniacz ładunkowy z tzw. układem Krummenachera służącym do ustalania punktu pracy, rozładowania kondensatora w sprzężeniu zwrotnym oraz kompensacji prądu upływu detektora. Zarówno wzmocnienie jak i napięcia niezrównoważenia są wewnętrznie korygowalne w celu minimalizacji efektów rozrzutów i efektów PVT (*Process, Voltage, Temperature*). Układ dwóch komparatorów pozwala na elastyczną pracę w kilku trybach:

- trybie normalnym (14-bitowe liczniki z oknem energetycznym ustalonym przez dwa progi),
- trybie o dużym zakresie dynamicznym (28-bitowy licznik, jeden próg komparatora),
- trybie o zerowym czasie martwym (14-bitowym licznikiem, jeden próg, ciągły odczyt).

Systemy zaprojektowane przez habilitanta pozwoliły wyznaczyć kluczowe parametry tego układu.

W zależności od zastosowania można odczytywać określoną liczbę bitów (np. 14, 8, 4, 2) z każdego piksela. Dzięki szybkiemu łączu danych (3.2 Gbps) można uzyskiwać bardzo dużą liczbę klatek na sekundę (70 000 kfps przy 2-bit/pixel). Układ pozwolił na uzyskanie niskich szumów o wartości ENC=126 e⁻ rms, a także bardzo niskich rozrzutów progów komparatora (<8.5 e⁻) oraz wzmocnień (<1.9%)¹.



Rys. 37 a) Układ pikselowy UFXC32K wykorzystywany, modyfikowany i testowany przez autora [H11]. b) Układ UFXC32K w układzie 1x2 pracujący w systemie zaprojektowanym przez habilitanta [H12].

Efekty pracy habilitanta podsumowane są poniżej:

- Identyfikacja możliwości oraz ograniczeń technologicznych i systemowych poprzez budowę systemów do obrazowania promieniowania X z wykorzystaniem układów 1x1 i 1x2 z mikropołączeniami drutowymi.
- Dostosowanie układu scalonego UFXC32K do wykorzystania nowatorskiej kombinacji najnowocześniejszych technik mikromontażu. Zastosowano m.in. technologię TSV (*Through-Silicon Via*), warstwę redystrybucyjną RDL (*Redistribution Layer*) na spodzie układu, mikropołączenia pomiędzy elementami systemu hybrydowego zapewniające jednocześnie (po odpowiednim cięciu wafera) klasyczny montaż z wykorzystaniem wire-bondingu.
- Zaprojektowanie i wykonanie modułu detekcyjnego umożliwiającego budowę szybkiego, wielopowierzchniowego detektora z niewielką powierzchnią obszaru martwego. Nietypowe wykorzystanie technologii LTCC (*Low-Temperature Co-fired Ceramic*) jako materiału dla obwodu drukowanego oraz wykorzystanie technik budowy systemów mieszanych zapewniły uzyskanie bardzo dobrych parametrów układu detekcyjnego (np. szумы, rozrzut parametrów w matrycy dziesiątek tysięcy pikseli).

Wstępna faza testów – budowa systemów z wykorzystaniem połączeń drutowych

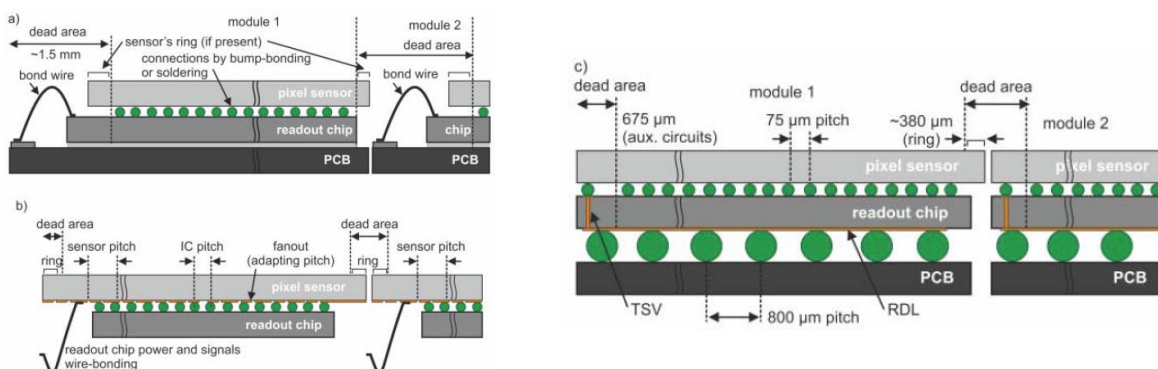
Systemy w których projektowaniu habilitant brał udział [H12] pomogły zidentyfikować szczególne wymagania układu pod kątem jakości zasilania układów scalonych i napięcia polaryzującego detektor, a także integralności sygnałowej oraz wydolności łańcucha akwizycji danych do efektywnego obrazowania

¹ P. Maj, P. Grybos, K. Kasinski, A. Koziol, A. Krzyzanowska, P. Kmon, R. Szczygiel, Measurements of Ultra-fast single photon counting chip with Energy window and 75 μm pixel pitch with Si and CdTe detectors”, Journal of Instrumentation C03064 (2017), doi:10.1088/1748-0221/12/03/C03064.

promieniowania. Obydwa rozwiązania pozwalały na obrazowanie z wykorzystaniem jednego lub dwóch układów UFXC32K.

Jeden z systemów jest zoptymalizowany do bardzo szybkich akwizycji przy zachowaniu stabilnych i bardzo dobrych parametrów analogowych systemu. Przemysłowej klasy system oparty o platformę PXI firmy National Instrument zapewnia bardzo szybką komunikację z układami scalonymi. Parametry pracy są zagwarantowane przez układ stabilizacji temperatury układów scalonych wykorzystujący moduły termoelektryczne i cienkowarstwowy czujnik temperatury umieszczony bezpośrednio pod układami scalonymi. Układ jest przystosowany do ciągłej pracy na liniach synchrotronowych, gdzie jest narażony na wysoki poziom promieniowania. Z wykorzystaniem tego systemu zidentyfikowano ograniczenia szybkościowe układów scalonych, stabilność temperaturową jego parametrów, wpływ efektów integralności sygnałowej i zasilania na jakość pracy i wiele innych. Autor zaprojektował obwód PCB i system stabilizacji temperatury. Drugi system pozwolił skutecznie przetestować układy zasilania i transmisji danych¹. Testowane były efekty termiczne i gęstości mocy w silnie zintegrowanym mikrosystemie umieszczonym w zamkniętej obudowie. Przetestowane zostało podejście podziału domen zasilania i obszarów masy, metody separacji domen analogowych, mieszanych i cyfrowych, techniki ekranowania, transferu ciepła i wiele innych technik budowy systemów elektronicznych pod kątem budowy modułu zaprezentowanego w kolejnej sekcji.

Moduł wykorzystujący technologie 3D do budowy wielkopowierzchniowych detektorów do obrazowania promieniowania

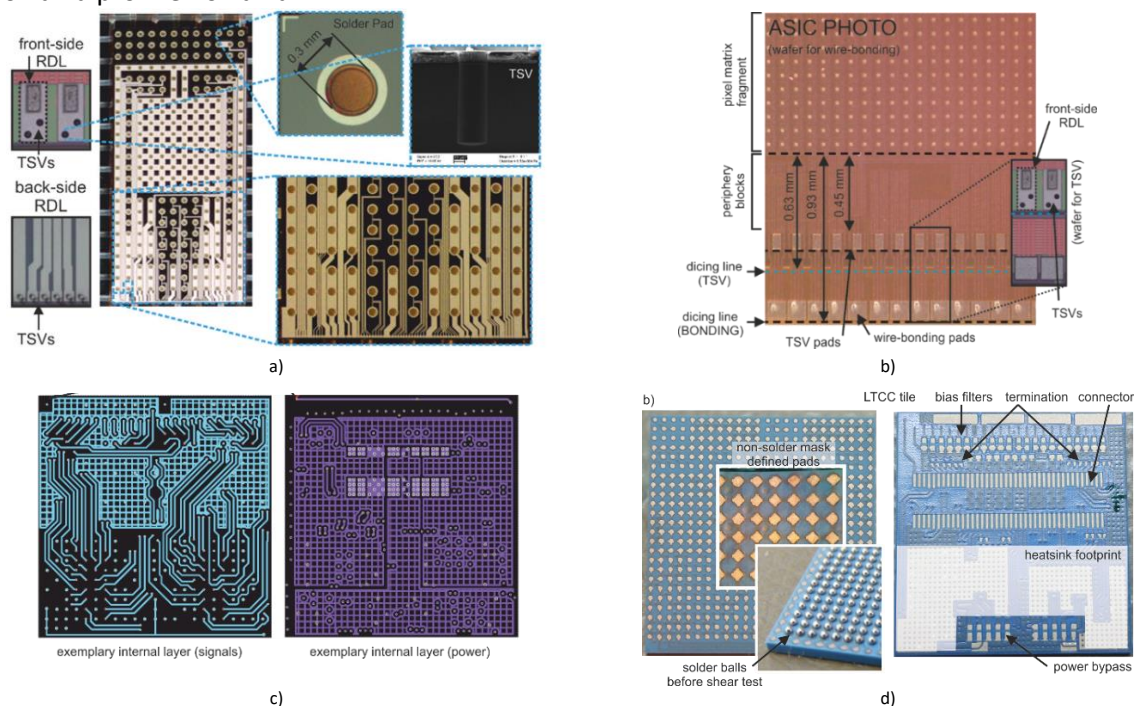


Rys. 38 Ograniczenia w budowie hybrydowych detektorów wielkopowierzchniowych z wykorzystaniem a) wire-bondingu [H10], b) sensorów o pikselach większych niż układy odczytowe [H10], c) wykorzystujące podejście z wykorzystaniem technologii TSV, rozwijane przez autora [H10].

Istniejące prace najbardziej liczących się ośrodków na świecie (w tym podjęte przez ośrodek CERN w Genewie) wskazywały na potencjalną skuteczność wykorzystania technologii TSV (*through-silicon via*) do realizacji połączeń pomiędzy warstwą górną a dolną układu scalonego i możliwości rezygnacji z połączeń drutowych (Rys. 38). **Autor opracował zaawansowany, mikrosystem do obrazowania promieniowania X o powierzchni 2 cm x 2 cm (65536 pikseli). Dzięki, modyfikacji układu UFXC32K i wykorzystaniu nowatorskiej kombinacji technologii mikromontażu (3D, TSV, RDL, 2-poziomowy montaż BGA, technologia LTCC) udało się zmniejszyć obszar martwy z ok. 3 mm do 0.63 mm.** Usunięto obszar zawierający pola kontaktowe do bondowania jak i same połączenia drutowe (Rys. 39 b). Zamiast tego, zastosowano przelotki typu TSV tworzone w dedykowanych miejscach. Po ich wykonaniu i ścienieniu wafera z 600 µm aż do 100 µm, zastosowano dwie aluminiowe warstwy redystrybucji (RDL), na górnej warstwie (od strony sensora) i na dolnej warstwie (od strony płytki drukowanej) (Rys. 39 a). Celem górnej jest realizacja kontaktu pomiędzy metalem górnym a dwiema redundantnymi przelotkami TSV (sumarycznie zastosowano 174 przelotki na chip). W celu umożliwienia doprowadzenia zasilania i odczytywania sygnałów z układów scalonych poprzez ich montaż na obwodzie drukowanym zastosowano dolną warstwę aluminium, które zapewniło połączenie elektryczne między przelotkami TSV a padami, które posłużą do lutowania. Projekt warstwy został zoptymalizowany pod kątem zapewnienia integralności sygnałów oraz doprowadzenia zasilania o możliwie dobrej jakości, a także zapewniając niską rezystancję termiczną i wysoką stabilność mechaniczną poprzez zastosowanie dużej liczby pól kontaktowych (macierz: 12 x 24, średnica: 0.3 mm). Zadanie to jest trudne ze względu na grubość warstwy redystrybucji oraz wysoką gęstość upakowania.

¹ P. Maj, P. Grybos, K. Kasinski, A. Drozd, J. Rauza, A. Koziol, A new approach for a cameras backend design for the 75 µm pitch hybrid pixel detector, in: 2014 IEEE Nucl. Sci. Symp. Med. Imaging Conf. NSS/MIC 2014, 2016. doi:10.1109/NSSMIC.2014.7431147.

Wysoka gęstość upakowania i gęstość połączeń, znacząca gęstość mocy, a także wysoka szybkość komunikacji przy zachowaniu niskich szumów stanowiły wyzwanie projektowe również w aspektach związanych z integralnością sygnałową (*Signal Integrity*) jak i integralnością zasilania (*Power Integrity*) [H11]. Moc jednego układu o wymiarach 10 mm x 6.75 mm to 1.2 W przy napięciach zasilania 0.8 V, 1.2 V i 2.5 V. Czystość i odpowiednia separacja zasilania układów typu mieszane łączących w sobie zarówno niskoszumne obwody analogowe, jak i szybkie układy cyfrowe są konieczne dla utrzymania kluczowych parametrów. Istotne jest także zapewnienie ultra-niskoszumowego wysokiego napięcia (>120 V) do polaryzacji detektora. Konieczne były również analizy dotyczące aplikowalności technologii *Through-Silicon Via* w obszarze obrazowania promieniowania X.

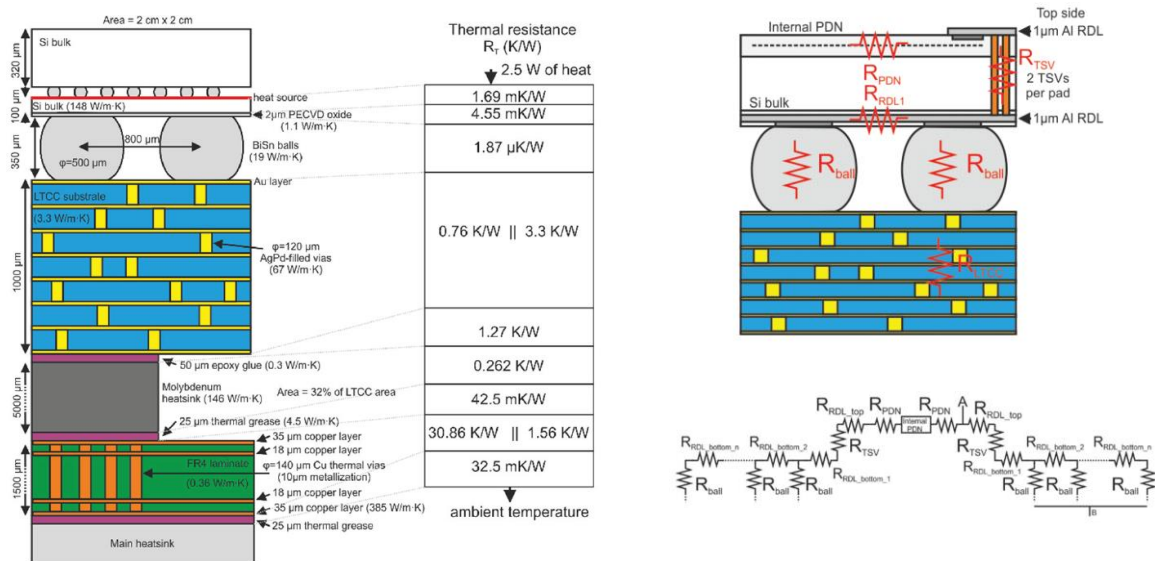


Rys. 39 a) Projekt warstw RDL po górnej i dolnej stronie układu scalonego [H11]. b) Górna strona układu UFXC32k zmodyfikowanego do zastosowania technologii TSV [H10]. c) Wybrane wewnętrzne warstwy zaprojektowanego 8-warstwowego obwodu drukowanego w technologii LTCC służącego do budowy mikrosystemu pomiarowego [H10]. d) Fotografie obwodów LTCC [H10].

Budowa systemu wymagała wykorzystania zaawansowanych metod projektowania systemów mieszanych, ekranowania, projektowania sieci dystrybucji zasilania, techniki szybkiej transmisji cyfrowej i zarządzania ciepłem (Rys. 40). Zapewnienie niezawodności modułu mikropołączeniach o bardzo dużej gęstości skutkuje koniecznością wnikliwej analizy zarówno przepływu i rozkładu ciepła w module, ale także zapewnienia odpowiedniego dopasowania współczynnika rozszerzalności temperaturowej (*CTE*, *Coefficient of Thermal Expansion*), aby zminimalizować naprężenia występujące pomiędzy elementami składowymi modułu. Analizy wykazały, że obiecującym materiałem do wykonania obwodu drukowanego są podłoża ceramiczne, a molibden materiałem na radiator ($CTE = 7.0 \text{ ppm}/^\circ\text{C}$).

Technologia *Low-Temperature Co-fired Ceramic* typowo znajduje zastosowanie w branży mikromontażu dla układów scalonych i układów hybrydowych w specyfikacji militarnej i kosmicznej, a także do budowy modułów wielkiej częstotliwości (np. radarów). Najczęściej jednak obwody te są jedno- lub dwuwarstwowe. Obwody oparte o technologię LTCC, w porównaniu do klasycznych podłoży FR-4 (Rys. 41), charakteryzują się: znacznie lepszą przewodnością cieplną przez materiał bazowy, niższym współczynnikiem rozszerzalności temperaturowej, lepiej dopasowanym do krzemu ($CTE_{Si}=2.6 \text{ ppm}/^\circ\text{C}$) a także doskonałymi tolerancjami wymiarów i nadają się do zastosowań w próżni. Możliwości technologiczne, pomimo że częściowo bardziej atrakcyjne, mocno ograniczają elastyczność projektowania w porównaniu do klasycznych obwodów opartych na FR4. Transfer ciepła przez przelotki w układach LTCC też jest lepszy ze względu na ich 100% wypełnienie metalem. Czynnikiem ograniczającym jest jednak fakt, że technologia ta nie pozwala na stos przelotek wyższy niż 3 warstwy. Proces LTCC nie jest procesem standardowym takim jak produkcja klasycznych wielowarstwowych obwodów PCB, w szczególności gdy stopień skomplikowania obwodu jest wysoki (liczba warstw: 8, minimalne szerokości i odstępy ścieżek), co powoduje poważne problemy z uzyskiem.

Zaprojektowane przez habilitanta moduły wykorzystujące 8-warstwowe obwody LTCC o grubości 1 mm i wymiarach 19.13 mm x 19.98 mm są przedstawione na Rys 39 c,d, Rys. 42.

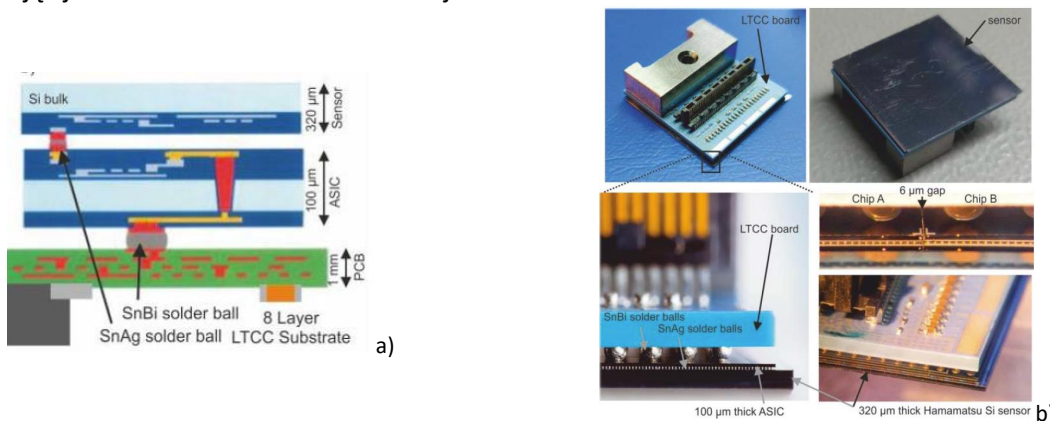


Rys. 40 Idealne przedstawienie problemów transferu ciepła i uproszczony model jednej z domen zasilania [H11].

	LTCC – Dupont 951	FR4 – ISOLA IS400
CTE (coeff. of thermal expansion):	5.8 ppm/°C	X,Y: 14 ppm/°C, Z: 30-40 ppm/°C
Min. trace width / spacing	125 μm 150 μm	76 μm 76 μm (3 mil)
Min. hole size:	0.1 mm (no thru-hole)	0.1 mm (HDI), 0.2 mm (drill)
Min. annular ring:	0.1 mm	0.1 mm (HDI), 0.15 mm (drill)
Metal coverage	<50%	No / little restrictions
Permittivity	7.8 @ 3GHz	3.9 @ 500 MHz
Loss tangent	0.006 @ 3GHz	0.022 @ 500 MHz
Conductor material	Au, Ag 10 μm	18 μm 35 μm
PCB size restrictions:	small tiles 66 mm x 66 mm	Large panels
Relative cost	High	Low – Moderate
Thermal conductivity	3.3 W/m·K	0.36 W/m·K
	3.3 – 40 (0.2 mm Au vias)	
Pros:	CTE better matched (Si: 2.6) better cooling	standard process (high yield) better trace densities
Cons:	Yield problems Custom, lengthy process	poor cooling poor CTE

Rys. 41 Porównanie podłoży ceramicznych i typowych, organicznych FR4¹.

W porównaniu do istniejących, podejście zaproponowane przez habilitanta ma przewagę (Tabela 1) ze względu na kombinację zastosowanych technologii i fakt, że przelotki TSV są w 100% wypełnione metalem, dzięki czemu ich wpływ na integralność sygnałową i zasilania jest zminimalizowany, a fakt zastosowania redundantnych przelotek zwiększa uzysk przy procesach mikromontażu. Zastosowane podejście udowodniło również skuteczność wykorzystania tych technologii w złożeniu 2 układów scalonych na jednym module. Dzięki temu otwiera się droga do budowy tego typu modułów w układzie 2 x N. Tematyka ta będzie dalej rozwijana ze względu na zainteresowanie rynku oraz możliwości poprawy uzyskanych wyników poprzez bardziej wysublimowany projekt zarówno układu scalonego, jak i elementów modułu hybrydowego poszukując jednocześnie możliwości redukcji kosztów.



¹ K. Kasinski, Thermal and Power Delivery Considerations of the 65k Pixel 3-D Integrated Radiation Imaging Module with Through-Silicon Vias, Presentation during MIXDES Mixed Design of Integrated Circuits and Systems, Bydgoszcz, Poland (2017).

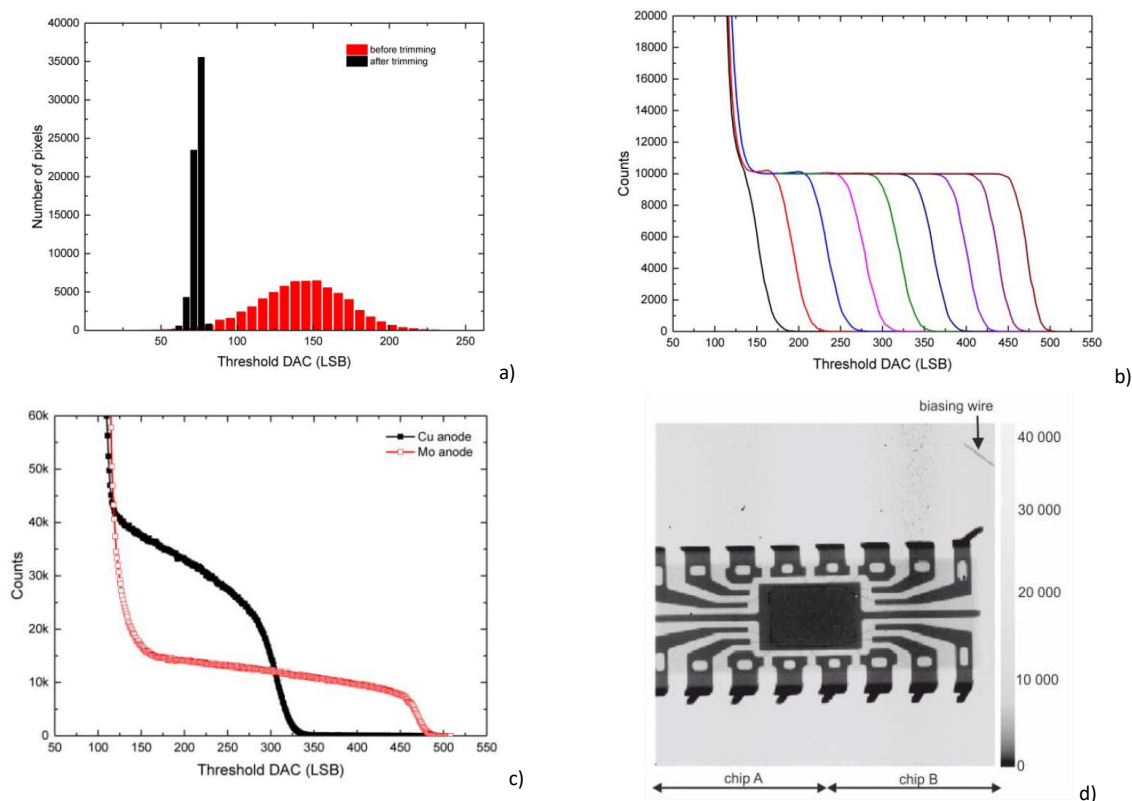
Rys. 42 a) Wizualizacja stosu tworzącego zaprojektowany mikromoduł pomiarowy [H10]. b) Fotografie wykonanego modułu detekcyjnego [H10].

Autor zaprojektował system testowy i przetestował wyprodukowane moduły pod kątem uzysku, poboru mocy, weryfikacji funkcjonalnej przy pracy z szybkością zegara 200 MHz, pomiarów rozrzutów parametrów analogowych z wykorzystaniem promieniowania, jak i generatora impulsów testowych. Uzyskano szumy na poziomie $166 e^-$ rms. Wybrane wyniki przedstawiono na rysunkach poniżej (Rys. 43).

Tabela 1 Porównanie opracowanego podejścia z innymi rozwiązaniami wykorzystującymi TSV [H10].

Nazwa układu ASIC	Medipix 3	Medipix3RX	FE-I3	FE-I4	[H10]
TSV type	Via last (from bottom)	Via last (from bottom)	Via last (from bottom)	Via last (from bottom)	Via last (from top)
TSV thickness / type / Chip thickness	60 μ m straight / 120 μ m	60 μ m / 200 μ m	110 μ m – 45 μ m tapered / 106 μ m	60 μ m straight / 160 μ m	20 μ m straight / 100 μ m
RDL material / thickness	Cu / 5 μ m	Cu / 5 μ m	Au	Cu	Al / 1 μ m
Front/ back- side RDL	NO (TSV connects to bottom metal) / YES	NO (TSV connects to bottom metal) / YES	NO (Cu plug only) / YES	NO / YES (2-layers possible)	YES (to top metal) / YES
BGA grid	10x10	7x10	N/A	N/A	12x24
TSV filled	NO	NO	NO	NO	YES

Opracowane przez habilitanta systemy wykorzystujące technologię TSV zostały wyprodukowane i przetestowane z wykorzystaniem promieniowania X uzyskując tylko 17 martwych pikseli (z 65536 tworzących moduł: 0.026 %) i niskie rozrzuty progu komparatorów $\sigma=8 e^-$ rms. Systemy te są atrakcyjne dla wielu instytucji na całym świecie (Synchrotron SOLEIL - Francja, Argonne National Laboratory - USA, Rigaku Corporation - Japonia) i uzyskały szereg wyróżnień m.in. na 5 wystawach wynalazków, z czego najważniejsze to: złoty medal na 44 Międzynarodowej Wystawie „Geneva Inventions 2016”, Szwajcaria, srebrny medal i Thailand Award for the Best Int’l Inventions, SIIF 2015 Seoul, Korea.



Rys. 43 Wybrane wyniki pomiarów [H10]. a) Histogram napięć niezrównoważenia z 65536 pikseli w module przed i po kalibracji (10-krotna poprawa). b) Test z wykorzystaniem impulsów kalibracyjnych o rosnącej amplitudzie (tzw. s-krzywe). c) Widmo całkowite promieniowania (Cu – 8.04 keV i Mo – 17.5 keV). d) Rejestracja obrazu promieniowania X: wysoka jednorodność obrazu oraz bardzo mała ilość (17) martwych pikseli.

4. PODSUMOWANIE

Habilitant wykazał się wkładem w rozwój systemów detekcyjnych w następujących obszarach:

- Rozwój metody pomiaru czasu i ilości ładunku: *Time-over-Threshold*. Zaproponowanie, wykonanie i analiza nowej architektury obwodów analogowych zoptymalizowanej pod kątem: liniowości dla detektorów o dużej pojemności, szybkości i niskiego poboru mocy (Rozdział 2B). Opracowanie nowatorskiej koncepcji wielopoziomowego układu zerowania.
- Analizy i badania, a następnie zaprojektowanie rozwiązań dla nowej klasy detektorów śladowych bez trygera (Rozdziały 2C, 2D) rozwiązujących problemy w unikalnym systemie, składającym się z setek tysięcy kanałów odczytowych. Wdrożenie opracowań (koncepcja, schemat i plan masek) w specjalizowanych układach scalonych zaprojektowanych i wyprodukowanych w technologii 180 nm CMOS:
 - Opracowanie metodologii modelowania i budowa złożonych modeli detektora i mikro-przewodu oraz otoczenia układu w celu lepszej optymalizacji architektury wielokanałowego układu scalonego. Analizy wpływu poszczególnych parametrów na osiągnięte wyniki szumowe, porównanie właściwości różnych materiałów dielektrycznych, opracowanie rekomendacji dotyczących konstrukcji finalnych wersji detektorów i mikro-przewodów współpracujących z opracowanym układem scalonym.
 - Analizy systemu akwizycji danych pracującego w trybie free-streaming. Opracowanie nowego, specjalizowanego protokołu komunikacyjnego rozwiązującego zidentyfikowane ograniczenia i problemy (bezstratna kompresja, nowa procedura synchronizacji, funkcje diagnostyczne).
 - Opracowanie układu szybkiego rozładowania wzmacniacza i poprawa szybkości przetwarzania impulsów ładunkowych.
 - Identyfikacja, modelowanie i analiza stanów awaryjnych, opracowanie zabezpieczeń przed tymi awariami w systemie (prądy upływu, przeciążenie) na poziomie układu scalonego.
 - Projektowanie układów zorientowane na odporność radiacyjną, diagnostyczne badania radiacyjne zaprojektowanych struktur weryfikujących zastosowaną strategię.
 - Opracowanie metodologii testowania opracowanych rozwiązań i ekstrakcji kluczowych parametrów na poszczególnych etapach budowy systemu. Projektowanie i budowa stanowisk testowych, realizacja testów tej nowej klasy układów scalonych.
- Rozwój wielkopowierzchniowych pikselowych systemów detekcyjnych:
 - Unikalne zastosowanie kombinacji technologii 3D, mikromontażu, LTCC, RDL.
 - Minimalizacja obszaru martwego z 3 mm do 0.63 mm.
 - Identyfikacja i analizy ograniczeń w budowie cyfrowych kamer promieniowania X.

5. DZIAŁALNOŚĆ PUBLIKACYJNA, BADAWCZA, ORGANIZACYJNA I DYDAKTYCZNA

Wyniki prac zrealizowanych przez habilitanta po ukończonym doktoracie zaowocowały publikacjami w regularnie ukazujących się czasopismach z listy JCR i ministerialnej A (20), publikacjami konferencyjnymi (19 indeksowanych w WoS i 8 pozostałych), nagrodami na międzynarodowych konferencjach (5) i wystawach (5). Całkowity dorobek autora obejmuje 100 ([Biblioteka Główna AGH](#)) artykułów lub rozdziałów w książkach, z czego 20 w czasopismach z listy JCR (*Journal Citation Report*). Baza Web of Science odnotowuje 45 pozycji autora, 115 wszystkich cytowań i 45 cytowań obcych. Indeks h wynosi: 6 (WoS), 7 (Scopus), 11 (Google Scholar).

Otrzymał on indywidualne nagrody Rektora AGH za osiągnięcia naukowe w latach 2012, 2015, 2016, 2017 i 2018. Trzykrotnie, w latach 2017 i 2014 jego prace (w tym: [H11]) zostały nagrodzone wyróżnieniem „*Outstanding Paper Award*” podczas międzynarodowych konferencji MIXDES *Mixed Design of Integrated Circuits and Systems*. W 2017 jego praca otrzymała wyróżnienie „*Poland Section IEEE ED Chapter*”

Young Scientists Paper Award” podczas konferencji MIXDES. Najważniejsze wyróżnienia prac prezentowanych na wystawach wynalazków obejmowały: złoty medal z wyróżnieniem dla „Kamera cyfrowa do szybkiego i precyzyjnego obrazowania promieniowania X”, *Geneva Inventions 2016*, srebrny medal oraz Thailand Award for the Best International Inventions podczas *11 Międzynarodowych Targów Wynalazczości SIIF*, Seul, 2015 za „Modular Ultra-Fast Camera for Digital X-ray Imaging”.

W latach 2014-2017 był on stypendystą „*Stypendium Ministra Nauki i Szkolnictwa Wyższego dla wybitnych młodych naukowców*”.

Należy podkreślić, że autor wielokrotnie (w latach 2012-2018: na 34 wydarzeniach) prezentował wyniki swojej pracy na najbardziej prestiżowych międzynarodowych konferencjach takich jak: *International Meeting on Front-End Electronics for Particle Physics, Photon Science and Related Applications* (konferencja typu *invitation only*), *IEEE Nuclear Science Symposium and Medical Imaging Conference* (NSS-MIC), *International Workshop on Radiation Imaging Detectors (iWoRiD)*, *Topical Workshop on Electronics for Particle Physics (TWEPP)* oraz reprezentował grupę wykonawczą w ramach polskiego udziału w ośrodku FAIR (*Facility for Antiproton and Ion Research*) na zebraniach kolaboracji CBM (*Compressed Barionic Matter*), jak i zebraniach Krajowego Konsorcjum FEMTOFIZYKA (2017-2018).

W roku 2017 habilitant był przewodniczącym (*chairman*) sesji “*Analog and Digital Circuits*” podczas konferencji *IEEE Nuclear Science Symposium and Medical Imaging Conference, Atlanta, USA*. Jest to największa i jedna z najważniejszych konferencji z branży obrazowania promieniowania rokrocznie zbierająca ponad 2000 uczestników z całego świata. Był również recenzentem sumarycznie dziewięciu prac, m.in. w czasopiśmie: 2 krotnie: *IEEE Transactions on Circuits and Systems II: Express briefs (JCR)*, 2 krotnie: *Microelectronics Journal {Elsevier} (JCR)*, 3-krotnie konferencji *IEEE Int’l Symposium on Circuits and Systems*, oraz *Journal of Testing and Evaluation* i *Journal of Imaging*. Jest członkiem komitetu organizacyjnego konferencji *2019 IEEE ESSCIRC/ESSDERC, Kraków (European Solid-State Circuits Conference / European Solid-State Device Research Conference)*, najważniejszej europejskiej konferencji stowarzyszenia *IEEE Solid-State Circuits*.

Efektom pracy habilitanta nad układami SMX1 i SMX2 jest również utrzymanie i koordynacja przez niego trwałej współpracy z ośrodkiem GSI w Niemczech / FAIR GmbH, z Instytutem Systemów Elektronicznych Politechniki Warszawskiej oraz Wydziałem Fizyki, Uniwersytetu Jagiellońskiego / Krajowe Konsorcjum FEMTOFIZYKA. Habilitant jest kierownikiem projektu w umowie badawczej „in-kind contribution” dotycząca zaprojektowania i dostawy ponad 25 000 układów scalonych do budowy detektorów STS i MUCH.

Autor jest członkiem następujących stowarzyszeń naukowych:

- od 2008 roku członek kolaboracji eksperymentu Compressed Baryonic Matter,
- od 2008 roku członek Cadence Academic Network,
- od 2007 roku członek (od 2018 senior member) stowarzyszenia IEEE (Institute of Electrical and Electronics Engineers) oraz społeczności: Circuits and Systems Society i Solid-State Circuits Society,
- od 2012 roku współzałożyciel IEEE Solid-State Circuits Chapter Poland, zrzeszającego coraz więcej polskich mikroelektroników (2012 – 2017: sekretarz, od 2017: wiceprzewodniczący). Autor współorganizował 28 wydarzeń – najczęściej szkoleń i wykładów zaproszonych gości z przemysłu i najważniejszych uczelni technicznych na świecie (KU Leuven, UCLA Berkeley, UCLA Dublin, EPFL Lausanne, UNI Tokyo, Intel, Imec, Aptiv Automotive, Infineon, Cadence, NXP Semi, Tektronix i inne).

Utrzymująca się się współpraca z partnerem przemysłowym, firmą Rigaku Corporation, Tokio, Japonia skutkowała m.in. odbyciem przez habilitanta trzech staży (od 2009, ostatni w 2016). Prace autora podczas pobytów w Japonii dotyczyły rozwoju nowych technik obrazowania z wykorzystaniem promieniowania X. Autor brał udział w pracach nad kamerami promieniowania X dostępnych obecnie komercyjnie w sprzedaży¹.

Habilitant jest odpowiedzialny za pozyskiwanie funduszy, dobór, testy, wybór wariantów i opiekę merytoryczną nad specjalistyczną aparaturą oraz projektowanie stanowisk do testowania w Laboratorium Mikroelektroniki Katedry Metrologii i Elektroniki.

W roku 2014 habilitant wraz z 13 osobowym zespołem utworzył od podstaw nowy kierunek studiów *Mikroelektronika w Technice i Medycynie*, za co otrzymał *zespołową nagrodę dydaktyczną I stopnia Rektora AGH* w roku 2015. Od 2016 roku jest członkiem Wydziałowej Komisji Jakości Kształcenia (Wydział EAIIB, AGH). Habilitant nie tylko jest odpowiedzialny na tworzenie i realizację nowych przedmiotów, ale także za działania promocyjne i popularyzujące kierunek i naukę (www.mtm.agh.edu.pl, facebook, youtube, akcje promocyjne

¹ <https://www.agh.edu.pl/info/article/uklady-scalone-z-agh-w-urzedzeniach-rigaku-corporation-swiatowego-lidera-produkujacego-aparature-ba/>

w szkołach, na dniach otwartych, wydarzeniach promujących naukę (IMPACT'17 Kraków) itp., jury konkursów (np. 2018 European BEST Engineering Competition / EBEC challenge, XXXV Olimpiada Wiedzy Elektronicznej i Elektrotechnicznej 2012), realizacja materiału filmowego *TVP regionalna: program Akademia.pl*).

Autor prowadzi zajęcia na kierunkach: *Mikroelektronika w Technice i Medycynie, Inżynieria Biomedyczna* (specjalność: *Informatyka i Elektronika Medyczna*) i *Elektrotechnika* (specjalność: *Inżynieria Elektryczna w Pojazdach Samochodowych i Pomiary Technologiczne i Biomedyczne*). Kursy, które prowadził to: Zaawansowane Metody Projektowania Systemów Rekonfigurowalnych (wykład, lab. i projekt), Programowalne Układy Logiczne (wykład, laboratorium), Podstawy Projektowania Obwodów z Wykorzystaniem Oprogramowania CAD/CAM (wykład i lab.), Układy Elektroniki Cyfrowej (laboratorium), Systemy Elektroniczne dla Potrzeb Aplikacji Medycznych (wykład, lab. i projekt), Projektowanie Analogowych Układów VLSI (laboratorium), Projektowanie Układów Scalonych VLSI (laboratorium), Podstawy Metrologii (laboratorium), Zintegrowane Systemy Pomiarowe Wielkości Nielektrycznych (laboratorium), Zintegrowane Czujniki Pomiarowe (laboratorium), Sensory i Pomiary Wielkości Nielektrycznych (laboratorium).

Habilitant był lub jest opiekunem 8 prac magisterskich oraz 11 prac inżynierskich. Sprawuje on opiekę naukową nad doktorantką wydziału EAIiB AGH, mgr inż. Weroniką Zubrzycką jako promotor pomocniczy oraz opiekun merytoryczny uzyskanego przez nią *Diamentowego Grantu* (MNIŚW), projektów realizowanych w kole naukowym ViFactory (AGH), a także projektu w ramach *Grantu Rektorskiego* (AGH).