



**Akademia Górniczo-Hutnicza im. Stanisława
Staszica w Krakowie**

Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii
Biomedycznej

Katedra Metrologii i Elektroniki

ROZPRAWA DOKTORSKA

Modułowy system do obrazowania z wykorzystaniem
promieniowania X pracujący w trybie zliczania
pojedynczych fotonów.

mgr inż. Jacek Rauza

Promotor: **prof. dr hab. inż. Paweł Gryboś**

Promotor pomocniczy: **dr inż. Mirosław Żołądź**

Kraków, rok 2016

Podziękowania

Pragnę serdecznie podziękować mojemu promotorowi, Panu prof. dr hab. inż. Pawłowi Grybosiowi oraz promotorowi pomocniczemu, Panu dr inż. Mirosławowi Żołędziowi za opiekę naukową, życzliwe oraz cenne uwagi i wskazówki, jak również za liczne konsultacje, które przyczyniły się do powstania niniejszej rozprawy doktorskiej.

Praca została sfinansowana przez Narodowe Centrum Badań i Rozwoju, Polska PBS1/A3/12/2012 w latach 2012-2015.

Spis treści

Wykaz skrótów oraz oznaczeń	8
1 Wstęp i cele pracy.....	10
2 Hybrydowe detektory pikselowe	12
2.1 Detektory typu integracyjnego a detektory zliczające fotony	14
2.1.1 Detektory typu integracyjnego	15
2.1.2 Detektory zliczające fotony	16
3 Przykłady kamer promieniowania X pracujących w trybie zliczania pojedynczych fotonów.	17
3.1 Rozwiązania bazujące na układzie scalonym Medipix II.....	17
3.1.1 Układ scalony Medipix II.....	17
3.1.2 Kamera z jednym układem scalonym Medipix II	19
3.1.3 Kamera z czterema układami scalonymi Medipix II.....	20
3.2 Rozwiązanie bazujące na układzie scalonym Eiger	21
3.2.1 Układ scalony Eiger	21
3.2.2 Kamera bazująca na układzie scalonym Eiger	23
3.3 Rozwiązanie bazujące na układzie scalonym PIXIE III.....	24
3.3.1 Układ scalony PIXIE III.....	24
3.3.2 Kamera bazująca na układzie scalonym PIXIE III.....	25
3.4 Rozwiązanie bazujące na układzie scalonym PXD18k	26
3.5 Rozwiązanie bazujące na układzie scalonym XPAD3	29
4 Budowa układu scalonego UFXC.....	31
4.1 Kształtowanie i zliczanie impulsów	32
4.2 Transfer danych	34
4.3 Możliwości budowy detektorów wielkopowierzchniowych	35
5 Testy układu scalonego UFXC	39
5.1 Metody testowania układu scalonego.....	39
5.1.1 Test poboru mocy części analogowej i cyfrowej.....	39
5.1.2 Test bloków cyfrowych	39
5.1.3 Test bloków analogowych w matrycy pikseli	39
5.1.4 Zliczanie impulsów pochodzących od szumów	48
5.1.5 Korekcja rozrzutów	48
5.2 Testy układów scalonych na płytkach krzemowych	50
5.2.1 Procedura testowa.....	51
5.2.2 Projekt karty pomiarowej (<i>ang. probe-card</i>).....	51

5.2.3	Stanowisko pomiarowe	53
5.2.4	Wyniki testów układów scalonych na płytkach krzemowych.....	54
5.3	Pomiary wybranych układów scalonych UFXC na płytkach PCB.....	56
5.3.1	Lista pomiarów.....	56
5.3.2	Moduł oraz stanowisko pomiarowe.....	56
5.3.3	Wyniki testów.....	58
6	Budowa kamery na bazie układu scalonego UFXC	65
6.1	Wymagania i założenia.....	65
6.2	Schemat systemu	66
6.3	Moduł układów scalonych UFXC wraz z detektorem.....	66
6.4	Moduł zasilający.....	67
6.4.1	Założenia i wymagania.....	67
6.4.2	Dobór stabilizatorów liniowych	68
6.4.3	Zasilanie kamery	69
6.4.4	Zasilanie stabilizatorów	69
6.4.5	Sterowanie napięciami oraz pomiar prądu	70
6.5	Moduł kontrolera kamery	71
6.6	Kontroler układów scalonych UFXC	72
6.7	Łączenie modułów kamery.....	73
7	Dedykowany procesor programowy	75
7.1	Wymagania.....	77
7.2	Assembler	79
7.2.1	Kontrola stanu wyjść	79
7.2.2	Pętle	79
7.2.3	Rejestr szeregowy.....	80
7.2.4	Równoległe wykonywanie instrukcji	81
7.2.5	Pamięć konfiguracji oraz rejestry pomocnicze.....	81
7.2.6	Synchronizacja z sygnałem zewnętrznym.....	82
7.2.7	Sterowanie dwoma układami scalonymi UFXC	83
7.2.8	Lista instrukcji.....	84
7.3	Preprocesor	84
7.3.1	Dołączanie zawartości plików	85
7.3.2	Definiowanie stałych liczbowych.....	85
7.4	Modyfikacje aplikacji nadrzędnej	86
7.5	Implementacja	87

7.6	Schemat użycia procesora programowego	89
7.7	Przykładowy program użytkowy	90
8	Testy prototypowej kamery bazującej na układzie scalonym UFXC z wykorzystaniem promieniowaniem X	92
8.1	Stanowisko pomiarowe.....	92
8.2	Zakres testów	95
8.3	Wstępna charakteryzacja wiązki promieniowania X.....	95
8.3.1	Rozkład przestrzenny natężenia promieniowania X.....	95
8.3.2	Zależność natężenia promieniowania od prądu lampy	98
8.3.3	Zależność natężenia promieniowania od czasu	99
8.4	Charakteryzacja pikseli w matrycy.....	100
8.4.1	Pomiar rozrzutu poziomów stałych na wejściu dyskryminatorów	100
8.4.2	Pomiar zakresu regulacji wzmocnienia	101
8.4.3	Pomiar wzmocnienia i szumów w matrycy pikseli	103
8.4.4	Wykrycie wadliwych pikseli	105
8.5	Rejestracja przykładowych obrazów	108
8.5.1	Pomiary w trybie <i>standardowym</i> oraz <i>długiego licznika</i>	108
8.5.2	Praca kamery w trybie <i>standardowym</i> i <i>ciągłym</i>	111
8.5.3	Rejestracja z wyzwaniem	117
8.5.4	Rejestracja swobodnego spadku kropli wody	119
9	Podsumowanie	120
10	Bibliografia.....	123

Wykaz skrótów oraz oznaczeń

- A – stała
- a – średnia liczba impulsów wejściowych o danej amplitudzie
- c – prędkość światła (3×10^8 m/s)
- E_x – energia promieniowania elektromagnetycznego
- f_n – częstość rejestrowanych zliczeń
- f_0 – częstość rejestrowanych zliczeń dla progu dyskryminacji równego zera
- h – stała Plancka ($6,62 \times 10^{-34}$ Js)
- I_{wy} – prąd wyjściowy danego układu
- k_v – wzmacnienie napięciowe toru pomiarowego
- λ – długość fali promieniowania elektromagnetycznego
- m_e – wartość średnia danego parametru
- P_{strat} – moc strat
- Q_n – ładunek impulsu na wejściu piksela
- σ – odchylenie standardowe danego parametru
- σ_n – wartość szumów rms na wejściu dyskryminatora
- t_{acq} – czas akwizycji, suma czasu ekspozycji oraz czasu trwania odczytu wartości liczników
- t_{exp} – czas ekspozycji (rejestracji promieniowania X)
- t_p – czas osiągnięcia wartości szczytowej impulsu (*ang. peaking time*)
- t_{spd} – czas zliczania impulsów przy zadanej wartości progu dyskryminacji
- U_{reg} – napięcie zasilające elektronikę sterującą
- U_{we} – napięcie wejściowe danego układu
- U_{wy} – napięcie wyjściowe danego układu
- $V_{a...e}$ – amplituda sygnału
- V_{DC} – poziom stały na wejściu dyskryminatora
- V_{shap} – napięcie wyjściowe analogowego toru pomiarowego
- V_{TH} – wartość progu dyskryminacji
- V_{trim} – napięcie korygujące próg dyskryminacji
- v – częstotliwość fali promieniowania elektromagnetycznego
- ASIC – specjalizowany układ scalony (*ang. Application Specific Integrated Circuit*)
- Camera Link – protokół komunikacji szeregowej
- CCD – rodzaj półprzewodnikowego detektora do rejestracji światła lub promieniowania X (*ang. Charge-Coupled Devices*)
- CERN – Europejskie Centrum Badań Jądrowych w Genewie (*fr. Organisation Européenne pour la Recherche Nucléaire*)
- CMOS – technologia wytwarzania układów scalonych (*ang. Complementary Metal-Oxide Semiconductor*)

CSA – wzmacniacz ładunkowy (*ang. Charge Sensitive Amplifier*)

DC/DC – przetwornica napięcia stałego

DDR – rodzaj pamięci typu RAM (*ang. Double Data Rate*)

DEPFET – zubożony tranzystor polowy typu P (*ang. Depleted P-Channel Field Effect Transistor*)

DISCR – dyskryminator

ENC – ekwiwalentny ładunek szumowy (*ang. Equivalent Noise Charge*)

Ethernet – technika standardów budowy lokalnych sieci komputerowych

FIFO – liniowa struktura danych, w której nowe dane dopisywane są na końcu kolejki, a dane pobierane do przetworzenia znajdują się na początku kolejki (*ang. First In First Out*)

FPD – detektor typu flat panel (*ang. Flat Panel Detector*)

FPGA – rodzaj programowalnego układu logicznego (*ang. Field Programmable Gate Array*)

GbE – standard transmisji ramek ethernetowych z szybkością 1 Gbit/s

IBM – firma specjalizująca się w produkcji układów scalonych w tej technologii (*ang. International Business Machines*)

IEEE – organizacja typu „non-profit” skupiająca profesjonalistów, głównie z zakresu elektrotechniki, elektroniki i dziedzin pokrewnych (*ang. Institute of Electrical and Electronics Engineers*)

LDO – liniowy regulator napięcia stałego o minimalnej różnicy pomiędzy napięciem wejściowym a wyjściowym (*ang. low dropout*)

LVDS – standard różnicowego przesyłania sygnałów elektrycznych (*ang. Low-Voltage Differential Signaling*), IEEE Std 1596.3-1996

NI – firma *National Instruments* z siedzibą w Teksasie produkująca oprogramowanie LabView oraz moduły pomiarowe i sterujące klasy PXI

Pad – pole kontaktowe

PCB – rodzaj płytki z połączeniami przeznaczonymi do montażu elementów elektronicznych (*ang. Printed Circuit Board*)

Piksel – komórka odczytowa

PSRR – współczynnik tłumienia wpływu zasilania (*ang. Power Supply Rejection Ratio*)

PXI – modułowy sprzęt pomiarowy oraz sterujący firmy *National Instruments*

SHAPER – układ kształtowania sygnału

TSMC – firma specjalizująca się w produkcji układów scalonych w tej technologii (*ang. Taiwan Semiconductor Manufacturing Company*)

TSV – rodzaj połączeń w układzie scalonym (*ang. Through Silicon Via*)

UFXC – nazwa układu scalonego (*ang. Ultra-Fast X-ray Chip*)

UMC – firma specjalizująca się w produkcji układów scalonych w tej technologii (*ang. United Microelectronic Corporation*)

USB – uniwersalna magistrala szeregową do przesyłania cyfrowych danych (*ang. Universal Serial Bus*)

Wafer – płytka krzemowa

1 Wstęp i cele pracy

Odkrycie promieniowania X przez Wilhelma Roentgena w 1895 roku [1] zapoczątkowało intensywne badania nad jego wytwarzaniem, wykorzystaniem i detekcją. W roku 1901 Wilhelm Roentgen, jako pierwsza osoba w dziedzinie fizyki, za swoje odkrycie został uhonorowany nagrodą Nobla [2]. Promieniowanie X o małym i średnim natężeniu wytwarzane jest w warunkach laboratoryjnych podczas procesu hamowania elektronów lub dodatnio naładowanych jonów w lampie rentgenowskiej. Natomiast promieniowanie X o bardzo dużym natężeniu uzyskuje się w ośrodkach naukowo-badawczych dysponujących synchrotronem lub laserem na swobodnych elektronach [3, 4].

Promieniowanie X jest bardzo szeroko wykorzystywane w medycynie, np. w diagnostyce złamań, chorobach płuc, czy w rentgenowskiej tomografii komputerowej [5]. Znane są również zastosowania wysokoenergetycznego promieniowania rentgenowskiego w leczeniu chorób nowotworowych [6]. Promieniowanie X od wielu lat stosowane jest w badaniu różnych materiałów w fizyce, chemii, biologii, dzięki czemu można uzyskać informacje na temat składu chemicznego substancji, struktury materiału, wielkości cząstek, zanieczyszczeń, itp. [7]. Powszechnie jest ono również stosowane np. w celu prześwietlania bagażu na lotniskach, monitorowaniu jakości produkcji (w przemyśle elektronicznym, farmaceutycznym, motoryzacyjnym, itp.), a także przy badaniu dzieł sztuki, obiektów archeologicznych, obserwacji astronomicznych kosmosu i w wielu innych dziedzinach nauki oraz przemysłu [8, 9].

Tak szeroki wachlarz zastosowań stymuluje również rozwój systemów detekcyjnych do rejestracji promieniowania X [10]. Generalnie systemy do detekcji promieniowania X można podzielić na dwie główne kategorie: systemy pracujące w trybie zliczania fotonów oraz systemy integracyjne. W systemach pracujących w trybie zliczania fotonów, sygnał wygenerowany przez foton promieniowania X, jest od razu kierowany do układu elektroniki odczytu, gdzie jest wzmacniany, filtrowany i porównywany z zadaniem progiem dyskryminacji. Porównanie pojedynczego impulsu z zadaniem progiem dyskryminacji pozwala odciąć sygnał użyteczny od szumu lub niechcianego tła (np. promieniowania fluorescencyjnego), a liczba zarejestrowanych fotonów w czasie akwizycji jest przechowywana w wewnętrznej pamięci (np. w liczniku). Istotnym ograniczeniem tego typu systemów jest brak możliwości pracy z bardzo dużym natężeniem promieniowania X. Wynika to z maksymalnej dopuszczalnej częstości zliczeń rejestrowanych np. przez pojedynczy piksel. Ograniczeń związanych z dużym natężeniem promieniowania X nie posiadają systemy integracyjne. Jednak, w systemach tych, w trakcie akwizycji sumowany jest sygnał pochodzący od poszczególnych fotonów wraz z szumem, co pogarsza jakość rejestrowanego obrazu [10].

Od prawie 10 lat na Katedrze Metrologii i Elektroniki Akademii Górniczo-Hutniczej w Krakowie projektuje się układy scalone do rejestracji promieniowania X pracujące w trybie zliczania pojedynczych fotonów. Początkowo były to układy scalone przeznaczone do pracy

z detektorami paskowymi, obecnie są to głównie układy do pracy z detektorami pikselowymi. Jednym z nich jest układ scalony nazwany UFXC (*ang. Ultra-Fast X-ray Chip*), wykonany w ramach projektu nr PBS1/A3/12/2012, sfinansowanego przez Narodowe Centrum Badań i Rozwoju w latach 2012-2015. Należy mieć na uwadze fakt, że do rejestracji obrazów promieniowania X oprócz układu scalonego wymagany jest projekt i budowa kompletnego systemu, który będzie nadzorował pracę wspomnianych wyżej układów pracujących w trybie zliczania pojedynczych fotonów, dostarczał będzie niezbędne zasilanie i sekwencje sterujące oraz możliwie szybko odbierał dane pomiarowe.

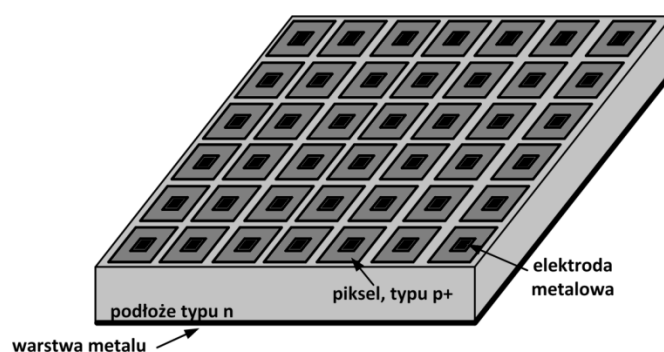
Celem autora niniejszej rozprawy doktorskiej jest budowa prototypu szybkiej, cyfrowej kamery promieniowania X, bazującej na hybrydowych detektorach pikselowych, pracujących w trybie zliczania pojedynczych fotonów. Ze względu na pożądane szerokie spektrum potencjalnych zastosowań, kamera powinna mieć budowę modułową, a wypracowane rozwiązania, dotyczące sterowania i komunikacji z układem scalonym do odczytu detektorów pikselowych, mają umożliwić stosunkowo łatwe konfigurowanie kamery i jej pracę w różnych trybach.

Rozprawa doktorska obejmuje dziewięć rozdziałów. W rozdziale drugim omówiono budowę i podstawę działania hybrydowych detektorów pikselowych oraz porównano ze sobą detektory integracyjne i zliczające. W rozdziale trzecim przedstawiono przykłady najbardziej zaawansowanych kamer promieniowania X, pracujących w trybie zliczania pojedynczych fotonów, ze szczególnym uwzględnieniem zastosowanych w nich układów scalonych. W rozdziale czwartym omówiono architekturę i zasadę działania układu scalonego UFXC, będącego bazą do budowy prototypu szybkiej kamery cyfrowej. W rozdziale tym zaprezentowano architekturę układu scalonego UFXC oraz możliwości budowy detektorów wielkopowierzchniowych z uwzględnieniem technologii TSV (*ang. Through Silicon Via*) [11]. Rozdział piąty przedstawia sposób przeprowadzenia oraz wyniki testów układów scalonych UFXC zarówno na płycie krzemowej (waferze) przed ich pocięciem, jak również kiedy płytka krzemowa została pocięta, a pojedyncze układy scalone zamontowano na płycie drukowanej PCB (*ang. Printed Circuit Boards*). Opisowi dedykowanego procesora programowego, będącego głównym i oryginalnym elementem kamery, poświęcono rozdział siódmy. Poprawne działanie kamery zostało zweryfikowane pozytywnie poprzez szereg testów z użyciem źródła promieniowania X. Sposób przeprowadzania testów oraz ich wyniki przedstawiono w rozdziale ósmym. Rozdział dziewiąty podsumowuje osiągnięcia pracy.

2 Hybrydowe detektory pikselowe

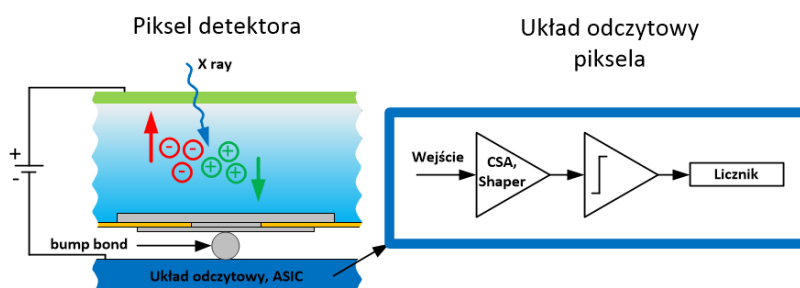
Hybrydowy detektor pikselowy zbudowany jest z dwóch podstawowych komponentów, tj. detektora pikselowego oraz połączonego z nim układu scalonego o architekturze pikselowej, odbierającego i przetwarzającego sygnały z detektora. Pikselowy detektor wykonywany jest na bazie wysokoomowego krzemu lub innych półprzewodników, takich jak Ge, GaAs, CdTe, itp. [12]. Natomiast specjalizowany układ scalony ASIC (*ang. Application Specific Integrated Circuit*) wykonany jest w technologii CMOS (*ang. Complementary Metal-Oxide Semiconductor*) [13].

Krzemowy detektor pikselowy jest matrycą diod (najczęściej p^+n) spolaryzowanych w kierunku zaporowym (rys. 2.1). Zarówno detektor od spodu, jak i piksele od góry pokrywa się metalem, co umożliwia polaryzację detektora od spodu oraz połączenie elektrod detektora od góry do układu scalonego.



Rys. 2.1. Schemat poglądowy detektora pikselowego.

Wpadający w dany obszar detektora kwant promieniowania X deponuje w nim swoją energię, w wyniku czego następuje generacja par elektron-dziura. W celu zebrania nośników ładunku na elektrody detektora przykłada się napięcie polaryzacji. Różnica napięć wytwarza pole elektryczne, dzięki czemu nośniki ładunku przemieszczają się do odpowiednich elektrod (rys. 2.2). W wyniku ruchu elektronów i dziur na elektrodach detektora indukuje się prąd do momentu zebrania wszystkich ładunków [14].



Rys. 2.2. Schemat poglądowy toru pomiarowego pojedynczej komórki hybrydowych detektorów pikselowych [13].

W hybrydowych detektorach pikselowych, każdy piksel detektora posiada swój niezależny tor elektroniki odczytu. W systemach pracujących w trybie zliczania pojedynczych fotonów zadaniem elektroniki odczytowej jest zarejestrowanie sygnału wygenerowanego w detektorze w odpowiedzi na wpadający foton promieniowania X [15]. Układ elektroniczny przekształca impuls prądowy na skok napięcia, wzmacnia i filtruje go, a jeżeli amplituda impulsu przekracza zadany próg dyskryminacji, to fakt ten rejestrowany jest przez liczniki w pikselach.

Zakres rejestrowanych w detektorze energii promieniowania X zależy od materiału, z którego wyprodukowany jest detektor i od jego grubości. Najpopularniejszymi materiałami do budowy detektorów są krzem oraz german, które charakteryzują się bardzo dobrą rozdzielczością energetyczną. Dzięki opanowanej oraz ciągle rozwijającej się technologii produkcji, zwłaszcza detektory krzemowe charakteryzują się małymi prądami upływu oraz bardzo dobrą jednorodnością pikseli, co stanowi dużą zaletę przy produkcji detektorów o dużych powierzchniach [16, 17]. W poniższej tabeli 2.1 zamieszczone jest zestawienie najważniejszych parametrów różnego rodzaju materiałów, z których produkowane są detektory pikselowe [18].

Tabela 2.1 Najważniejsze parametry materiałów do produkcji detektorów [18].

Parametr/Materiał	Si	Ge	GaAs	CdTe	CdZnTe	Diament*
Liczba atomowa	14	32	31/33	48/52	48/30/52	6
Energia pasma wzbronionego [eV]	1,12	0,67	1,43	1,44	~1,6	5,48
Gęstość [g/cm ³]	2,3	5,3	5,4	6,1	5,8	3,5
Energia potrzebna do wygenerowania pary elektron-dziura [eV]	3,64	2,96	4,2	4,43	~4,6	13,1
Ruchliwość dla T = 300 K [cm ² /Vs]:						
- elektrony	1350	1900	8000	1100	~1000	1800
- dziury	480	3900	400	100	~10	1200
Żywotność nośników [μs]	~250	250	0,00 – 0,01	~0,1–2	~0,1–2	0,001

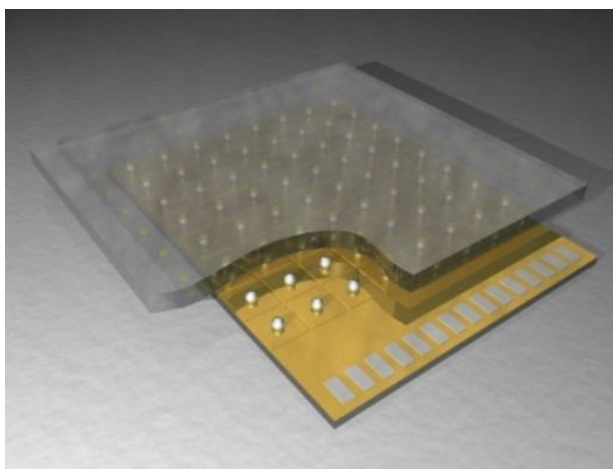
* Diament klasyfikowany jest jako izolator

Podział hybrydowego detektora na dwa komponenty (detektor i układ scalony) umożliwia prawie niezależną optymalizację każdego z komponentów:

- detektora z punktu widzenia rejestrowanych fotonów promieniowania X,
- układu scalonego z punktu widzenia przetwarzania sygnału z detektora.

Ponieważ proces produkcji detektorów i układów scalonych ASIC może przebiegać oddzielnie, mamy możliwość nie tylko ich niezależnego rozwoju, ale również możliwość stosowania różnego rodzaju detektorów (np. krzemowych, stosowanych często w badaniach materiałowych w fizyce i chemii lub CdTe do zastosowań medycznych) z tą samą elektroniką odczytową [19].

Połączenie pomiędzy pikselem detektora a odpowiadającym mu pikselem układu scalonego wykonane jest za pomocą mikro bump-bondingu (rys. 2.3) [13, 15]. Na piksele detektora i piksele układu scalonego nakładane są kulki (np. z cyny, złota) [20, 21], a następnie przy użyciu podwyższonej temperatury i ciśnienia oba elementy (detektor i układ scalony) są ze sobą łączone.



Rys. 2.3. Zasada połączenia detektora pikselowego z układem scalonym ASIC [13].

2.1 Detektory typu integracyjnego a detektory zliczające fotony

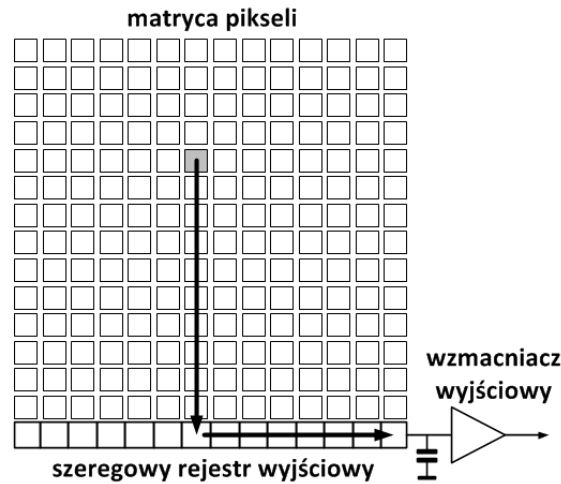
W niniejszym podrozdziale zostaną opisane dwa typy detektorów: integracyjne oraz pracujące w trybie zliczania pojedynczych fotonów. Ich porównanie pozwoli ocenić zalety, wady każdego typu detektora, jak również możliwości i potencjalne zastosowania.

Ze względu na sposób, w jaki przetwarzane są generowane w detektorze ładunki, półprzewodnikowe układy do detekcji promieniowania X możemy podzielić na [22]:

- układy całkujące, do których zaliczają się popularne układy CCD [23] oraz układy z tranzystorami DEPFET [24],
- układy działające w trybie zliczania pojedynczych fotonów, do których można zaliczyć aktywne, monolityczne detektory pikselowe [25, 26, 27] (w układach tych detektor zintegrowany jest z układem odczytowym w jednej technologii), jak również układy hybrydowe, paskowe i pikselowe (w układach tych zarówno detektor, jak i układ odczytowy produkowane są niezależnie, w różnych technologiach).

2.1.1 Detektory typu integracyjnego

Przykładem detektora integracyjnego pokazanego na rysunku 2.4 jest detektor CCD. Składa się on z matrycy o wysokiej rozdzielczości. Pojedynczy piksel, wyprodukowany w jednej technologii, zawiera zarówno część sensora, jak i układ odczytu [28].



Rys. 2.4. Schemat blokowy detektora integracyjnego na przykładzie detektora CCD [28].

Wpadające kolejno fotony do detektora generują ładunek elektryczny, który jest w pikselu sumowany (stąd nazwa: detektor typu integracyjnego). Ładunek zdeponowany w pojedynczym pikselu odczytywany jest poprzez przesuwanie go przez sąsiednie piksele, wiersze lub kolumny do końca danego wiersza bądź kolumny. Realizowane jest to poprzez sterowaną zmianę polaryzacji poszczególnych pikseli. Następnie ładunek transferowany jest na wejście wzmacniacza wyjściowego. W kolejnym kroku wzmocniony sygnał podawany jest na wejście przetwornika analogowo-cyfrowego. Po zamianie sygnału na postać cyfrową, informacja o wystąpieniu rejestracji zostaje zapisana. Taka procedura wykonywana jest sekwencyjnie, co pozwala na odczyt sygnałów ze wszystkich pikseli.

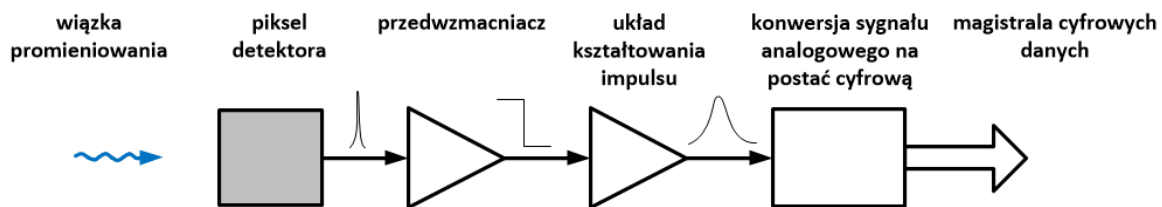
Zaletą tego typu detektorów jest niewielki rozmiar piksela, który osiąga wymiary $10\ \mu\text{m} \times 10\ \mu\text{m}$ oraz możliwość pracy z dużym natężeniem promieniowania X. Wadą natomiast jest spowolniony przez procedurę sekwencyjną odczyt sygnału, jak również brak możliwości rejestracji fotonów z określonego przedziału energii [28].

2.1.2 Detektory zliczające fotony

Detektory pracujące w trybie zliczania pojedynczych fotonów możemy podzielić na dwie grupy [22]:

- monolityczne detektory pikselowe, w których to w jednej technologii wytwarza się zarówno sensor, jak i układ odczytowy,
- hybrydowe (paskowe lub pikselowe) detektory, gdzie technologia wykonania detektora jest odmienna od technologii wykonania elektroniki układu odczytowego.

W detektorach tych zazwyczaj na każdy piksel detektora przypada piksel elektroniki odczytowej. Schemat blokowy przykładowego toru pomiarowego, stosowanego w hybrydowych detektorach pikselowych przedstawiono na rysunku 2.5 [28].



Rys. 2.5. Przykładowy schemat blokowy detektora pracującego w trybie zliczania pojedynczych fotonów.

Ładunek wygenerowany w detektorze trafia na wejście wzmacniacza ładunkowego, gdzie jest całkowany. Zadaniem wzmacniacza jest zamiana impulsu prądowego na skok napięcia o amplitudzie proporcjonalnej do ładunku, który wpłynął na wejście z przedwzmacniacza (całkowanie impulsu prądowego). W kolejnym kroku, sygnał podawany jest na wejście układu kształtującego. Układ formuje impuls napięciowy, filtruje w celu poprawienia stosunku sygnału do szumu oraz dostosowuje go do wymagań czasowych toru pomiarowego. Następnie sygnał trafia na układ konwersji sygnału analogowego na postać cyfrową. W zależności od zastosowania, układ konwersji może być realizowany za pomocą przetworników analogowo-cyfrowych, bądź komparatorów ze zmienną wartością napięcia progu dyskryminacji [28].

Zaletą detektorów tego rodzaju jest możliwość zliczania pojedynczych fotonów, które zdeponowały swoją energię w detektorze. Dużym atutem jest również możliwość rejestracji fotonów z określonego regulowanego przedziału energii. Wadą tego typu rozwiązania są ograniczenia na maksymalną częstość przychodzących impulsów oraz rozmiar pojedynczego piksela, który zależy od obszaru powierzchni zajmowanej przez elektronikę toru pomiarowego. Przykładowo, wymiary pojedynczego piksela w układzie scalonym MEDIPIX II wynoszą $55 \mu\text{m} \times 55 \mu\text{m}$ [29], natomiast w układzie scalonym PILATUS $172 \mu\text{m} \times 172 \mu\text{m}$ [30].

3 Przykłady kamer promieniowania X pracujących w trybie zliczania pojedynczych fotonów

W niniejszym rozdziale autor przedstawia znane z literatury rozwiązania przykładowych systemów do rejestracji promieniowania X, pracujących w trybie zliczania pojedynczych fotonów. Sercem tego typu systemów są hybrydowe detektory pikselowe, które w większości rozwiązań bazują na podobnych założeniach dla toru pomiarowego pojedynczego piksela, opisanych w rozdziale drugim. Najbardziej zaawansowane rozwiązania zawierają od jednego do kilkunastu specjalizowanych układów scalonych, podłączonych do jednego pikselowego detektora półprzewodnikowego o powierzchni od kilku do kilkudziesięciu cm^2 [31]. Poniżej opisano najbardziej zaawansowane rozwiązania kamer do rejestracji promieniowania X, rozwijane często przez kilka współpracujących ze sobą ośrodków badawczych i uniwersytetów.

3.1 Rozwiązania bazujące na układzie scalonym Medipix II

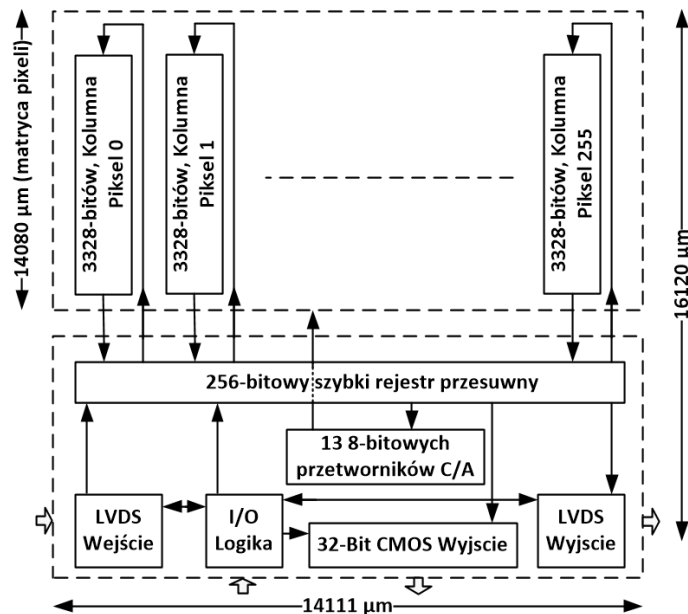
3.1.1 Układ scalony Medipix II

Układ scalony Medipix II został zaprojektowany w technologii CMOS $0,25 \mu\text{m}$ z wykorzystaniem sześciu warstw metali. Kolaboracja Medipix II liczy kilkanaście instytucji badawczych [32], a ośrodkiem wiodącym jest Europejskie Centrum Badań Jądrowych CERN (*fr. Organisation Européenne pour la Recherche Nucléaire*) w Genewie [33].

Matryca układu scalonego Medipix II zawiera 256×256 pikseli. Każda komórka piksela pracuje w trybie zliczania pojedynczych fotonów i może pracować z impulsami wejściowymi zarówno o polarności dodatniej, jak i ujemnej. Obszar powierzchni pojedynczego piksela to $55 \mu\text{m} \times 55 \mu\text{m}$, w której to znajduje się ponad 500 tranzystorów. Całkowita powierzchnia układu scalonego to około $2,27 \text{cm}^2$ (wymiary układu to $1,4 \text{cm} \times 1,6 \text{cm}$), przy czym matryca pikseli stanowi 87% tej powierzchni (rys. 3.1).

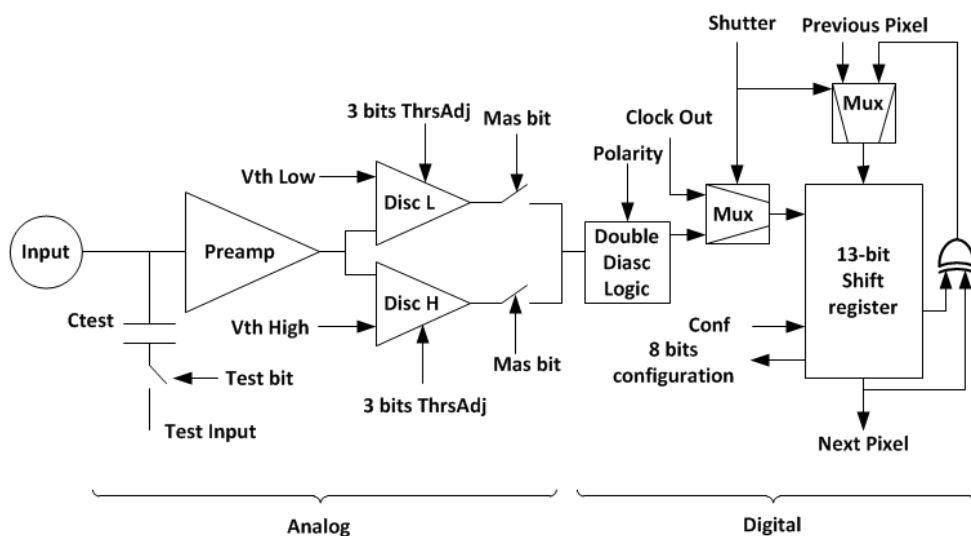
Bloki cyfrowe umieszczone w dolnej części układu scalonego zawierają:

- 256-bitowy szybki rejestr przesuwany,
- trzynaście ośmiobitowych przetworników cyfrowo-analogowych, do ustawienia parametrów pracy układu,
- układy wejścia/wyjścia, wykonane w standardzie LVDS (*ang. Low-Voltage Differential Signaling*),
- 127 pól kontaktowych wejścia/wyjścia,
- wbudowany układ logiczny, kontrolujący pracę układu scalonego.



Rys. 3.1. Schemat planu rozmieszczenia bloków w układzie scalonym Medipix II [34].

Pojedyncza komórka piksela składa się z części analogowej oraz cyfrowej. Jej architektura przedstawiona jest na rysunku 3.2 [34].



Rys. 3.2. Schemat pojedynczej komórki odczytowej układu scalonego Medipix II.

W pojedynczym pikselu możemy wyróżnić [34, 35]:

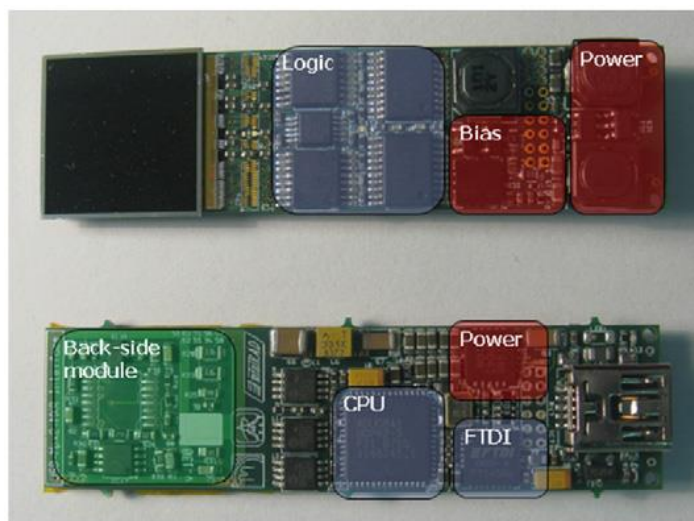
1. Przedwzmacniacz ładunkowy. Zawiera on aktywne sprzężenie zwrotne zapewniające szybkie rozładowanie pojemności sprzężenia zwrotnego oraz kompensacje DC prądu upływu detektora.

2. Dwa dyskryminatory z niezależnymi ustawieniami progów dyskryminacji oraz niezależnymi 3-bitowymi przetwornikami korekcyjnymi. Wyjścia dyskryminatorów mogą być maskowane w przypadku awarii lub nadmiernego szumu.
3. Układ logiczny, którego celem jest zliczanie impulsów o amplitudzie, której wartość mieści się pomiędzy wartościami dwóch niezależnie ustawianych progów dyskryminacji.
4. Rejestr przesuwany mogący pracować w dwóch trybach. W pierwszym trybie pracuje jako 13-bitowy licznik, a jego wartość zwiększana jest o jeden przy każdym impulsie wyjściowym dyskryminatora. W trybie drugim, przy pomocy sygnału zegarowego można odczytać wartości liczników z poszczególnych pikseli, jak również załadować ustawienia konfiguracyjne do poszczególnych pikseli.

Obwód analogowy oraz cyfrowy posiada niezależne zasilania 2,2 V. Pobór mocy pojedynczego piksela jest na poziomie $8 \mu\text{W}$. Wzmocnienie układu wynosi $12,5 \text{ mV/keV}$ przy zliczaniu elektronów, natomiast $13,25 \text{ mV/keV}$ przy zliczaniu dziur, zaś poziom szumów wynosi $150 e^- \text{ rms}$.

3.1.2 Kamera z jednym układem scalonym Medipix II

W Instytucie Fizyki Doświadczalnej i Stosowanej na Politechnice Czeskiej w Pradze zaprojektowano zminiaturyzowany system odczytowy promieniowania X na bazie pojedynczego układu scalonego Medipix II [36, 37]. Zintegrowany moduł USB (*ang. Universal Serial Bus*) o wymiarach $15 \text{ mm} \times 60 \text{ mm}$ (rys.3.3) zasilany jest trzema napięciami: 2,2 V dla układu scalonego Medipix II; 3,3 V dla logiki i kontroli układu scalonego oraz regulowane od 5 V do 100 V napięcie polaryzacji detektora.



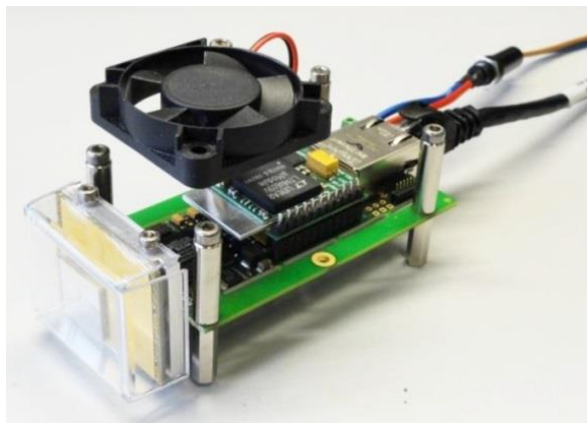
Rys. 3.3. Widok górny oraz dolny modułu „USB Lite interface”, z wyróżnionymi blokami [36].

Moduł nosi nazwę „*USB Lite interface*”, a główne jego cechy to:

- prędkość odczytu: 4 Mbit/s (4 fps),
- kontrola modułu za pomocą mikroprocesora,
- zasilanie przez USB (całkowity pobór mocy nie przekracza 2 W),
- zintegrowane źródło napięcia polaryzacji detektora,
- dodatkowe złącza linii wejścia/wyjścia,
- możliwość programowania przez protokół USB.

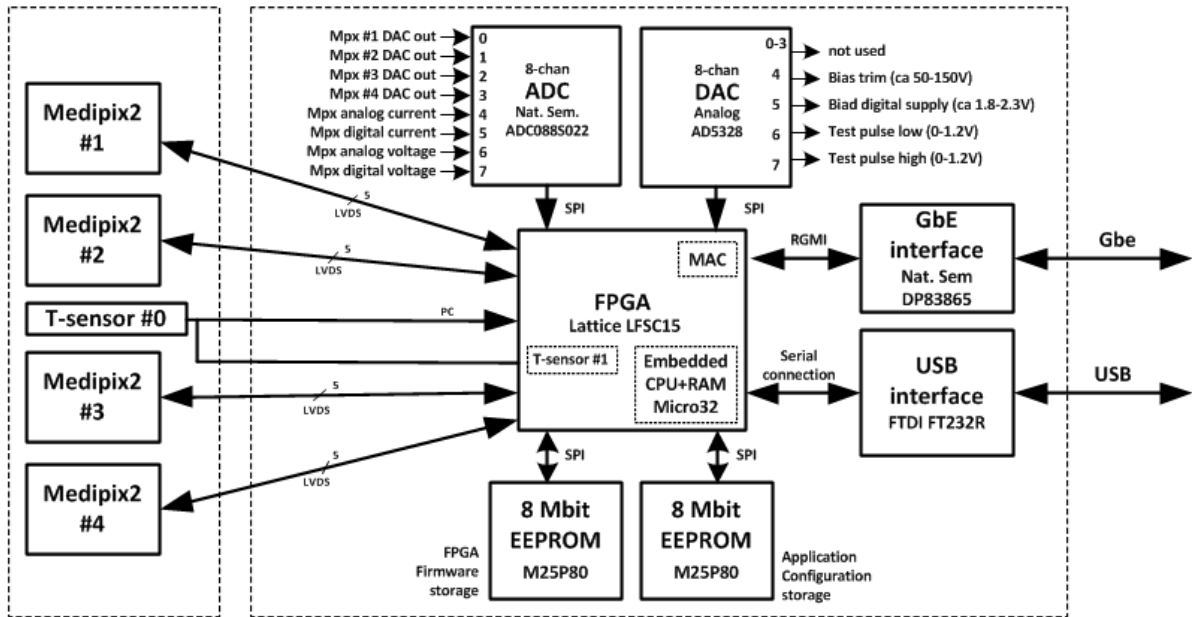
3.1.3 Kamera z czterema układami scalonymi Medipix II

RELAXD (*ang. High Resolution Large Area X-ray Detection*), realizowany również w Instytucie Fizyki Doświadczalnej i Stosowanej na Politechnice Czeskiej w Pradze, to system pomiarowy do rejestracji promieniowania X, składający się z modułów, w których to zostały połączone cztery układy scalone Medipix II w matrycy 2×2 (rys. 3.4) [38].



Rys. 3.4. Widok systemu pomiarowego RELAXD [38].

Rdzeniem modułu RELAXD jest układ FPGA (*ang. Field Programmable Gate Array*), w którym wbudowany mikrokontroler steruje pracą urządzeń komunikacyjnych, takich jak USB, Ethernet (rys. 3.5). Za pomocą szybkich interfejsów (LVDS) łączy się on z czterema układami scalonymi Medipix II i kontroluje ich pracę. Układy, takie jak przetworniki analogowo-cyfrowe i cyfrowo-analogowe służą do monitorowania warunków pracy modułu oraz do odpowiedniego sterowania układem zasilania. Interfejs USB służy do monitorowania i diagnozowania problemów z modułem podczas pracy, natomiast połączenie Ethernet jest głównym portem służącym do komunikacji i przesyłania danych.



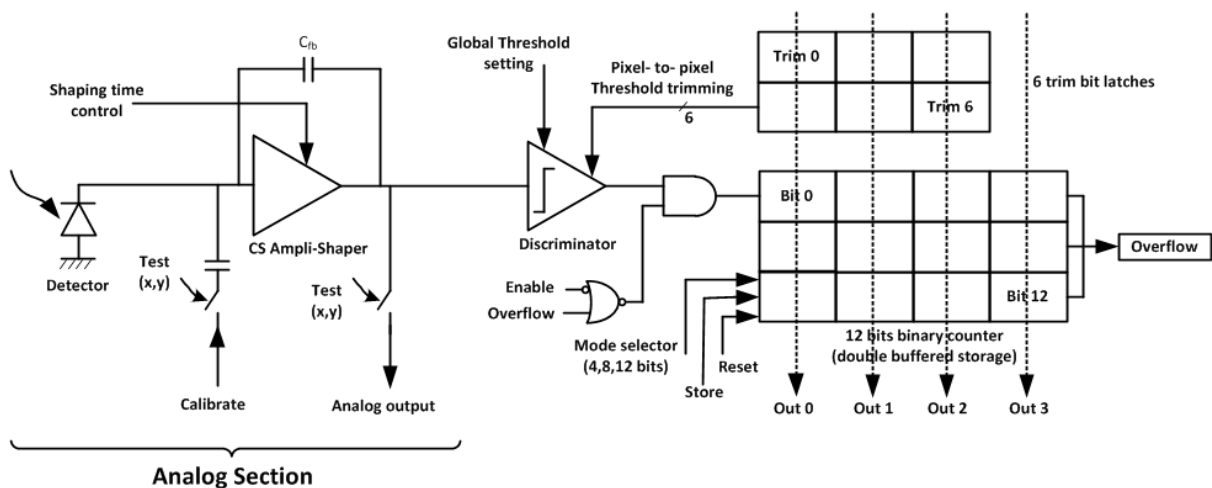
Rys. 3.5. Schemat modułowy komponentów systemu RELAXD [38].

3.2 Rozwiązanie bazujące na układzie scalonym Eiger

3.2.1 Układ scalony Eiger

Jest to zaprojektowany przez grupę naukowców z *Paul Scherrer Institut* (PSI) układ scalony charakteryzujący się możliwością rejestracji do 24 tysięcy ramek na sekundę [39]. Posiada on matrycę 256×256 pikseli, przy czym wymiary pojedynczego piksela to $75 \mu\text{m} \times 75 \mu\text{m}$.

Architektura pojedynczej komórki piksela została przedstawiona na rysunku 3.6 [39].



Rys. 3.6. Architektura pojedynczej komórki piksela układu scalonego Eiger [39].

Niskoszumny przedwzmacniacz został umieszczony przed układem kształtującym z przestrajalnym czasem kształtowania. Dyskryminator został wyposażony w 6-bitowe przetworniki cyfrowo-analogowe do korekcji rozrzutów progów dyskryminacji. Tor analogowy potrafi zliczać impulsy z częstotliwością większą od 1 MHz. Pod koniec ekspozycji zawartość licznika ładowana jest do tymczasowego bufora, a sam licznik zerowany. Buforowanie oraz zerowanie licznika trwa około 1 μ s, po tym czasie możliwe jest zliczanie kolejnych impulsów. Układ scalony Eiger może być czytany równolegle przez 32-linie DDR (*ang. Double Data Rate*) z częstotliwością 100 MHz. Buforowanie danych z licznika pozwala zminimalizować tak zwany czas martwy. Maksymalną częstotliwość odczytywanych ramek można regulować za pomocą długości licznika piksela (od 4 do 12 bitów) i wynosi ona odpowiednio: dla licznika 4-bitowego 24 tysięcy ramek na sekundę, dla licznika 8-bitowego 12 tysięcy ramek na sekundę, natomiast dla licznika 12-bitowego 8 tysięcy ramek na sekundę.

Główne parametry układu scalonego zostały przedstawione w tabeli 3.1 [39].

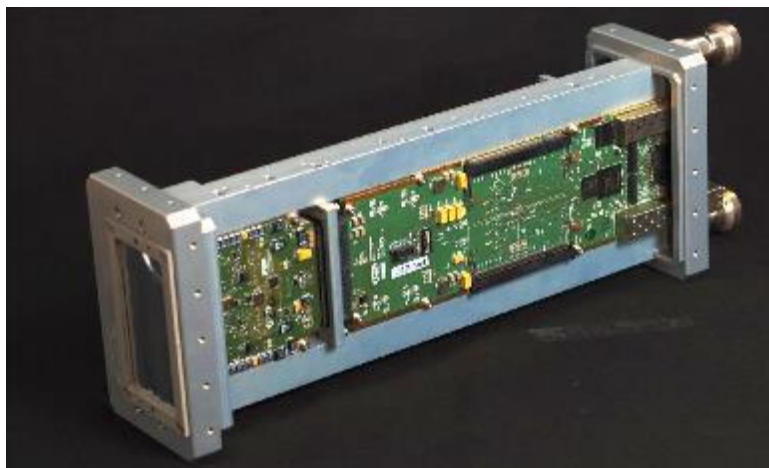
Tabela 3.1 Główne parametry układu scalonego Eiger [39].

Parametr	Wartość
Układ scalony	
Technologia	UMC 0,25 μ m
Zasilanie	1,1 V (część analogowa), 2 V (część cyfrowa), 1,8 V (układy wejścia/wyjścia)
Odporność radiacyjna	> 44 Mrad
Matryca piksel	256 \times 256 = 65536 pikseli
Wymiary układu scalonego	19,3 mm \times 20 mm
Maksymalna częstość odczytu ramek	24 tysięcy ramek na sekundę
Pojedynczy piksel	
Wymiary	75 μ m \times 75 μ m
Wzmocnienie	44,6 μ V/e ⁻
Czas kształtowania (t_p)	31 ns
Czas powrotu do linii bazowej (1%)	151 ns
Szum (symulacyjnie)	135 e ⁻ rms
Moc statyczna	8,8 μ W/piksel
Liczba tranzystorów	430/piksel

3.2.2 Kamera bazująca na układzie scalonym Eiger

Na bazie układu scalonego Eiger zaprojektowano moduł kamery, składający się z 8 (2×4) układów scalonych i zawierający łącznie 52448 pikseli [40].

Kamera bazująca na układach Eiger została wprowadzona na rynek w 2014 roku przez firmę Dectris [41] i jest obecnie najbardziej zaawansowanym produktem tego typu na świecie (rys. 3.7).



Rys. 3.7. Widok kamery wykonanej na bazie układu scalonego Eiger [40].

Główne cechy kamery to:

- sensor kamery o wymiarach $4\text{ cm} \times 8\text{ cm}$ posiadający 524 tysięcy pikseli o wymiarach $75\text{ }\mu\text{m} \times 75\text{ }\mu\text{m}$,
- praktycznie brak czasu martwego pomiędzy kolejnymi ramkami,
- elektroniczny podział kamery na dwa niezależne moduły,
- szybka transmisja danych, przesyłanych dwoma złączami 10 GbE, niezależnymi dla każdego z obu modułów,
- buforowanie danych wynoszące do 32 tysięcy klatek dla licznika 4-bitowego.

Moduł kamery zaprojektowano tak, aby była możliwość łączenia go w większe matryce uzyskując obszar detekcyjny zajmujący 9,44 milionów pikseli (2072×3072).

3.3 Rozwiązanie bazujące na układzie scalonym PIXIE III

3.3.1 Układ scalony PIXIE III

Układ scalony PIXIE III jest największym powierzchniowo układem scalonym ($25\text{ mm} \times 32\text{ mm}$) stosowanym do zliczania pojedynczych fotonów. Zaprojektowany został przez firmę *Pixirad Imaging Counters.r.l.* [42].

Układ scalony wykonano w technologii CMOS $0,16\ \mu\text{m}$. PIXIE III posiada matrycę 512×402 pikseli o wymiarach $62\ \mu\text{m} \times 62\ \mu\text{m}$. Każda komórka piksela zawiera wzmacniacz ładunkowy podłączony do dwóch dyskryminatorów, z których informacja jest zbierana przez dwa 15-bitowe liczniki.

Główne parametry układu scalonego PIXIE III zebrano w tabeli 3.3.

Tabela 3.3 Główne parametry układu scalonego PIXIE III [42].

Parametr	Wartość
Ekwiwalentny ładunek szumowy	$50\ e^- \text{ rms}$
Zakres liniowy	$> 12000\ e^-$
Poziom nasycenia	$> 18000\ e^-$
Offset po autokalibracji	$\pm 30\ e^-$
Czas trwania impulsu	450 ns (regulowany)
Czas kształtowania	100 ns

Szczególną uwagę należy zwrócić tutaj na bardzo niskie szумы, jakimi charakteryzuje się układ scalony. W celu zminimalizowania efektu podziału ładunku, piksele detektora półprzewodnikowego mają kształt heksagonalny [42, 43].

Układ może pracować w kilku trybach pracy, najważniejsze z nich to:

1. *Pixel Mode (PM)*. W tym trybie każdy piksel zlicza niezależnie od innych. Piksel zlicza impulsy z określonego okna energetycznego, a wartość licznika można odczytać w czasie mniejszym niż 1 ms, co pozwala na szybkie wysyłanie kolejnych ramek.
2. *Neighbor Pixel Inhibit Mode (NPI)*. Ten tryb pracy eliminuje częściowo efekty związane z podziałem ładunku. Jeżeli foton promieniowania X wpada w pobliżu granicy dwóch pikseli, impuls rejestrowany jest tylko przez jeden piksel (ten, który otrzymał większą część ładunku).
3. *Pixel Summing Mode (PSM)*. W trybie tym, w przypadku gdy dojdzie do efektu podziału ładunku, sumowane są amplitudy impulsów z czterech sąsiednich pikseli.

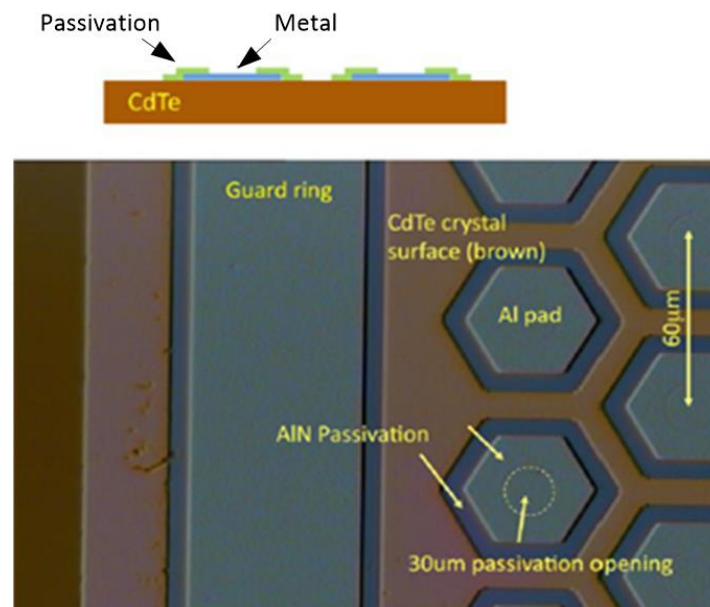
3.3.2 Kamera bazująca na układzie scalonym PIXIE III

Podstawowy moduł kamery PIXIERAD o architekturze hybrydowej, łączy ze sobą detektor półprzewodnikowy (CdTe) o wymiarach $30\text{ mm} \times 25\text{ mm}$ oraz układ scalony PIXIE III o matrycy równej 512×476 pikseli [44]. Heksagonalne piksele detektora rozmieszczone są z gęstością co $60\text{ }\mu\text{m}$ (rys. 3.8).

a)



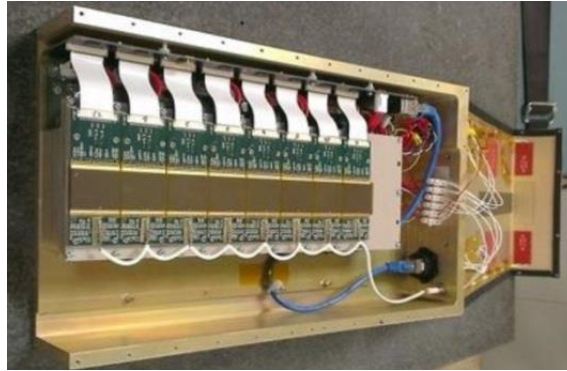
b)



Rys. 3.8. Kamera PIXIRAD: a) widok podstawowego modułu [44], b) widok pikseli detektora [40].

Autorzy prezentując moduł podkreślają jego atuty, takie jak duża powierzchnia układu scalonego, detektor CdTe o pikselach heksagonalnych, niski poziom szumów oraz automatyczna kompensacja rozrzutu poziomów stałych na wejściu dyskryminatorów.

Pola kontaktowe wejścia/wyjścia układu scalonego PIXIE III, znajdujące się po obu jego stronach, umożliwiają łączenie pojedynczych układów scalonych tylko w jednym kierunku. Największy zbudowany moduł kamery to PIXIERAD-8 (rys. 3.9). Składa się on z ośmiu układów scalonych PIXIE III oraz detektora CdTe [44].

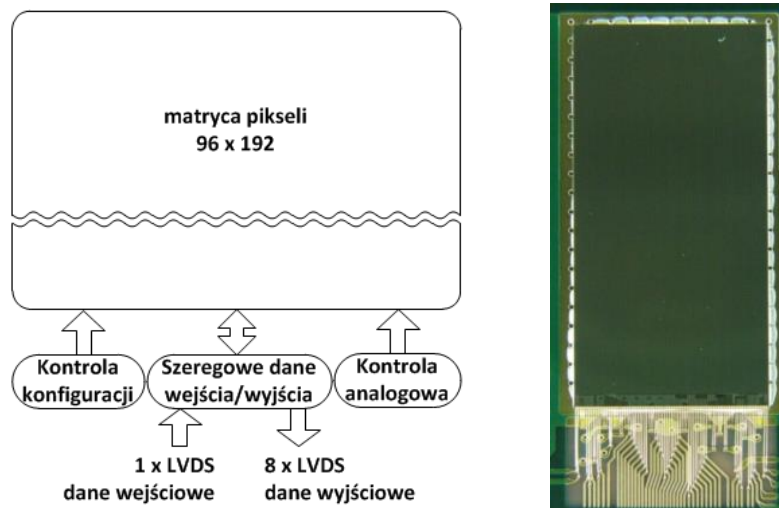


Rys. 3.9. Widok modułu kamery PIXIRAD-8 [44].

Główne cechy modułu kamery to obszar aktywny o wymiarach $250\text{ mm} \times 25\text{ mm}$ składający się z 2 milionów heksagonalnych pikseli i dający gęstość upakowania 323 pikseli/mm^2 . Ponadto moduł charakteryzuje się zdolnością zliczeń na poziomie 10^5 zliczeń/piksel/s oraz prędkością odczytu wynoszącą 13,6 klatek/s.

3.4 Rozwiązanie bazujące na układzie scalonym PXD18k

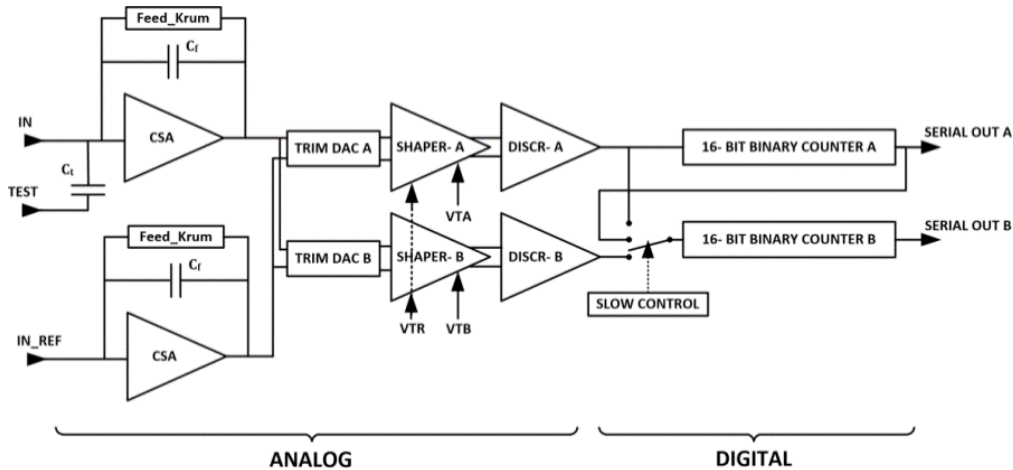
Układ scalony PXD18k zaprojektowany w technologii CMOS 180 nm posiada 96×192 pikseli [45]. Odczyt danych z układu scalonego, jak i konfiguracja odbywa się za pomocą szeregowego rejestru przesuwanego, połączonego z liniami wejścia/wyjścia, zaprojektowanymi w niskonapięciowym standardzie LVDS (rys. 3.10) [45, 46].



Rys. 3.10. Po lewej schemat blokowy układu, po prawej zdjęcie układu scalonego PXD18k [45, 46].

W górnej części struktury układu scalonego PXD18k znajduje się matryca, składająca się z 18432 pikseli o wymiarach $100\ \mu\text{m} \times 100\ \mu\text{m}$. Główna część kontrolna układu scalonego, w skład której wchodzi rejestr przesuwany, układy wejścia/wyjścia oraz układy kontroli i konfiguracji znajduje się w dolnej części układu scalonego PXD18k. Wymiary układu scalonego wynoszą $9,64\ \text{mm} \times 20\ \text{mm}$. [45, 46].

Architektura pojedynczego piksela przedstawiona jest na rysunku 3.11 [46].



Rys. 3.11. Architektura pojedynczego piksela układu scalonego PXD18k [46].

Pojedynczy piksel układu scalonego PXD18k składa się z części analogowej oraz cyfrowej. W skład części analogowej wchodzi dwa przedwzmacniacze ładunkowe (główny oraz referencyjny), dwa tory układów kształtujących, dwa przetworniki cyfrowo-analogowe (do korekcji poziomów stałych sygnału na wejściu dyskriminatora) oraz dwa dyskriminatory. Część cyfrową stanowią dwa 16-bitowe liczniki binarne, mogące pracować niezależnie, jak i tworząc jeden 32-bitowy licznik [46, 47].

Główne cechy układu PXD18k jakie warto wymienić, to pobór mocy pojedynczego piksela na poziomie $23\ \mu\text{W}$, czas kształtowania wynoszący $30\ \text{ns}$, ENC na poziomie $168\ e^-_{\text{rms}}$ oraz wzmacnienie $42,5\ \mu\text{V}/e^-$. Ponadto, układ może pracować w trybie ciągłym, gdzie wejścia liczników przełączane są na przemian z wyjściem jednego z dyskriminatorów. Umożliwia to odczyt kolejnych ramek z krótkim czasem martwym. Parametry układu PXD18k zostały zestawione w tabeli 3.4 [46, 47].

Tabela 3.4 Parametry układu PXD18k [46, 47].

Parametr	Wartość
Technologia	CMOS 180 nm
Rozmiar	9,46 mm × 20 mm
Rozmiar piksela	100 μm × 100 μm
Liczba pikseli	18432
Napięcia zasilania (rdzeń/ układy wejścia-wyjścia)	1,2 V / 1,8 V
Maksymalny pobór mocy pojedynczego piksela (część analogowa)	23 μW
Czas osiągnięcia wartości szczytowej	30 ns
ENC (z podłączonym detektorem)	168 e ⁻ rms
Wzmocnienie	42,5 μV/e ⁻
Efektywny rozrzut napięć progowych przeliczony na wejście CSA	42 e ⁻ rms
Czas martwy (model paraliżujący)	172 ns
Liczba dyskryminatorów w kanale	2
Rozmiar liczników w pikselu	2 × 16 bitów
Czas martwy:	
- tryb standardowy (2 × 16 bitów/piksel)	470 μs
- tryb ciągły	0 μs
Liczba klatek na sekundę (16 bitów / 4 bity)	2,7 kfps / 7,1 kfps
Komunikacja	LVDS, 100 Mbps

Na bazie układu scalonego PXD18k Japońska firma *Rigaku Corporation* zaprojektowała moduł przemysłowej kamery HyPix-3000 do rejestracji promieniowania X (rys. 3.12) [48 49].



Rys. 3.12. Widok modułu kamery HyPix-3000 [49].

Moduł kamery HyPix-3000 składa się z 16 układów scalonych PXD18k połączonych z półprzewodnikowym detektorem pikselowym metodą bump-bonding. Obszar aktywny detektora o wymiarach 77,5 mm × 38,5 mm zawiera 298375 kwadratowych pikseli (rozmiar piksela wynosi 100 μm × 100 μm).

Praca kamery możliwa jest w trzech trybach [22]:

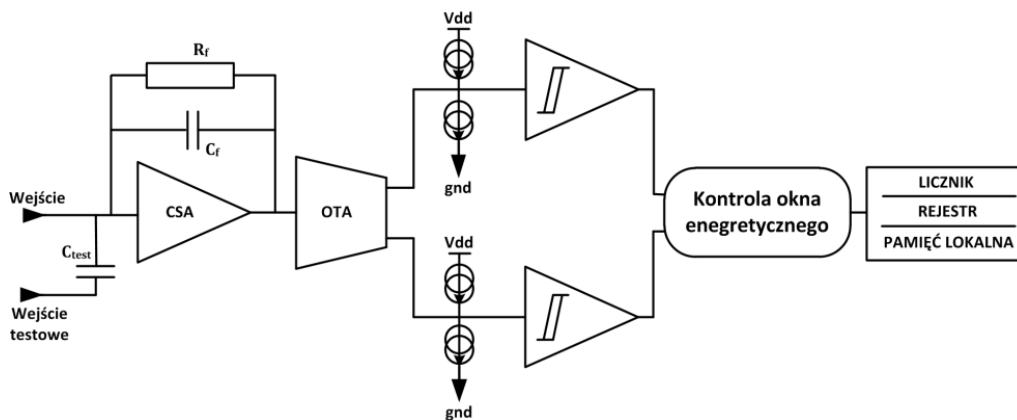
- *normalnym*, w którym każdy z liczników zlicza impulsy z odpowiadającego mu dyskryminatora, co umożliwia rejestrację fotonów z wybranego okna energetycznego,
- *dlugiego licznika*, gdzie dwa 16-bitowe liczniki połączone w jeden 32-bitowy zliczają impulsy z wybranego dyskryminatora,
- *pracy ciągłej*, kiedy to oba liczniki podłączone są na przemian do jednego dyskryminatora.

3.5 Rozwiązanie bazujące na układzie scalonym XPAD3

Układ scalony XPAD3 zaprojektowany w technologii IBM 0,25 μm zawiera 9600 pikseli o wymiarach $130 \mu\text{m} \times 130 \mu\text{m}$. Umieszczone są one w matrycy 80×120 pikseli. Autorzy prezentując układ, podkreślają wysoką częstość zliczeń ($> 10^6$ fotonów/piksel/s), szeroki zakres rejestrowanych energii sięgający 60 keV, niski poziom szumów 100 e^- rms, oraz możliwość pracy z oknem energetycznym (dwa progi dyskryminacji) [50, 51].

Układ scalony przeznaczony jest do pracy z dwoma typami detektorów półprzewodnikowych. XPAD3S do pracy z detektorem krzemowym oraz XPAD3C do pracy z detektorem CdTe.

Na rysunku 3.13 przedstawiona została architektura pojedynczego piksela.



Rys. 3.13. Architektura pojedynczego piksela układu scalonego XPAD3 [50].

Zdeponowany ładunek w detektorze trafia na wejście wzmacniacza ładunkowego, gdzie zamieniany jest na skok napięcia proporcjonalny do sygnału wejściowego. W kolejnym kroku sygnał napięciowy zamieniany jest na prąd i podawany na dwa niezależne dyskryminatory prądowe. W wyniku działania układu kontroli okna energetycznego, do zapisu zarejestrowanych zdarzeń podawany jest tylko ten sygnał, który mieści się w wybranym oknie energetycznym. W poniższej tabeli 3.5 zostały przedstawione charakterystyczne parametry układu scalonego XPAD3.

Tabela 3.5 Charakterystyczne parametry układu scalonego XPAD3 [50].

Wersja	XPAD3-S	XPAD3-C
Liczba pikseli	80 × 120 = 9600	
Rozmiar piksela	130 μm × 130 μm	
Czas odczytu	2 ms/ramkę	
Maksymalna częstość zliczeń	> 10 ⁶ fotonów/piksel/s	
Pobór mocy	40 μW/piksel (2 V)	
Polarność impulsu wejściowego	Zbieranie dziur	Zbieranie elektronów
Wzmocnienie	89 nA/keV do 35 keV	46 nA/keV do 60 keV
Tryby pracy	pojedynczy próg dyskryminacji	dwa progi dyskryminacji
Nieliniowość	< 4% powyżej 35 keV	< 2% powyżej 60 keV
Minimalny próg dyskryminacji	< 4 keV	< 10 keV
Szumy	127 e ⁻ rms	185 e ⁻ rms
Rozrzut progów dyskryminacji	57 e ⁻	-

Na bazie układu XPAD3 zaprojektowano moduł kamery widoczny na rysunku 3.14 [44].



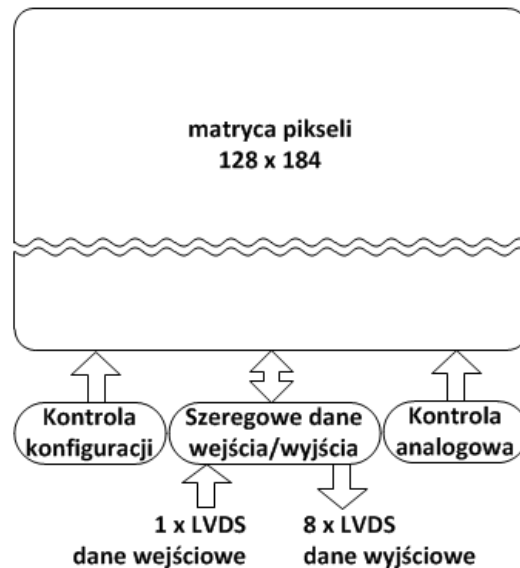
Rys. 3.14. Widok modułu kamery, zaprojektowanej na bazie układu scalonego XPAD3 [44].

Moduł może pracować zarówno z detektorami Si o grubości 500 μm, jak i z detektorami CdTe o grubości 700 μm. Regulacja dolnego progu dyskryminacji wynosi od 4,5 keV do 35 keV. Obszar detekcji, w zależności od zastosowania, może wynosić od 1,5 cm × 7,5 cm do 15 cm × 15 cm [44, 51, 52].

4 Budowa układu scalonego UFXC

Układ scalony UFXC został zaprojektowany w technologii TSMC (*ang. Taiwan Semiconductor Manufacturing Company*) CMOS 0,13 μm . Jądem układu scalonego jest matryca pikseli o wymiarach $75 \mu\text{m} \times 75 \mu\text{m}$ [53]. W wersji prototypowej układu scalonego, matryca ma wymiary 128×184 pikseli, natomiast w wersji finalnej 128×256 pikseli [54, 55].

Każda komórka piksela składa się z toru części analogowej, odpowiedzialnej za formowanie impulsu wejściowego oraz części cyfrowej, której zadaniem jest zliczanie impulsów wejściowych oraz kontrola pracy układu scalonego. W dolnej części układu scalonego znajdują się urządzenia peryferyjne, bloki do kontroli matrycy pikseli oraz bloki odpowiedzialne za komunikację ze środowiskiem zewnętrznym, wykonane w standardzie LVDS (*ang. Low-Voltage Differential Signaling*). Schemat blokowy prototypowego układu scalonego UFXC zamieszczony jest na rysunku 4.1.

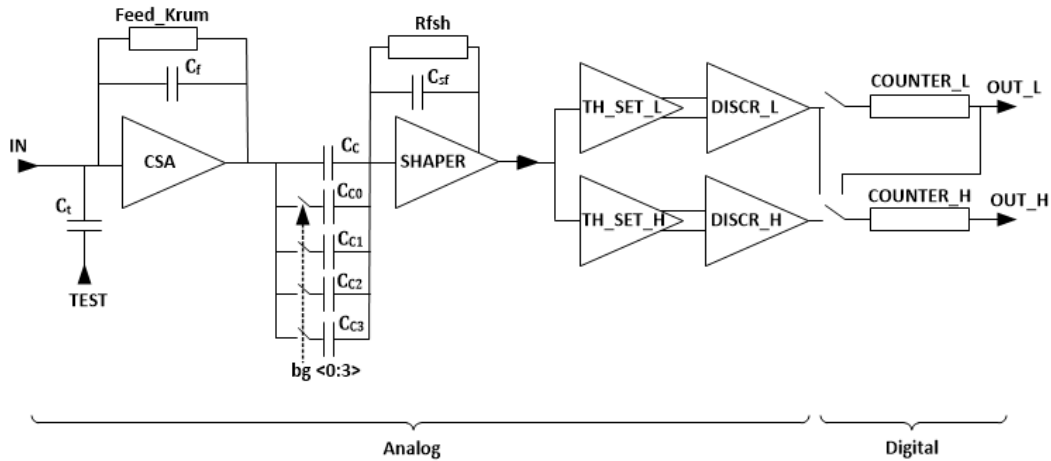


Rys. 4.1. Schemat blokowy prototypowego układu scalonego UFXC z matrycą pikseli 128×184 [54].

Zasilanie układu scalonego obejmuje pięć niezależnych linii napięć. Dominującą część zasilania układu scalonego stanowi matryca pikseli. Pobór mocy pojedynczego piksela wynosi $25 \mu\text{W}$, natomiast pobór mocy całego układu scalonego w wersji prototypowej wynosi około 600 mW.

4.1 Kształtowanie i zliczanie impulsów

Schemat toru pomiarowego pojedynczego piksela pokazano na rysunku 4.2. [53, 54].

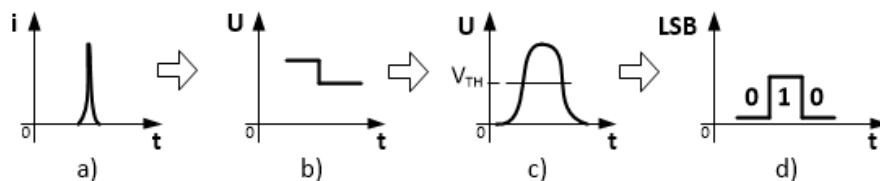


Rys. 4.2. Schemat toru pomiarowego pojedynczego piksela układu scalonego UFXC [53, 54].

Część analogowa toru zawiera:

- wzmacniacz ładunkowy z kompensacją prądu upływu (CSA),
- układ kształtowania impulsu (SHAPER),
- dwa układy do ustalania progu dyskryminacji w pikselu i korekcji poziomów stałych na wejściu dyskryminatorów (TH_SET_L, TH_SET_H),
- dwa dyskryminatory (DISCR_L, DISCR_H), umożliwiające rejestrację natężenia promieniowania X, pochodzącego od fotonów w określonym przedziale energii.

Impuls prądowy pochodzący z detektora całkowany jest we wzmacniaczu ładunkowym, w wyniku czego dostajemy skok napięcia o amplitudzie proporcjonalnej do ładunku niesionego przez impuls prądowy. W kolejnym kroku, dany impuls napięcia w układzie kształtowania wzmacniany jest oraz filtrowany, jak również formowany stosownie do wymagań czasowych na impuls napięciowy o pożądanym kształcie. Tak uformowany impuls podawany jest na dyskryminator, który na swoim wyjściu daje odpowiedź cyfrową (rys. 4.3).

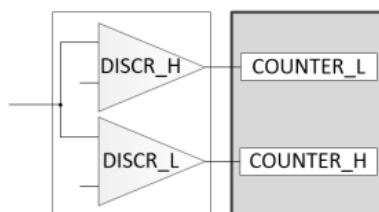


Rys. 4.3. Obrazowy schemat formowania wejściowego impulsu prądowego: a) wejście układu, b) wyjście CSA, c) wyjście SHAPER, d) wyjście dyskryminatora.

Część cyfrową piksela stanowią dwa 14-bitowe liczniki zliczające impulsy z dyskryminatora oraz rejestr kontrolujący lokalne parametry pracy części analogowej piksela.

Dwa niezależne 14-bitowe liczniki, mogą pracować w trzech trybach [56]:

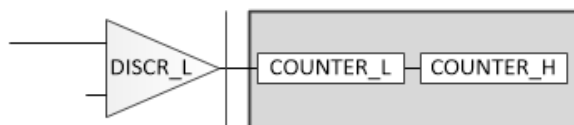
- a) *Standardowym*, w którym zliczane są impulsy z obu dyskryminatorów niezależnie (rys. 4.4).



Rys. 4.4. Schemat zliczania w trybie *standardowym*.

W trybie tym zliczanie występuje na zmianę z odczytem liczników. Podczas odczytu liczników, impulsy z dyskryminatorów nie są zliczane (tzw. *Dead Time*).

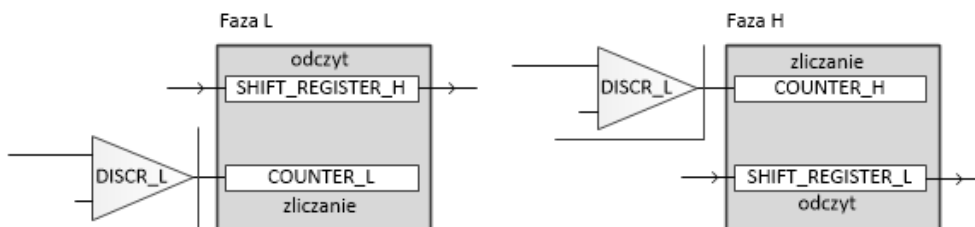
- b) *Długiego licznika*, w którym oba liczniki łączone są w jeden licznik 28-bitowy (rys. 4.5).



Rys. 4.5. Schemat zliczania w trybie *długiego licznika*.

Tryb ten pozwala na rejestrację większej liczby zliczeń, ale tylko z jednego dyskryminatora.

- c) *Ciągłym*, gdzie oba liczniki podłączone są na przemian do tego samego dyskryminatora (rys. 4.6).



Rys. 4.6. Schemat zliczania w trybie *ciągłym*.

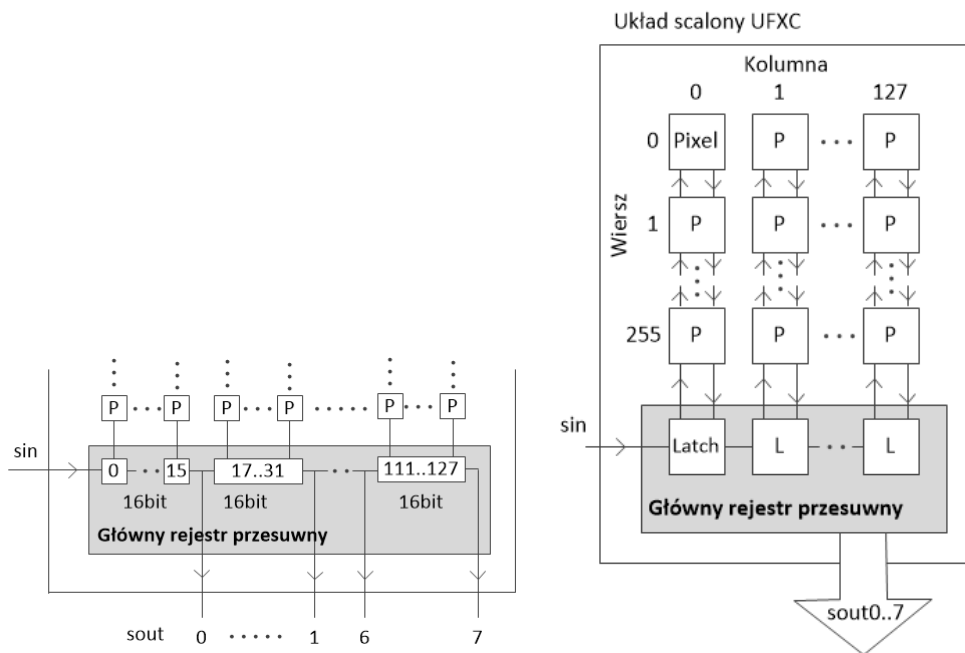
W trybie tym możliwe jest ciągle zliczanie impulsów, ale tylko z jednego dyskryminatora. Podczas gdy jeden z liczników zlicza impulsy, drugi wysyła je do systemu nadrzędnego na zewnątrz układu scalonego.

4.2 Transfer danych.

Transfer danych na zewnątrz układu scalonego odbywa się przy pomocy bloków peryferyjnych. Układ scalony UFXC posiada 6 wejść (*sin*, *clk*, *pclk*, *shift*, *strobe*, *write*), które umożliwiają konfigurację i kontrolę pracy układu, oraz 8 wyjść (*sout0...sout7*), za pomocą których możliwy jest odbiór danych z układu scalonego [56].

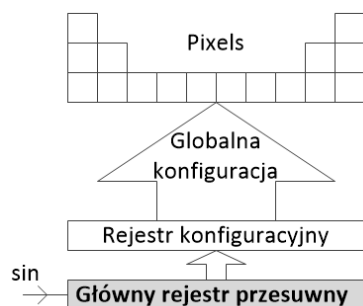
Przekazywanie sygnałów na liniach wejścia/wyjścia odbywa się zgodnie z niskonapięciowym różnicowym standardem LVDS. Maksymalna częstotliwość pracy układu (zgodnie z symulacjami) wynosi 500 MHz. Transfer danych z oraz do układu scalonego odbywa się za pomocą 128-bitowego głównego rejestru przesuwne (rys. 4.7). Odpowiednie połączenie wyjść głównego rejestru przesuwne pozwala na odczyt danych (w zależności od konfiguracji) z 1, 2, 4, lub 8 wyjść.

W trakcie zapisu, lub odczytu danych z matrycy pikseli, liczniki z poszczególnych pikseli, znajdujące się w obrębie poszczególnych kolumn, łączone są w rejestry przesuwne (rys. 4.7). Dane ze wspomnianych rejestrów wpisywane są do głównego rejestru przesuwne.



Rys. 4.7. Po lewej schemat głównego rejestru przesuwne; po prawej połączenie głównego rejestru przesuwne z pojedynczymi pikselami.

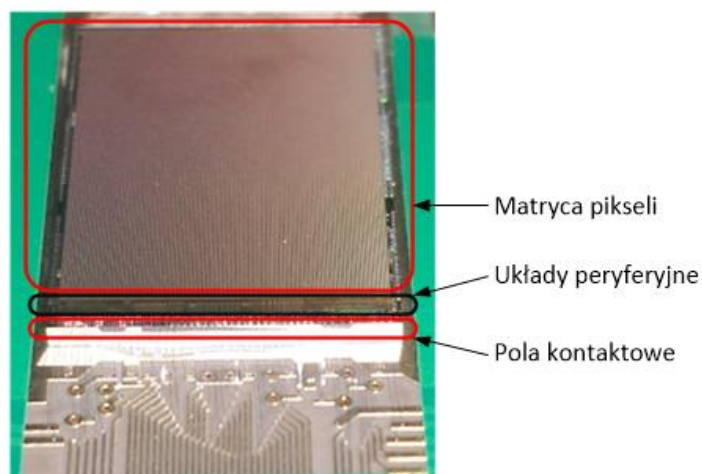
Główny rejestr przesuwne służy również do ustalania zawartości głównego rejestru konfiguracyjnego, którego celem jest ustawienie wartości globalnych parametrów pracy układu scalonego UFXC (rys. 4.8).



Rys. 4.8. Połączenie głównego rejestru przesuwnego z głównym rejestrem konfiguracyjnym.

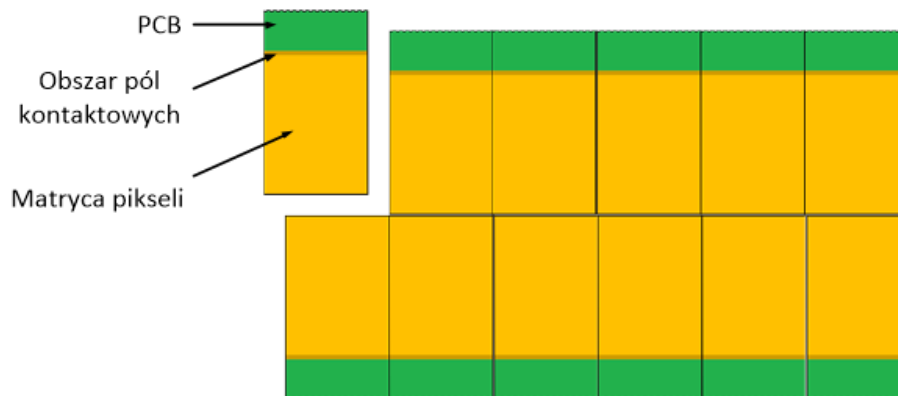
4.3 Możliwości budowy detektorów wielkopowierzchniowych

Plan masek układu scalonego UFXC został tak wykonany, aby można było budować w przyszłości moduły kamery składające się z kilku układów scalonych, przy minimalizacji obszarów martwych (to znaczy takich obszarów, w których nie ma pikseli odczytowych układu scalonego). W tym celu bloki peryferyjne oraz pola kontaktowe (*ang. pads*) umieszczono tylko w dolnej części układu scalonego (rys. 4.9).



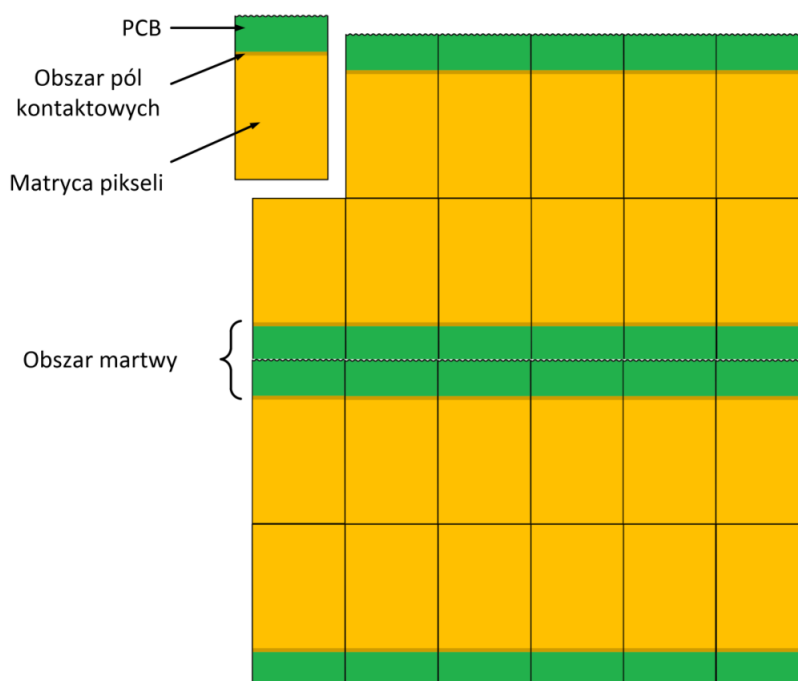
Rys. 4.9. Zdjęcie prototypowego układu scalonego UFXC.

Dzięki takiemu rozmieszczeniu bloków na układzie scalonym, sąsiednie układy scalone można umieszczać z trzech stron (rys. 4.10).



Rys. 4.10. Dzięki umieszczeniu pól kontaktowych tylko na spodzie układu scalonego, sąsiednie układy scalone można umieszczać z trzech stron.

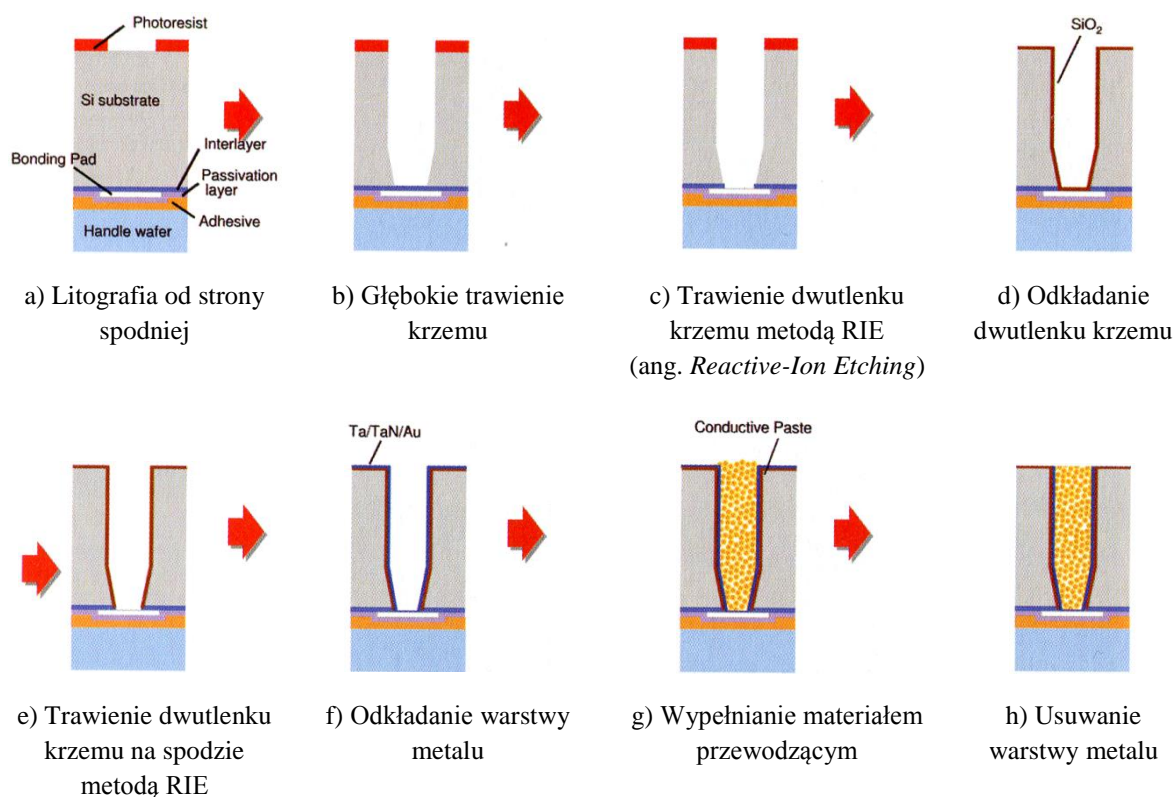
Gdyby w przyszłości zaistniała potrzeba składania ze sobą kilku modułów, takich jak na rysunku 4.11, to pojawi się problem połączenia układu scalonego ze środowiskiem zewnętrznym, generując dodatkowe obszary martwe detektora.



Rys. 4.11. Widok obszaru martwego powstałego przy łączeniu modułów z układami scalonymi.

Potencjalnym rozwiązaniem jest wtedy zastosowanie technologii TSV (*ang. Through Silicon Via*), umożliwiającej zasilanie oraz komunikację układu scalonego od spodu, co umożliwia minimalizację obszarów martwych, generowanych przez połączenia układu scalonego ze światem zewnętrznym.

Część płytek krzemowych, zawierających układy scalone UFXC poddano krokom technologicznym związanym z wykonaniem połączenia TSV [57, 58]. Przebieg procesu technologicznego wykonania TSV przedstawiono na rysunku 4.12 [58].

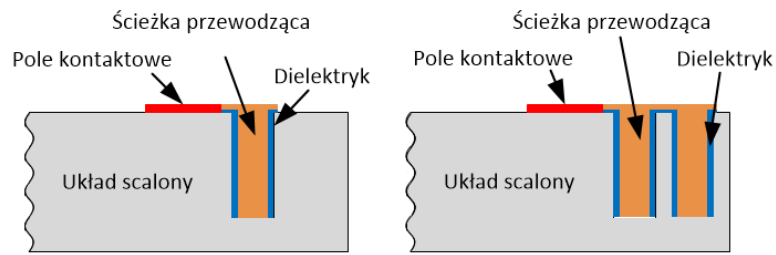


Rys. 4.12. Przebieg procesu technologicznego TSV [58].

W skrócie można powiedzieć, że po wytrawieniu otworów w strukturze układu scalonego w wyznaczonym miejscu i wypełnieniu go przewodnikiem, płytki krzemowe są ścieniane, tak aby dostać się do TSV i wykonać połączenie od spodu [57, 58].

Ponieważ sam proces produkcyjny wykonania TSV jest dość złożony, a obecność TSV wprowadza, na przykład dodatkowe pojemności, bądź indukcyjności pasożytnicze [59], zdecydowano w prototypowych układach scalonych wytrawić otwory w okolicy pól kontaktowych, wypełnić je metalem, a następnie poddać układy scalone testom.

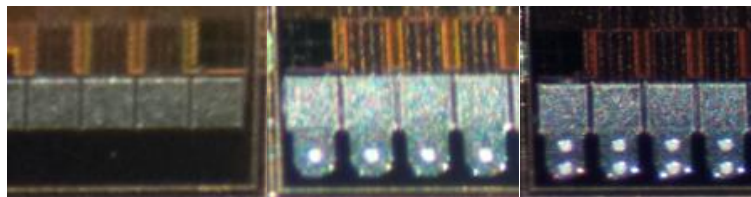
W układzie scalonym UFXC zostały wykonane TSV w dwóch wersjach: z pojedynczym oraz podwójnym TSV, przypadającym na jedno pole kontaktowe. Na rysunku 4.13 przedstawiony został widok przekroju dla dwóch wersji wykonanego połączenia technologią TSV.



Rys. 4.13. Widok wykonanego połączenia technologią TSV. Po lewej wersja z pojedynczym TSV, po prawej z podwójnym.

Wykonane połączenie TSV (pojedyncze, bądź podwójne) znajduje się kilkadziesiąt mikrometrów od pól kontaktowych oraz kilkaset mikrometrów od głównego rejestru przesuwnego. Mechaniczna, bądź chemiczna ingerencja w tym obszarze w strukturę układu scalonego po jego wyprodukowaniu, może mieć wpływ, na przykład, na układy wejścia/wyjścia układu scalonego UFXC.

Widok górnych warstw układu scalonego UFXC, bez oraz z wykonanymi TSV, znajduje się na rysunku 4.14.



Rys. 4.14. Widok górnych warstw układu scalonego UFXC. Od lewej: bez połączeń TSV, z pojedynczym połączeniem TSV/pad, z podwójnym połączeniem TSV/pad.

5 Testy układu scalonego UFXC

W niniejszym rozdziale w pierwszej kolejności zostaną przedstawione metody testowania i pomiaru parametrów poszczególnych bloków układu scalonego UFXC, w tym metoda pomiaru rozrzutów oraz metoda korekcji poziomów stałych na wejściu dyskryminatorów. Następnie zostaną omówione testy układów scalonych UFXC na płytkach krzemowych. Ostatni podrozdział poświęcono porównaniu wybranych parametrów układów scalonych niezawierających i zawierających połączenia TSV.

5.1 Metody testowania układu scalonego

5.1.1 Test poboru mocy części analogowej i cyfrowej

Polega on na sprawdzeniu, czy moc pobierana przez poszczególne bloki układu scalonego mieści się w określonych granicach, wyznaczonych w trakcie jego symulacji [56]. Test pozwala wykryć obecność zwarców oraz przerw na liniach zasilających.

5.1.2 Test bloków cyfrowych

Test głównego rejestru przesuwnego

Test głównego rejestru przesuwnego (podrozdział 4.2) polega na wpisaniu do niego losowej 128-bitowej liczby, a następnie odczytaniu jej z każdego z ośmiu wyjść rejestru. Porównanie danych wejściowych z danymi wyjściowymi pozwala sprawdzić poprawną komunikację z głównym rejestrem przesuwne układu scalonego (testuje linie: *sin*, *clk*, *sout0...sout7*). Test wykonywany jest z maksymalną częstotliwością pracy systemu pomiarowego.

Test liczników w matrycy pikseli

Test ten polega na wpisaniu (za pomocą głównego rejestru przesuwnego) losowych danych do rejestru liczników każdego piksela, a następnie odczytaniu zapisanych danych i porównaniu z sekwencją wejściową. Pozwala on przetestować poprawną komunikację z każdym pikselem w obrębie całej małej matrycy pikseli.

5.1.3 Test bloków analogowych w matrycy pikseli

Podstawowymi parametrami analogowymi, które mierzy się w układach o architekturze binarnej są szumy, wzmocnienie oraz efektywny poziom stały na wejściu dyskryminatorów. W układach takich stosujemy inne metody pomiaru tych parametrów, niż w klasycznych rozwiązaniach, gdzie sygnałem wyjściowym jest sygnał analogowy [60, 61].

W niniejszym podrozdziale przedstawione zostaną praktyczne metody wyznaczania ekwiwalentnego ładunku szumowego (ENC) oraz wzmocnienia napięciowego (k_v) toru pomiarowego.

Szumy

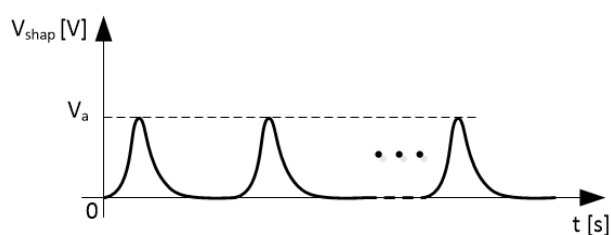
Aby wyznaczyć ENC, w pierwszej kolejności należy oszacować wartość szumów σ_n na wyjściu toru analogowego, wykorzystując w tym celu procedurę skanowania progiem dyskryminacji, przy jednoczesnym zliczaniu impulsów rejestrowanych na wyjściu dyskryminatora.

W celu przybliżenia tej procedury, rozważmy następujące przypadki:

- idealny tor pomiarowy z sygnałem, bez szumów,
- tor pomiarowy z uwzględnieniem szumu, bez sygnału,
- tor pomiarowy z uwzględnieniem sygnału i szumu.

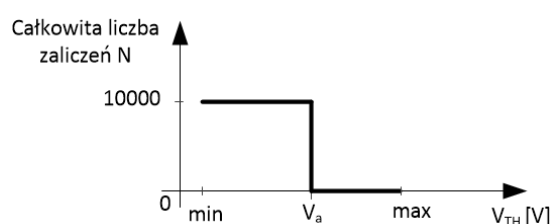
Idealny tor pomiarowy z sygnałem, bez szumów

Wyobraźmy sobie idealny tor pomiarowy bez szumów. Na wyjściu układu kształtującego pojawiają się monoenergetyczne impulsy o jednakowej amplitudzie i częstotliwości 10 kHz (rys. 5.1).



Rys. 5.1. Impulsy wyjściowe układu kształtującego; przypadek pierwszy (rysunek poglądowy).

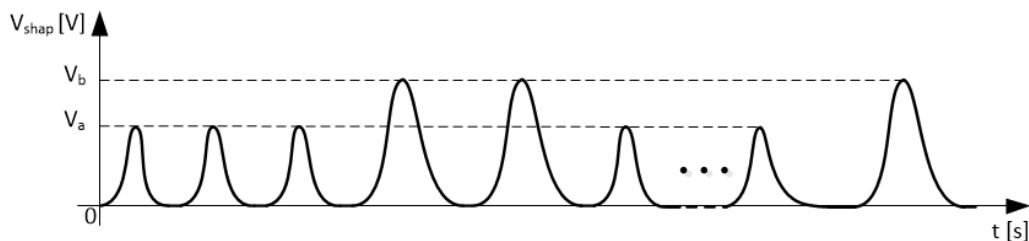
Przeprowadźmy następnie procedurę skanowania progiem dyskryminacji, zliczając liczbę impulsów w danej jednostce czasu (np. 1 sekunda) dla różnych wartości progu dyskryminacji (V_{TH}). Wynik pomiaru przedstawia rysunek 5.2.



Rys. 5.2. Widmo całkowite dla idealnego toru; przypadek pierwszy.

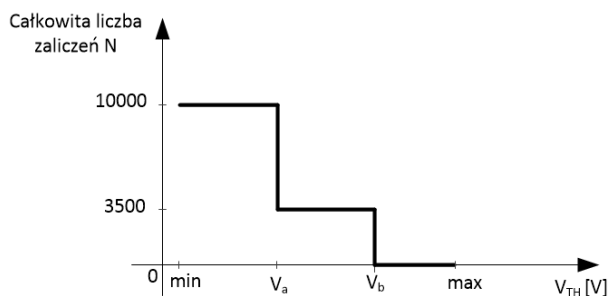
Pomiar został wykonany w założonych granicach minimalnej oraz maksymalnej wartości napięcia progu dyskryminacji. Analizując wyniki pomiaru, przy małych wartościach progu dyskryminacji, liczba zliczeń wynosi 10 tysięcy. Sytuacja zmienia się gwałtownie przy progu dyskryminacji V_{TH} równym maksymalnej amplitudzie impulsów wyjściowych V_a . Po przekroczeniu tej wartości, liczba zliczonych impulsów jest równa zero.

Rozważmy kolejny przypadek, w którym impulsy wyjściowe z układu kształtującego mają różną amplitudę (rys. 5.3). Załóżmy, że w każdej sekundzie na wyjściu układu kształtującego pojawia się: 6,5 tysiąca impulsów o amplitudzie V_a , 3,5 tysiąca impulsów o amplitudzie V_b .



Rys. 5.3. Impulsy wyjściowe układu kształtującego; przypadek drugi (rysunek poglądowy).

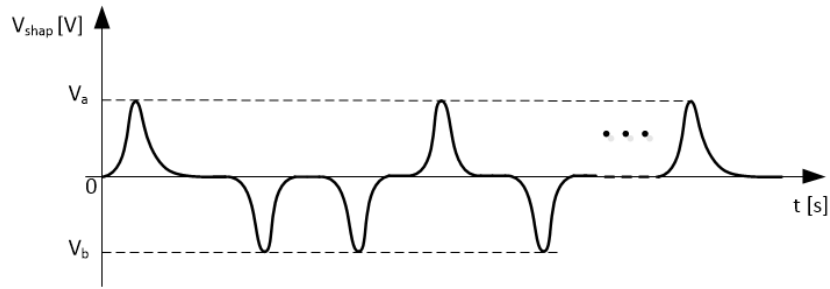
W takim przypadku, wynik procedury skanowania progiem dyskryminacji (czas zliczania dla każdej wartości progu dyskryminacji t_{spd} wynosi 1 sekundę) będzie wyglądał jak na rysunku 5.4.



Rys. 5.4. Widmo całkowite dla idealnego toru; przypadek drugi.

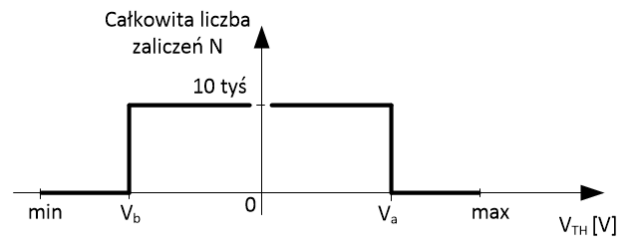
Możemy zauważyć dwie charakterystyczne wartości progu dyskryminacji V_{TH} , dla których następuje zmiana liczby zliczanych impulsów. Pierwsza wartość napięcia (V_a) jest granicą, poniżej której wszystkie pojawiające się na wejściu dyskryminatora impulsy są zliczane, a powyżej tylko impulsy o amplitudzie większej od wartości V_a . Druga wartość napięcia (V_b) jest granicą, powyżej której nie występują zliczenia. W tym przypadku, również możemy zauważyć strome przejścia na widmie całkowym, pojawiające się przy progach dyskryminacji odpowiadających amplitudzie impulsów wejściowych.

W trzecim przypadku, w idealnym torze pomiarowym, na wyjściu układu kształtującego w każdej sekundzie pojawia się 10 tysięcy impulsów o amplitudach zarówno dodatnich, jak i ujemnych (rys. 5.5).



Rys. 5.5. Impulsy wyjściowe układu kształtującego; przypadek trzeci (rysunek poglądowy).

Wynik procedury skanowania progiem dyskryminacji ($t_{\text{spd}} = 1\text{ s}$) znajduje się na rysunku 5.6.

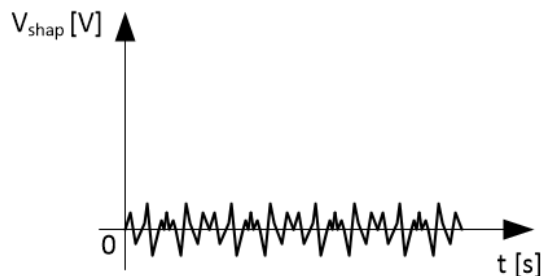


Rys. 5.6. Widmo całkowite dla idealnego toru; przypadek trzeci.

W tym przypadku, stała liczba zliczeń (10 tysięcy), odpowiadająca liczbie impulsów wyjściowych układu kształtującego, zawiera się w granicach od maksymalnej amplitudy impulsów ujemnych do maksymalnej amplitudy impulsów dodatnich progu dyskryminacji V_{TH} , zaś granice zliczeń również są strome.

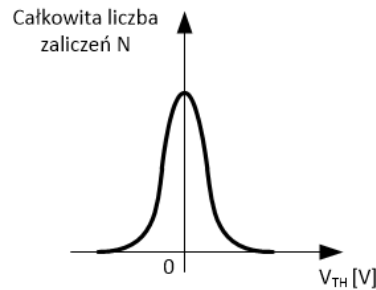
Tor pomiarowy z uwzględnieniem szumu, bez sygnału

W pierwszej kolejności rozpatrzmy przypadek, w którym na wejściu dyskryminatora dociera tylko szum bez sygnału, natomiast poziom stały na wyjściu układu kształtującego (wejściu dyskryminatora) wynosi 0 V (rys. 5.7).



Rys. 5.7. Sygnał wejściowy dyskryminatora (rysunek poglądowy).

Po wykonaniu procedury skanowania progiem dyskryminacji ($t_{\text{spd}} = 1\text{s}$), otrzymujemy wykres przedstawiony na rysunku 5.8. Pokazuje on liczbę zliczonych impulsów pochodzących od szumów, w zależności od ustawionego progu dyskryminacji.



Rys. 5.8. Widmo całkowite dla szumów bez sygnału.

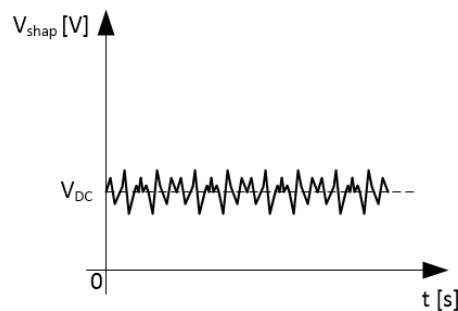
Częstość rejestrowanych zliczeń f_n , w zależności od ustawienia progu dyskryminacji, opisuje formuła Rice'a [62]:

$$f_n = f_0 \exp\left(-\frac{V_{TH}^2}{2\sigma_n^2}\right) \quad (5.1)$$

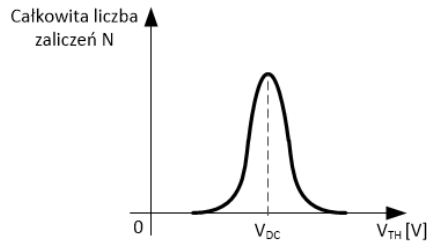
gdzie:

- f_0 – to częstość rejestrowanych zliczeń dla progu dyskryminacji równego zero,
- V_{TH} – to wartość progu dyskryminacji,
- σ_n – to wartość szumów rms na wejściu dyskryminatora.

Jeżeli poziom stały na wejściu dyskryminatora jest różny od zera i wynosi V_{DC} (rys. 5.9), wynik wykonania procedury skanowania progiem dyskryminacji ($t_{\text{spd}} = 1\text{s}$), będzie wyglądał jak na rysunku 5.10.



Rys. 5.9. Sygnał wejściowy dyskryminatora z przesunięciem poziomu stałego (rysunek poglądowy).



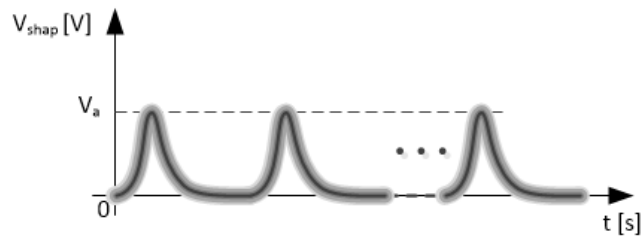
Rys. 5.10. Widmo całkowite dla szumów bez sygnału oraz niezerowego napięcia stałego na wejściu dyskryminatora.

Aby opisać wykres (rys. 5.10) należy zmodyfikować formułę Rice (5.1) o napięcie V_{DC} :

$$f_n = f_0 \exp\left(-\frac{(V_{TH} - V_{DC})^2}{2\sigma_n^2}\right) \quad (5.2)$$

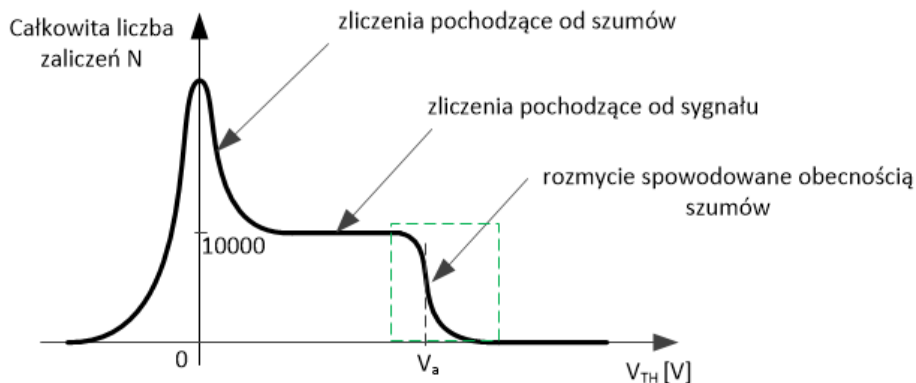
Tor pomiarowy z uwzględnieniem sygnału i szumu

Załóżmy, że na wyjściu układu kształtującego pojawiają się impulsy o jednakowej amplitudzie z częstotliwością 10 kHz (rys. 5.11). W układzie uwzględniono obecność szumu.



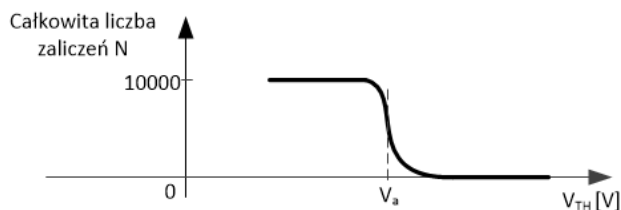
Rys. 5.11. Impulsy wyjściowe układu kształtującego zawierające szum (rysunek poglądowy).

Po wykonaniu procedury skanowania progiem dyskryminacji ($t_{spd} = 1s$), otrzymujemy widmo całkowite przedstawione na rysunku 5.12.



Rys. 5.12. Widmo całkowite dla toru pomiarowego z uwzględnieniem sygnału i szumu.

W celu wyznaczenia wartości szumów rms na wejściu dyskryminatora (σ_n) należy na wstępie odciąć z widma całkowego obszar, w którym zliczenia pochodzą od szumów, w wyniku czego uzyskamy tak zwaną *krzywą S* (rys. 5.13).



Rys. 5.13. Krzywa S.

Następnie wyznaczenie σ_n możemy przeprowadzić dwiema metodami. Pierwsza polega na dopasowaniu do *krzywej S* funkcji błędu, danej wzorem [22]:

$$N(V_{TH}) = \frac{a}{2} \left(1 - \operatorname{erf} \left(\frac{V_{TH} - V_a}{\sqrt{2}\sigma_n} \right) \right) \quad (5.3)$$

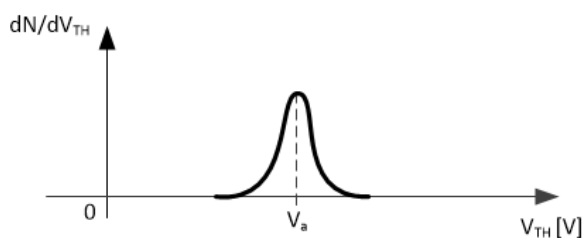
gdzie:

a – to średnia liczba impulsów wejściowych o danej amplitudzie,

V_a – to amplituda sygnału,

W przypadku rejestracji sygnałów pochodzących z detektora, generowanych przez promieniowanie X, we wzorze (5.3) należy uwzględnić dodatkowy czynnik, pochodzący od efektu podziału ładunku [63, 64, 65].

W drugiej metodzie, po zróżniczkowaniu *krzywej S*, otrzymamy rozkład o charakterze gaussowskim (rys. 5.14), w którym funkcja osiąga maksimum dla progu dyskryminacji V_a .



Rys. 5.14. Widmo różniczkowe.

Do otrzymanego rozkładu możemy dopasować funkcję Gaussa daną wzorem [66]:

$$\frac{dN}{dV_{TH}}(V_{TH}) = A \cdot e^{-\frac{(V_{TH} - V_a)^2}{2\sigma_n^2}} \quad (5.4)$$

gdzie A jest stałą odpowiadającą powierzchni pod krzywą.

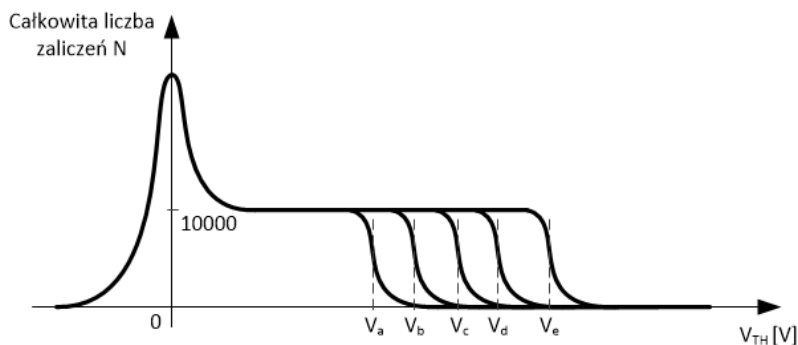
W obydwu przypadkach oszacowane wartości szumów będą szumami na wyjściu układu kształtującego. Aby obliczyć ekwiwalentny ładunek szumowy toru pomiarowego, należy wyznaczyć wzmocnienie k_v , a następnie podzielić otrzymane wyniki zgodnie ze wzorem [22]:

$$ENC = \frac{\sigma_n}{k_v} \quad (5.5)$$

Ponieważ wzmocnienie układu pomiarowego wyrażane jest w woltach na elektron $[V/e^-]$, to ekwiwalentny ładunek szumów w omawianym układzie wyraża się najczęściej w elektronach rms $[e^- \text{ rms}]$.

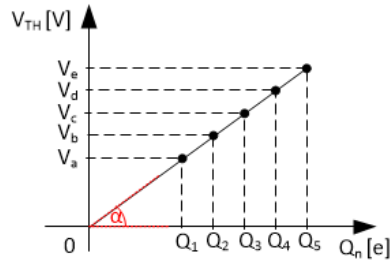
Wzmocnienie

Załóżmy że na wejście toru analogowego podajemy impulsy prądowe o przykładowej częstotliwości 10 kHz (w którym każdy z impulsów niesie ładunek Q_n) i wykonujemy procedurę skanowania progiem dyskryminacji ($t_{spd} = 1s$). Następnie procedurę powtarzamy kilkakrotnie, zmieniając w kolejnych seriach amplitudę impulsu prądowego (co w praktyce oznacza zmianę wielkości ładunku Q_n , niesionego przez pojedyncze impulsy prądowe). Po wykonaniu kilku serii pomiarów, dla różnych wartości ładunku wejściowego, otrzymujemy rodzinę krzywych przedstawionych na rys. 5.15. Możemy zauważyć pewną zależność, że kolejnym wartościom ładunku wejściowego odpowiadają różne wartości progu dyskryminacji, przy którym układ przestaje zliczać impulsy wejściowe (odpowiedni punkt wyznaczony poprzez dopasowanie do wzoru (5.3) lub (5.4)).



Rys. 5.15. Widma całkowite toru analogowego, dla różnych amplitud impulsu prądowego.

Po wykreśleniu zależności wartości $V_{TH} = f(Q_n)$, otrzymujemy charakterystykę, pokazaną na rysunku 5.16.

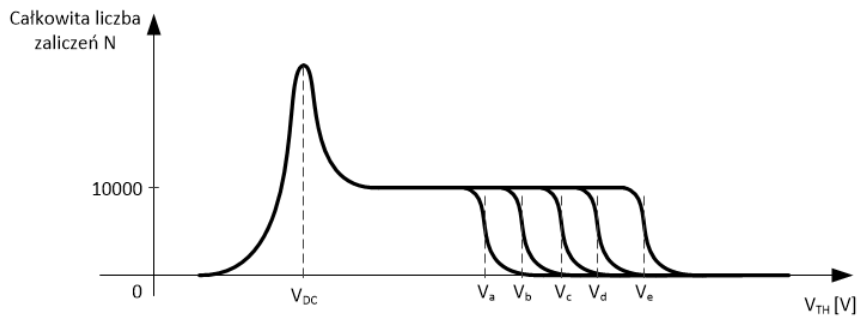


Rys. 5.16. Zależność progu dyskryminacji w funkcji wielkości ładunku podawanego na wejście toru analogowego.

Dopasowując zależność $V_{TH} = f(Q_n)$ do funkcji liniowej, można wyznaczyć wzmocnienie układu (tangens kąta α nachylenia prostej odpowiada wartości wzmocnienia) [22]:

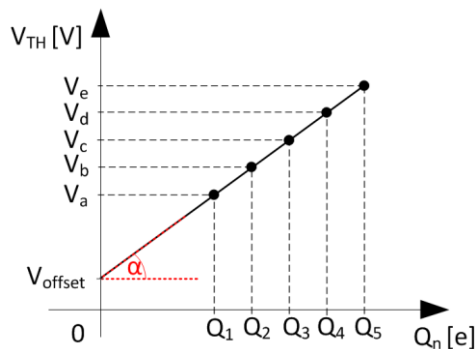
$$k_v = \frac{\Delta V_{TH}}{\Delta Q_n} \left[\frac{V}{e} \right] \quad (5.6)$$

Jeżeli poziom stały na wejściu dyskryminatora wynosi 0 V, to prosta przechodzi przez punkt (0,0). W przypadku gdy napięcie stałe na wejściu dyskryminatora jest różne od zera i wynosi V_{DC} , wtedy wyniki pomiarów będą wyglądały następująco (rys. 5.17):



Rys. 5.17. Widma całkowite dla toru analogowego, dla różnych amplitud impulsu prądowego oraz niezerowego napięcia stałego na wejściu dyskryminatora.

Po wykreśleniu zależności $V_{TH} = f(Q_n)$, otrzymamy (rys. 5.18):

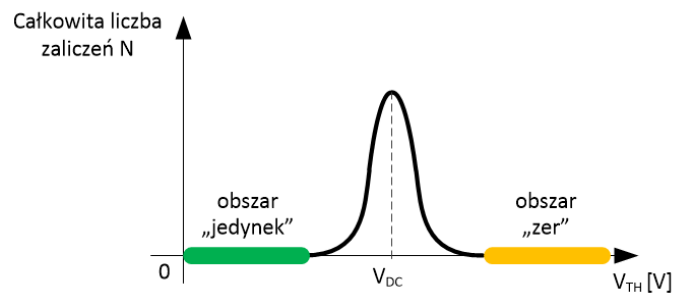


Rys. 5.18. Zależność progu dyskryminacji w funkcji wartości ładunku podawanego na wejście toru analogowego (dla niezerowego napięcia stałego na wejściu dyskryminatora).

5.1.4 Zliczanie impulsów pochodzących od szumów

Celem tego testu jest określenie liczby pikseli w całej matrycy układu scalonego UFXC, które nie posiadają zdolności zliczania impulsów pojawiających się na wejściu dyskryminatorów.

Po wykonaniu procedury skanowania progiem dyskryminacji (bez podawania impulsów kalibracyjnych), otrzymamy widmo całkowite, w którym możemy wyróżnić dwa obszary (rys. 5.19).

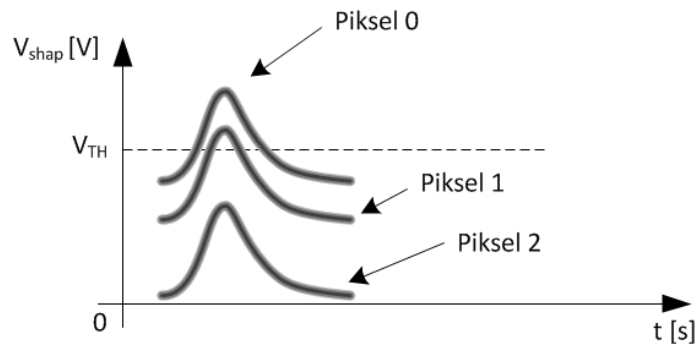


Rys. 5.19. Widmo całkowite z zaznaczonymi interesującymi obszarami.

Obszar „jedynek” odzwierciedla obszar poniżej poziomu szumów. W obszarze tym, każdy piksel powinien zliczyć wartość równą jeden, natomiast w obszarze „zer”, w którym to próg dyskryminacji znajduje się powyżej poziomu szumów, każdy piksel nie powinien zarejestrować żadnego impulsu. Piksele, w których nie wystąpią wyżej opisane zależności, możemy uznać za takie, które nie mają zdolności zliczania.

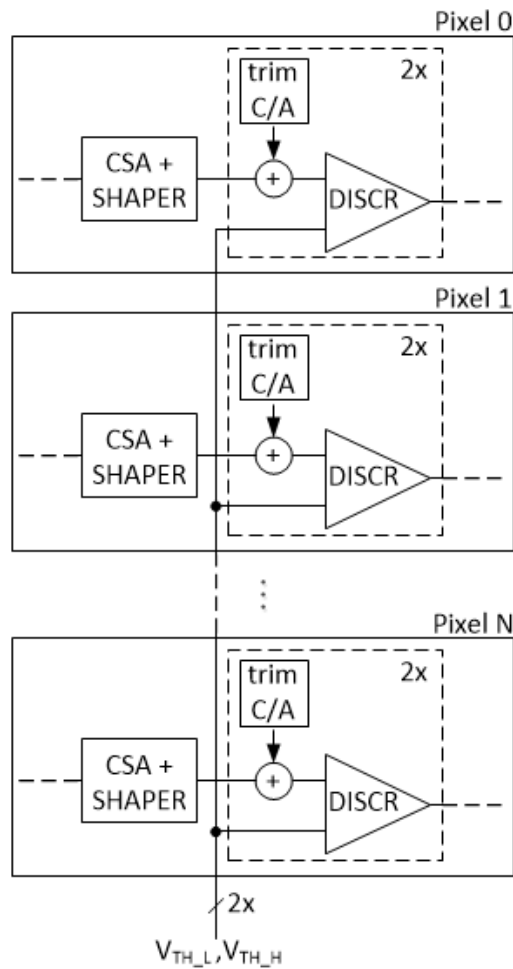
5.1.5 Korekcja rozrzutów

W układach pracujących w trybie zliczania pojedynczych fotonów, próg dyskryminacji (lub kilka progów dyskryminacji) jest ustalany i regulowany globalnie (wspólnie) dla wszystkich pikseli, w zależności od energii promieniowania X i wymagań aplikacji. W celu zapewnienia poprawnej rejestracji fotonów wpadających do detektora, jednym z podstawowych założeń podczas projektowania wielokanałowych układów pikselowych jest zadbanie o jednorodność poziomów stałych na wejściu dyskryminatorów, w całej matrycy pikseli. Ze względu na rozrzuty technologiczne, poziomy te mogą znacząco różnić się od siebie. Różnice te mogą być porównywalne z amplitudą impulsów, w skutek czego ustawienie wspólnego progu dyskryminacji, dla całej matrycy pikseli może okazać się niemożliwe (rys. 5.20).



Rys. 5.20. Trzy przykładowe piksele różniące się poziomem stałym na wejściu dyskryminatora (rysunek poglądowy).

Aby temu zapobiec, w układzie scalonym UFXC zastosowano w każdym pikselu po dwa 7-bitowe korekcyjne przetworniki cyfrowo-analogowe (po jednym na każdy dyskryminator). Zadaniem przetworników korekcyjnych jest ustawienie takiego samego poziomu stałego na wejściu wszystkich dyskryminatorów, w całej matrycy pikseli (rys. 5.21).



Rys. 5.21. Idea korekcji poziomów stałych na wejściu dyskryminatorów w matrycy pikseli.

Procedura korekcji rozrzutów

Procedurę korekcji można przeprowadzić na dwa sposoby (bez stosowania impulsów testowych) wykorzystując fakt, że ustalenie progu dyskryminacji, któremu odpowiada maksymalna liczba zliczeń pochodzących od szumów jest równa napięciu V_{DC} (rys. 5.10) na wejściu dyskryminatora (patrz formuła (5.2)).

Sposób I

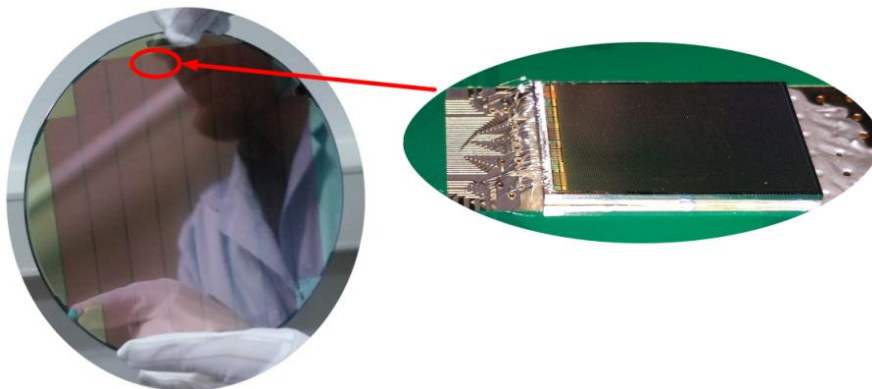
Dla każdego piksela należy wyznaczyć wartość napięcia na wejściu dyskryminatora, w zależności od wartości załadowanej do korekcyjnych przetworników cyfrowo-analogowych. Następnie na tej podstawie, do każdego z korekcyjnych przetworników cyfrowo-analogowych należy załadować taką wartość, aby w całej matrycy pikseli rozrzut napięć na wejściu dyskryminatorów był jak najmniejszy.

Sposób II

Należy ustawić próg dyskryminacji na stałą wartość, do której chcemy wyrównać wszystkie poziomy stałe na wejściu dyskryminatorów. Następnie, należy zmieniać kolejno wartości ładowane do przetworników korekcyjnych. Ta wartość wejściowa korekcyjnego przetwornika cyfrowo-analogowego w danym pikselu, dla danego dyskryminatora, przy której uzyskuje się maksymalną liczbę zliczeń, jest wartością poszukiwaną (oczywiście w różnych pikselach, dla każdego z dyskryminatorów wartości te mogą być różne).

5.2 Testy układów scalonych na płytkach krzemowych

Układy scalone UFXC produkowane są na płytkach krzemowych o wymiarach 8 cali. Pojedyncza płytka krzemowa zawiera 120 prototypowych układów scalonych UFXC (o wymiarach $10\text{ mm} \times 15\text{ mm}$). Widok płytki krzemowej zawierającej układy scalone znajduje się na rysunku 5.22.



Rys. 5.22. Po lewej widok płytki krzemowej, zawierającej układy scalone UFXC, po prawej widok pojedynczego układu scalonego UFXC, podłączonego do modułu testowego.

Ze względu na ograniczony uzysk produkcyjny (liczba układów dobrych, w stosunku do wszystkich wyprodukowanych układów), każdy układ scalony musi zostać przetestowany przed podłączeniem do detektora na płytkach krzemowych. Głównym celem pomiarów jest wybranie układów działających poprawnie (patrz podrozdział 5.2.1). Z otrzymanych wyników pomiarowych możemy również sklasyfikować układy scalone, na przykład pod względem liczby nieaktywnych pikseli.

Wspomniane testy wykonuje się używając stacji pomiarowej (*ang. probe-station*) wyposażonej w mikroskop i precyzyjny przesuw oraz przystosowanej do stosowania technik ostrzowych.

5.2.1 Procedura testowa

Dla każdego układu scalonego UFXC w pierwszej kolejności przeprowadzono testy poboru mocy (podrozdział 5.1.1). Następnie przeprowadzono testy bloków cyfrowych, tj. test głównego rejestru przesuwnego oraz test liczników (podrozdział 5.1.2). Negatywny wyniki któregokolwiek z powyższych testów kwalifikował układ jako niesprawny i wykluczał z dalszych testów.

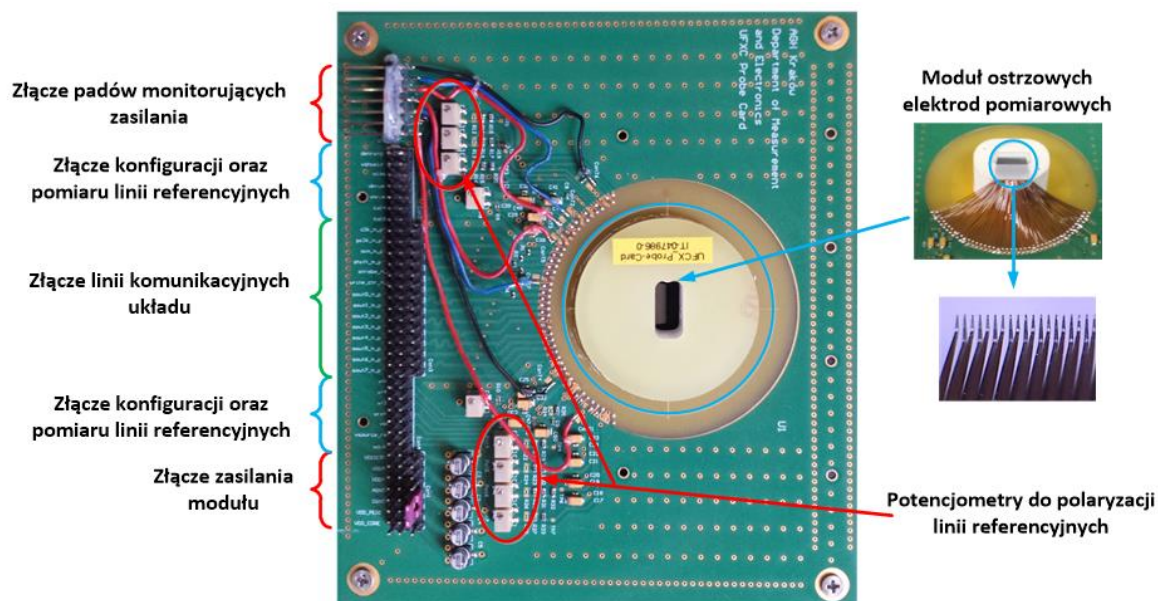
Pozostałe układy scalone poddano pomiarom, których celem było wyznaczenie liczby pikseli, które nie posiadały zdolności poprawnego zliczania impulsów (podrozdział 5.1.4).

5.2.2 Projekt karty pomiarowej (*ang. probe-card*)

Układ scalony UFXC posiada 87 padów, przeznaczonych do połączeń metodą ultratermokompresji (*ang. wire-bonding*). Taka metoda połączenia jest niedopuszczalna przy testowaniu układów scalonych na płytkach krzemowych. Zamiast niej, tymczasowe połączenia między układem scalonym a systemem testującym, realizuje się za pomocą zestawu elektrod ostrzowych, przykładanych do padów. Dlatego też, w celu przeprowadzenia procedury testowej układów scalonych, autor zaprojektował specjalistyczną kartę pomiarową (*ang. probe-card*) zawierającą:

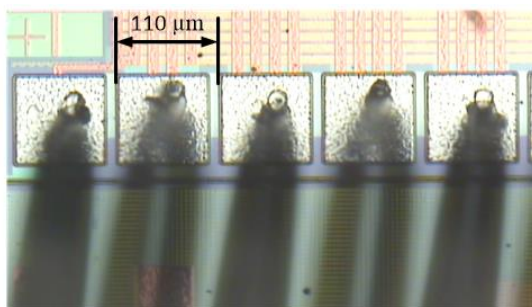
- moduł ostrzowych elektrod pomiarowych, do podłączenia układu scalonego z elektroniką kontrolno-pomiarową.
- złącze zasilania,
- złącze padów monitorujących zasilanie,
- złącze wejścia/wyjścia niskonapięciowego różnicowego standardu LVDS do przesyłania danych do oraz z układu scalonego,
- złącze konfiguracyjne oraz pomiarowe linii referencyjnych układu scalonego,
- potencjometri do polaryzacji linii referencyjnych układu scalonego.

Widok modułu karty pomiarowej znajduje się na rysunku 5.23.



Rys. 5.23. Widok karty pomiarowej (*ang. probe-card*).

Głównym elementem karty jest 87 ostrzowych elektrod pomiarowych, rozmieszczonych w linii prostej o rozstawie co $110\ \mu\text{m}$ (dostosowane do rozstawu pól kontaktowych na układzie scalonym UFXC). Każda pojedyncza elektroda zapewnia maksymalny przepływ prądu do $700\ \text{mA}$ oraz poprawne działanie przy częstotliwości sygnałów do $1,6\ \text{GHz}$. Zadaniem elektrod pomiarowych jest wykonanie połączenia pomiędzy układem scalonym a nadrzędnym systemem kontrolno-pomiarowym. Każda elektroda powinna dotykać pola kontaktowego układu scalonego z precyzją submikrometrową, umożliwiając poprawne zarówno zasilanie, jak i przesyłanie danych. Prawidłowo wykonana procedura docisku elektrod pomiarowych do pól kontaktowych układu scalonego powinna nie dopuścić do uszkodzenia tych pól oraz pozostawić zaledwie znikomy ślad ingerencji fizycznej w strukturę pola kontaktowego, w celu umożliwienia przyszłego połączenia układu scalonego metodą ultratermokompresji. Widok elektrod pomiarowych, dociśniętych do pól kontaktowych układu scalonego przedstawia rysunek 5.24.



Rys. 5.24. Widok połączenia układu scalonego UFXC z elektroniką kontrolno-pomiarową wykonane za pomocą ostrzowych elektrod pomiarowych.

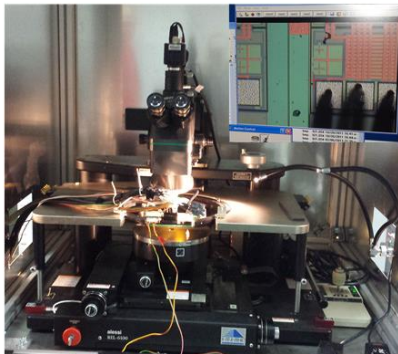
5.2.3 Stanowisko pomiarowe

Do wykonania procedury testowej układu scalonego UFXC na płytkach krzemowych autor zbudował stanowisko pomiarowe, w skład którego wchodzi:

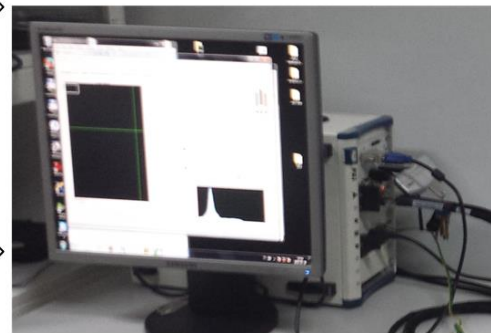
- specjalizowana półautomatyczna stacja pomiarowa firmy Cascade RLE 6100, zadaniem której jest automatyczne umieszczanie ostrzowych elektrod pomiarowych na padach poszczególnych układów scalonych UFXC z precyzją pozwalającą na poprawne wykonanie procedury testowej,
- zaprojektowana przez autora karta pomiarowa (podrozdział 5.2.2), do połączenia układu scalonego z nadrzędnym systemem kontrolno-pomiarowym,
- nadrzędny system kontrolno-pomiarowy PXI firmy National Instruments, wyposażony w cyfrową kartę pomiarową (NI PXI 6562) mogącą obsłużyć niskonapięciowy różnicowy standard przesyłania danych LVDS oraz w kartę z siedmioma niezależnymi, sterowanymi cyfrowo zasilaczami (NI PXI-4110).

Schemat blokowy stanowiska pomiarowego znajduje się na rysunku 5.25.

Półautomatyczna stacja pomiarowa z zamontowaną kartą pomiarową oraz płytką krzemową z układami scalonymi UFXC.

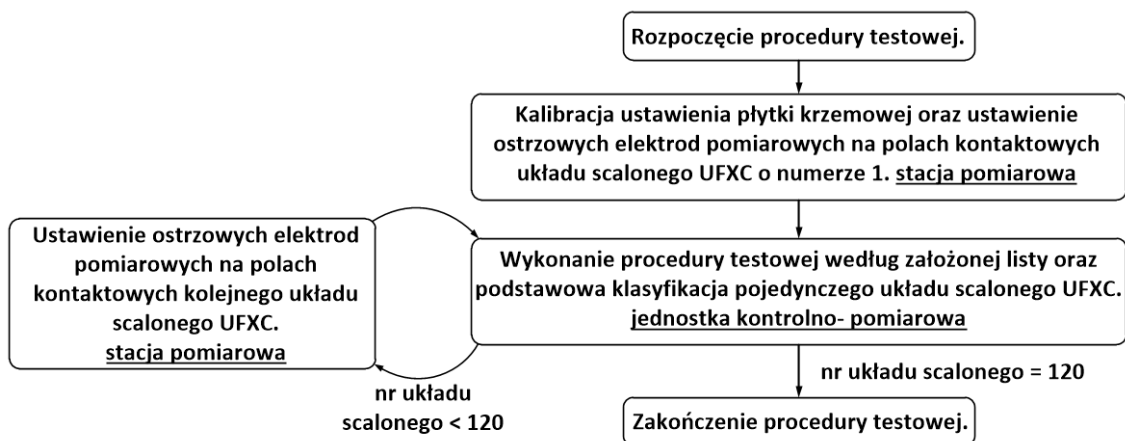


Jednostka kontrolno- pomiarowa PXI zawierająca kartę z komunikacją w standardzie LVDS oraz 7 niezależnych, sterowanych cyfrowo zasilaczy.



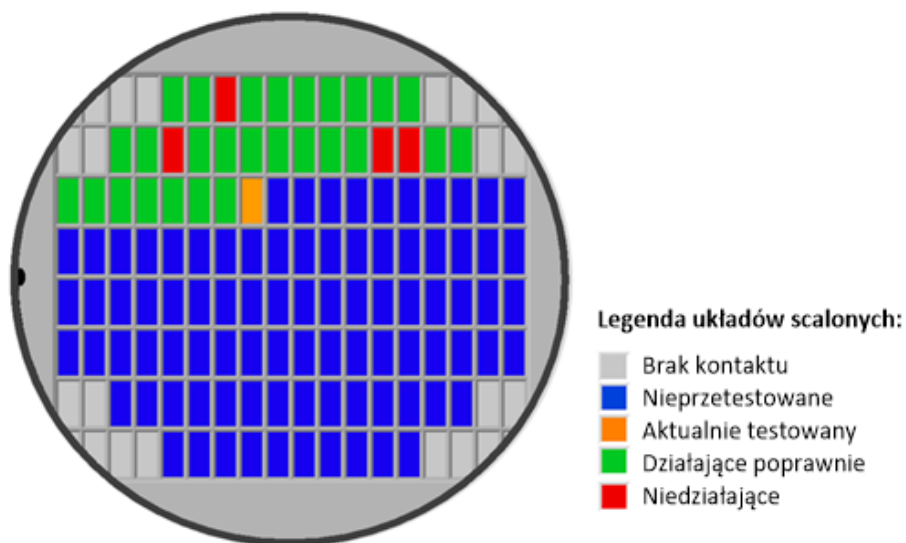
Rys. 5.25. Schemat blokowy stanowiska pomiarowego.

Centralny układ sterowania procesem testów stanowiła aplikacja kontrolno-pomiarowa z listą testów znajdująca się w jednostce PXI. Przeprowadzała ona automatycznie procedurę testową danego układu scalonego UFXC (opisaną w podrozdziale 5.2.1), wykonując podstawową klasyfikację układu scalonego, a następnie wysyłając polecenie (do stacji pomiarowej) przemieszczenia elektrod ostrzowych karty pomiarowej na kolejny układ scalony. Taka procedura testowa trwała do momentu przetestowania ostatniego układu scalonego UFXC na płycie krzemowej. Schemat blokowy przedstawiający zasadę przeprowadzenia procedury testowej całej płytki krzemowej znajduje się na rysunku 5.26.



Rys. 5.26. Schemat blokowy przeprowadzenia procedury testowej płytki krzemowej z układami scalonymi UFXC.

W trakcie prowadzonych pomiarów prezentowana jest mapa płytki krzemowej z aktualnym stanem testów oraz podstawową klasyfikacją przetestowanych układów. Przykładowa mapa płytki krzemowej ze sklasyfikowanymi układami na: nieprzetestowane, aktualnie testowane, niedziałające oraz poprawnie działające przedstawiona jest na rysunku 5.27.

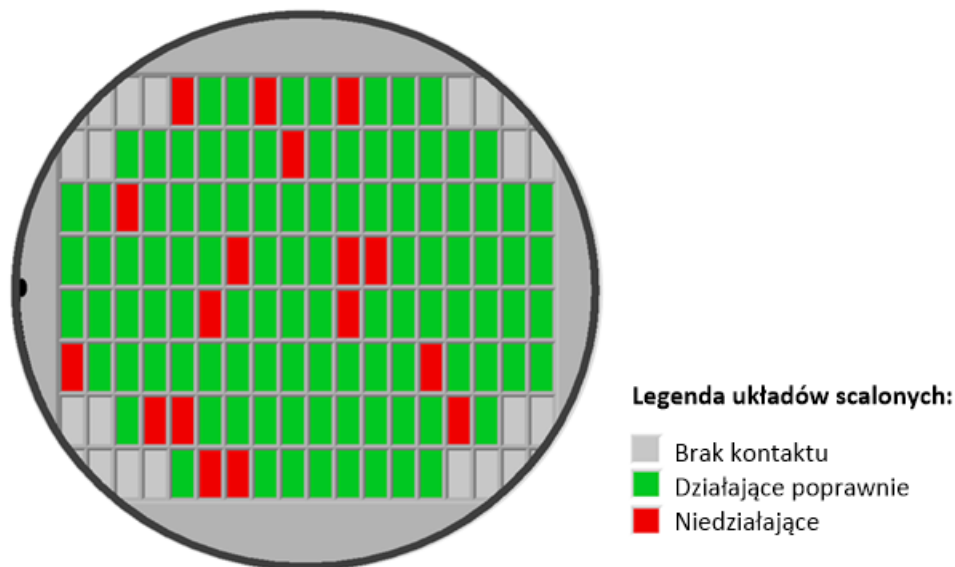


Rys. 5.27. Widok przykładowej mapy płytki krzemowej ze sklasyfikowanymi układami scalonymi UFXC.

5.2.4 Wyniki testów układów scalonych na płytkach krzemowych.

Zlokalizowanie układów niedziałających

Wynik klasyfikacji polegający na odrzuceniu układów, które nie przeszły testów bloków cyfrowych został przedstawiony na rysunku 5.28.



Rys. 5.28. Widok mapy płytki krzemowej, będącej wynikiem klasyfikacji.

Układy odrzucone już na etapie testów części cyfrowej posiadają wady, których wynikiem jest brak poprawnej komunikacji cyfrowej z pikselami matrycy. W przykładzie pokazanym na rysunku 5.28, 17 układów scalonych jest niedziałających, co w odniesieniu do całkowitej liczby układów na płytce krzemowej daje 14% układów scalonych, które nie przeszły testów cyfrowych.

Statystyka wadliwych pikseli

Dla układów scalonych UFXC, które z wynikiem pozytywnym przeszły testy części cyfrowej (103 układów scalonych) przeprowadzono test zliczania impulsów pochodzących od szumów (podrozdział 5.1.4). Wyniki zostały zaprezentowane w tabeli 5.1. Pojedynczy układ scalony UFXC posiada 32768 pikseli.

Tabela 5.1 Liczba pikseli (w matrycy układu scalonego) nie mająca zdolności zliczania.

Lp.	Liczba pikseli niezliczających:	Wartość procentowa pikseli niezliczających	Liczba układów scalonych
1	0	0	17
2	< 5	< 0,015	6
3	< 5, 17 >	< 0,015, 0,052 >	17
4	< 18, 16384 >	< 0,052, 50 >	0
5	> 16384	> 50	3

Do dalszych testów i ewentualnego łączenia z detektorem zostały wybrane tylko te układy, w których liczba wadliwych pikseli nie przekroczyła 17 pikseli.

5.3 Pomiary wybranych układów scalonych UFXC na płytkach PCB

Oprócz testów na płytkach krzemowych, przeprowadzono też bardziej rozbudowane testy układów scalonych UFXC, zamontowanych na płytkach PCB. Testom poddano zarówno układy prototypowe bez TSV, jak i z TSV. Celem pomiarów było sprawdzenie jaki wpływ na wybrane parametry pracy układu scalonego (np. pobór prądu na liniach zasilających) mają zastosowane połączenia TSV (podrozdział 4.3). Chodzi tu przede wszystkim o wpływ mechanicznej ingerencji w układ scalony oraz wpływ samego procesu technologicznego TSV, który wykonany jest już na płytkach krzemowych zawierających gotowe układy scalone. Do testów wybrano egzemplarze układów scalonych UFXC, które przeszły pomyślnie testy na płytkach krzemowych.

W tym celu zostało zaprojektowane oraz zbudowane stanowisko pomiarowe umożliwiające przetestowanie zarówno parametrów cyfrowych, jak i analogowych układu.

5.3.1 Lista pomiarów

Lista oraz kolejność wykonanych pomiarów przedstawia się następująco:

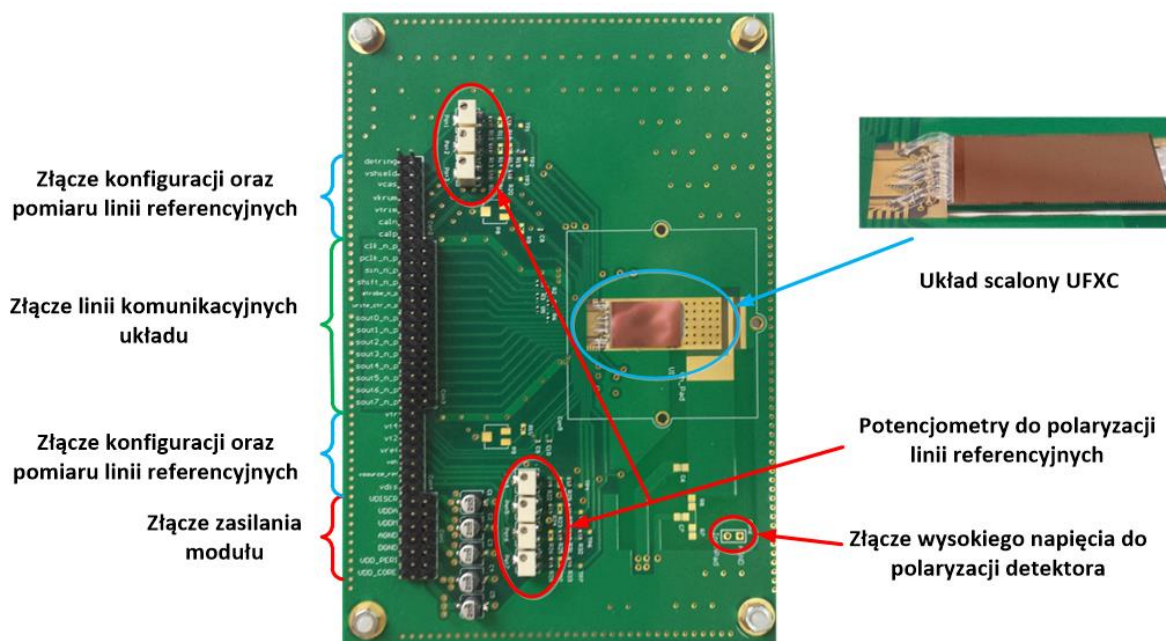
1. Pomiary poboru mocy,
2. Pomiary prądów na liniach referencyjnych,
3. Pomiary zakresu regulacji progów dyskryminacji,
4. Testy cyfrowe (podrozdział 5.1.2), tj. test głównego rejestru przesuwnego oraz test liczników,
5. Testy analogowe:
 - a. Pomiar rozrzutu poziomu stałego na wejściu dyskryminatorów w poszczególnych pikselach przed i po korekcji rozrzutów (podrozdział 5.1.5),
 - b. Pomiar szumów i wzmocnień w każdym pikselu (podrozdział 5.1.3).

5.3.2 Moduł oraz stanowisko pomiarowe

Aby w pełni przetestować oraz porównać wykonane układy scalone, należało zaprojektować moduł testowy spełniający wymagania układu scalonego UFXC oraz umożliwiający przeprowadzenie wszystkich założonych testów. W tym celu, autor zaprojektował oraz wykonał moduł testowy zawierający:

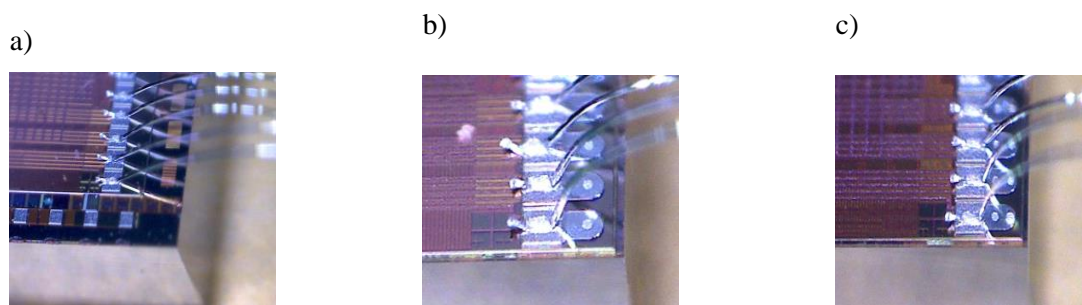
- badany układ scalony UFXC,
- złącza komunikacyjne wejściowe/wyjściowe, przystosowane do standardu LVDS oraz kompatybilne z zastosowanym systemem pomiarowym,
- złącza do pomiaru parametrów, takich jak prąd oraz napięcie,
- potencjometry do polaryzacji linii referencyjnych układu scalonego UFXC,
- złącze zasilania modułu,
- złącze wysokiego napięcia do polaryzacji detektora (dla przyszłych zastosowań).

Dla celów porównawczych, każdy z trzech rodzajów układów scalonych UFXC przygotowany został w dwóch identycznych modułach pomiarowych, widocznych na rysunku 5.29.



Rys. 5.29. Widok modułu testowego układu scalonego UFXC.

Moduł testowy zasilany jest pięcioma niezależnymi, odseparowanymi napięciami, przystosowanymi do zasilania układu UFXC oraz jednym złączem do podłączenia wysokiego napięcia, potrzebnego do polaryzacji detektora (dla przyszłych zastosowań). Wszystkie linie, zarówno referencyjne, jak i sygnałowe zostały zaprojektowane zgodnie z zaleceniami specyfikacji układu scalonego UFXC (dotyczy na przykład poboru mocy) [56]. Układy scalone zostały podłączone do modułów metodą ultratermokompresji. Zdjęcia połączeń, dla trzech testowanych układów scalonych UFXC przedstawione są na rysunku 5.30.



Rys. 5.30. Zdjęcia pól kontaktowych układu scalonego UFXC: a) bez TSV, b) z wykonanym pojedynczym TSV/pad, c) z wykonanym podwójnym TSV/pad.

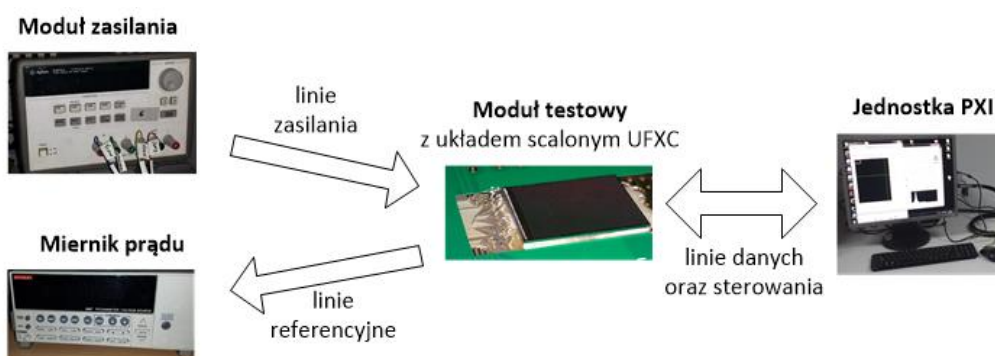
Lista testowanych modułów została zestawiona w tabeli 5.2.

Tabela 5.2 Lista modułów testowych.

Lp.	Nazwa modułu	Liczba TSV
1	M1_T0	brak TSV
2	M2_T0	
3	M3_T1	1 TSV/pad
6	M4_T1	
7	M5_T2	2 TSV/pad
8	M6_T2	

W kolejnym kroku przygotowane moduły testowe należało poddać założonym procedurom testowym. W tym celu, autor zbudował stanowisko pomiarowe, zawierające (rys. 5.31):

- *moduł zasilania*, składający się z pięciu niezależnych napięć zasilania, spełniających założenia projektowe układu scalonego UFXC (3 zasilacze Agilent E3631A),
- *miernik prądu* KEITHLEY 6487, do pomiaru prądu na liniach referencyjnych,
- *jednostkę PXI* (National Instruments) z aplikacją kontrolno-pomiarową, wyposażoną w kartę NI PXI 6562, do konfiguracji układu scalonego oraz przesyłania danych z układu scalonego,
- *moduł testowy*, zawierający testowany prototypowy układ scalony UFXC.



Rys. 5.31. Schemat blokowy stanowiska pomiarowego do testów układu scalonego UFXC.

5.3.3 Wyniki testów

Procedura testowa została przeprowadzona przez autora zgodnie z listą testów opisaną w podrozdziale 5.3.1. Pierwszym etapem było sprawdzenie poboru prądu linii zasilających oraz porównanie je z wynikami symulacyjnymi w celu określenia możliwości dopuszczenia do dalszych testów. Kolejne etapy polegały na przetestowaniu części cyfrowej, a następnie części analogowej każdego piksela w układzie scalonym UFXC.

Pobór prądu linii zasilających

Zestawienie wyników pomiaru prądu linii zasilania dla poszczególnych modułów znajduje się w tabeli 5.3.

Tabela 5.3 Zestawienie wyników pomiaru prądu linii zasilania.

Linia zasilania	Napięcie [V]	Zmierzony prąd dla poszczególnych modułów [mA]					
		M1_T0	M2_T0	M3_T1	M4_T1	M5_T2	M6_T2
vddm	0,8	100	100	90	90	80	100
vdda	1,2	280	270	300	80	250	260
vdiscr	1,2	170	150	170	170	150	140
vdd_core_12	1,2	3	5	3	4	5	4
vdd_peri_25	2,5	70	72	68	68	1	68

Otrzymane wyniki mieszczą się w granicach symulacyjnych zakresów poboru prądu układu scalonego UFXC, co umożliwiło dopuszczenie do dalszych testów każdego z modułów. Maksymalna różnica poboru prądu na poszczególnych liniach stanowi wynik tolerancji elementów modułu testowego, jak również rozrzutu procesu technologicznego produkcji układów scalonych.

Pobór prądu linii referencyjnych

Pobór prądu linii referencyjnych dla poszczególnych modułów znajduje się w tabeli 5.4.

Tabela 5.4 Zestawienie wyników pomiaru prądu linii referencyjnych.

Linia referencyjna	Zmierzony prąd na liniach referencyjnych dla poszczególnych modułów [mA]					
	M1_T0	M2_T0	M3_T1	M4_T1	M5_T2	M6_T2
CAS	4,59	4,53	4,39	4,59	4,79	3,0
REF	5,81	7,25	6,19	4,98	4,82	3,06
SH	2,63	2,08	2,78	3,31	3,25	1,66
TRIM	1,11	1,03	0,70	0,74	0,713	0,854
DIS	2,88	2,14	2,65	2,65	2,58	1,67

Ustawione prądy referencyjne zależą od dwóch czynników: struktury znajdującej się na układzie scalonym UFXC i rezystorów (potencjometrów) umieszczonych na płytce PCB. Ponieważ ustawienie rezystorów na wszystkich płytkach PCB było takie samo, za pojawiający się rozrzut prądów odpowiadają rozrzuty technologiczne w blokach referencyjnych na układzie scalonym UFXC. Jednak dzięki potencjometrom znajdującym się na płytce PCB, prądy te można wyrównać do zadanej wartości. Należy dodać, że nie widać znaczącej różnicy pomiędzy układami UFXC z TSV i bez TSV.

Zakres regulacji progów dyskryminacji

Jednym z wykonywanych testów był pomiar zakresu regulacji 9-bitowych przetworników cyfrowo-analogowych służących do ustalania progów dyskryminacji w matrycy pikseli. Pomiar napięć linii referencyjnych został wykonany dla skrajnych wartości wspomnianych przetworników. Zestawienie wyników zakresu regulacji progów dyskryminacji znajduje się w tabeli 5.5.

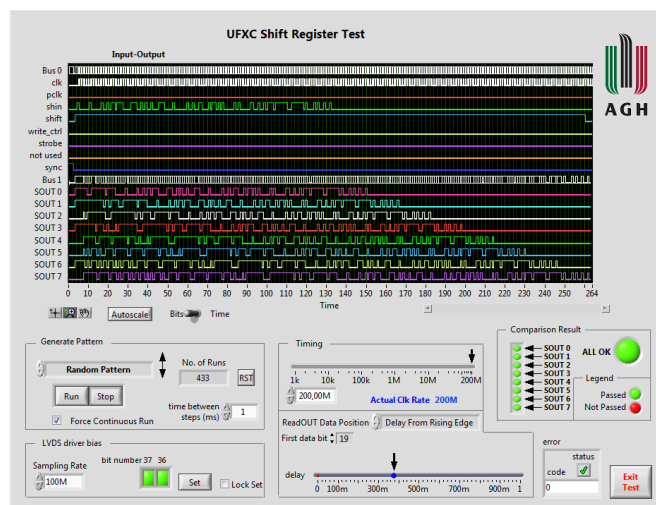
Tabela 5.5 Zestawienie wyników zakresu regulacji progów dyskryminacji.

Linia referencyjna	Pomiar napięcia na linii dla poszczególnych modułów [mV]											
	M1_T0		M2_T0		M3_T1		M4_T1		M5_T2		M6_T2	
	DAC = 0 LSB	DAC = 511 LSB	DAC = 0 LSB	DAC = 511 LSB	DAC = 0 LSB	DAC = 511 LSB	DAC = 0 LSB	DAC = 511 LSB	DAC = 0 LSB	DAC = 511 LSB	DAC = 0 LSB	DAC = 511 LSB
VTR	25,51	262,6	26,55	268,2	20,23	265,9	21,52	65,8	21,72	258,1	23,34	257,6
VT4	20,33	228,6	21,11	230	15,82	223,3	16,92	227,6	17,06	225	18,13	225,1
VT2	18,21	218,6	18,38	215,8	13,62	211	14,58	216,6	14,79	217,8	15,40	214,7

Zakres regulacji progów dyskryminacji jest zgodny z wynikami symulacji. Przetworniki cyfrowo-analogowe do ustalania progów dyskryminacji znajdują się w dolnej części układu scalonego, blisko struktury TSV. Wykonane połączenie technologią TSV nie ma wpływu na granice regulacji progów dyskryminacji, co stanowi kolejny pozytywnie zakończony test.

Test głównego rejestru przesuwającego

Widok okna programu testowego znajduje się na rysunku 5.32.

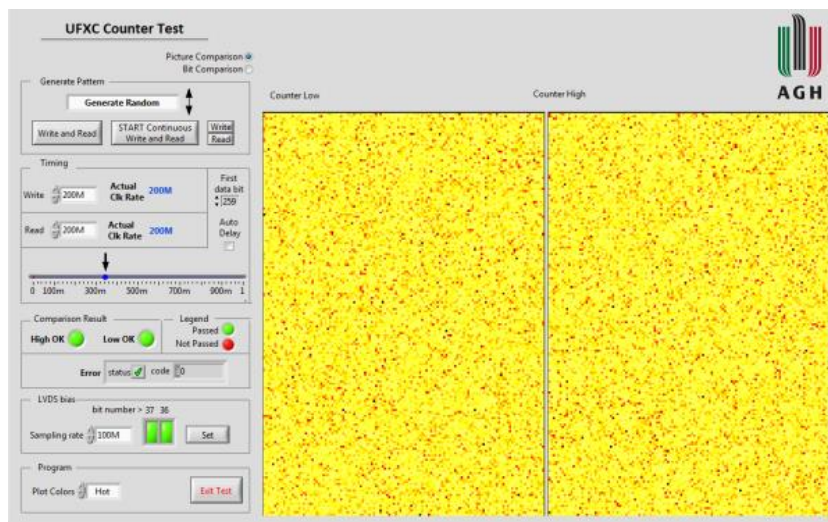


Rys. 5.32. Widok okna programu testowego głównego rejestru przesuwającego.

Testy głównego rejestru przesuwonego wykazały, że w każdym testowanym module, wszystkie linie, zarówno wejściowe jak i wyjściowe, działają poprawnie z maksymalną testową częstotliwością pracy 200 MHz. Świadczy to o braku uszkodzeń oraz wpływu połączeń wykonanych technologią TSV na bloki cyfrowe znajdujące się w dolnej części układu scalonego, blisko struktury TSV.

Test liczników

Widok okna programu testowego liczników znajduje się na rysunku 5.33.



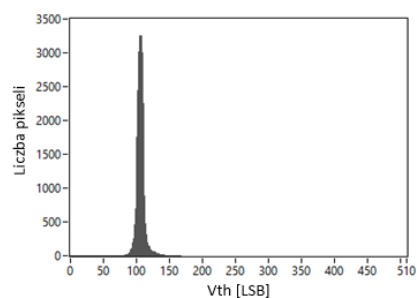
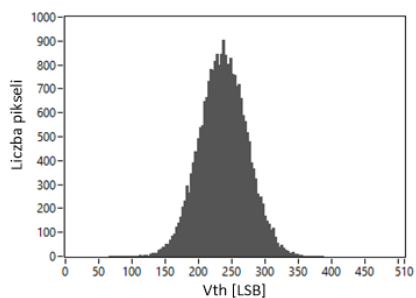
Rys. 5.33. Widok okna programu testowego liczników.

Przeprowadzony test liczników wykazał poprawną pracę części cyfrowej wszystkich pojedynczych pikseli we wszystkich testowanych modułach, co prowadzi do wniosku, że wykonane połączenia technologią TSV nie uszkodziły części cyfrowej układu scalonego UFXC oraz nie mają wpływu na jej działanie.

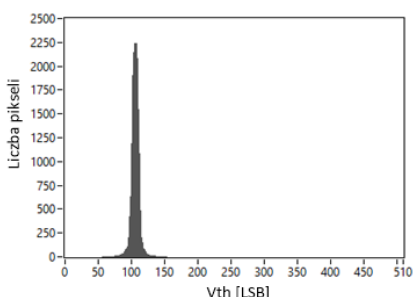
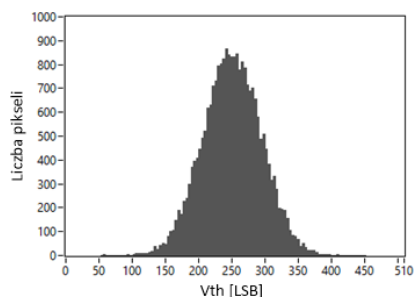
Pomiar rozrzutu poziomu stałego

Pomiar ten przeprowadzony został metodą opisaną w podrozdziale 5.1.5. Histogram rozrzutu poziomów stałych na wejściu dyskryminatorów przed oraz po korekcji dla trzech różnych typów modułów testowych, znajduje się na rysunkach: 5.34, 5.35 i 5.36.

a) Moduł M1_T0

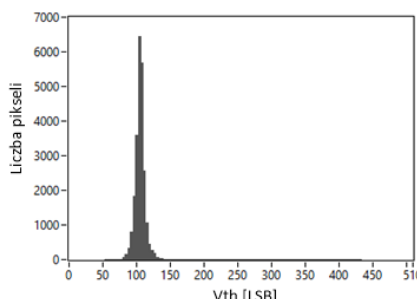
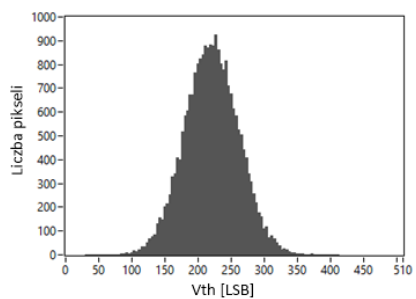


b) Moduł M2_T0

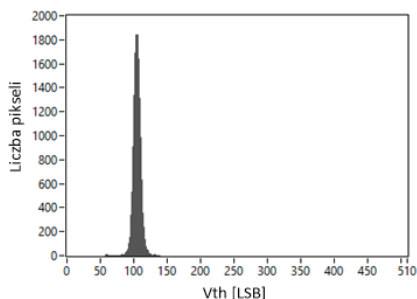
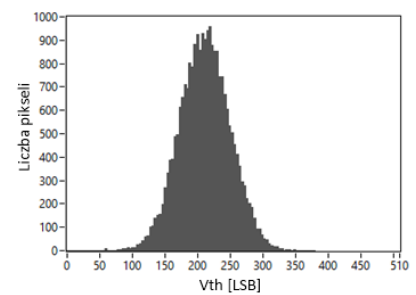


Rys. 5.34. Histogram rozrzutów poziomów stałych na wejściu dyskryminatorów dla modułów nie zawierających połączeń TSV. Po lewej stronie przed, a po prawej po wykonaniu procedury korekcji poziomów stałych.

a) Moduł M3_T1

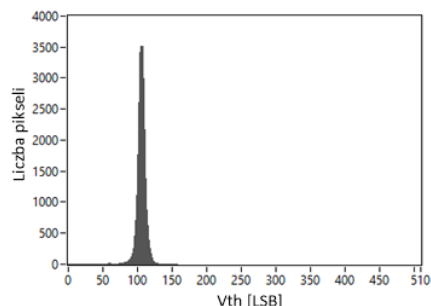
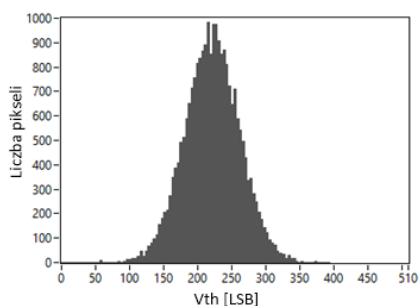


b) Moduł M4_T1

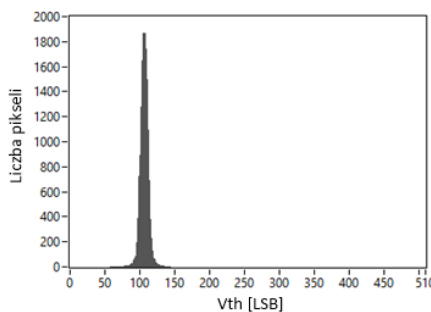
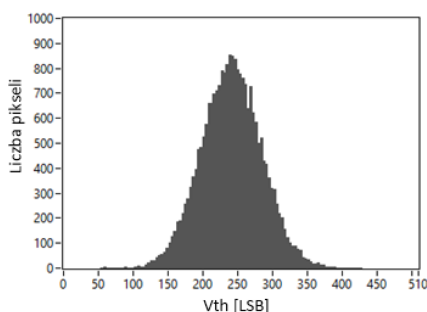


Rys. 5.35. Histogram rozrzutów poziomów stałych na wejściu dyskryminatorów dla modułów zawierających pojedyncze połączenie TSV/pad. Po lewej stronie przed, a po prawej po wykonaniu procedury korekcji poziomów stałych.

a) Moduł M5_T2



b) Moduł M6_T2



Rys. 5.36. Histogram rozrzutów poziomów stałych na wejściu dyskryminatorów dla modułów zawierających podwójne połączenie TSV/pad. Po lewej stronie przed, a po prawej po wykonaniu procedury korekcji poziomów stałych.

Zestawienie rozrzutu poziomów stałych na wejściu dyskryminatorów zarówno przed, jak i po wykonaniu procedury szybkiej korekcyjnej [67] przedstawiono w tabeli 5.6.

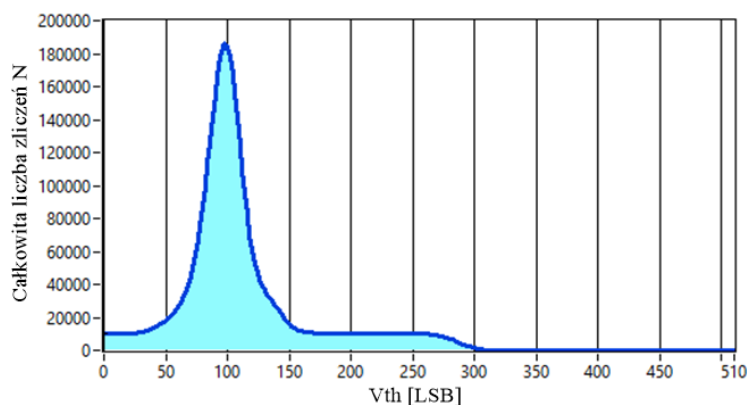
Tabela 5.6 Zestawienie rozrzutów poziomów stałych na wejściu dyskryminatorów przed oraz po wykonaniu procedury korekcyjnej.

Rozrzut poziomów stałych / moduł pomiarowy	M1_T0		M2_T0		M3_T1		M4_T1		M5_T2		M6_T2	
	Przed korekcją	Po korekcji	Przed korekcją	Po korekcji	Przed korekcją	Po korekcji	Przed korekcją	Po korekcji	Przed korekcją	Po korekcji	Przed korekcją	Po korekcji
σ [mV]	14,21	2,40	17,55	2,12	16,23	2,97	15,37	2,01	16,09	2,79	17,24	2,06

Wyniki przeprowadzonych testów wykazują brak ingerencji wykonanych TSV na możliwości korekcji poziomów stałych na wejściu dyskryminatorów, a uzyskane wyniki są obiecujące biorąc pod uwagę przyszłe testy z promieniowaniem X.

Pomiar parametrów analogowych

Procedura przeprowadzenia tego testu została opisana w podrozdziale 5.1.3. Podawane z częstotliwością 10 kHz impulsy testowe odpowiadały wstrzykiwaniu na wejście wzmacniacza ładunku o wartości $2200 e^-$. W wyniku skanowania progiem dyskryminacji (czas pomiaru pojedynczego kroku wynosił 1 sekundę) otrzymano widmo całkowite przedstawione na rysunku 5.37.



Rys. 5.37. Przykładowe widmo całkowite dla pojedynczego piksela układu scalonego UFXC.

Otrzymane wyniki pomiarowe zostały zestawione w tabeli 5.7.

Tabela 5.7 Zestawienie wyznaczonych wzmocnień (k_v) oraz ekwiwalentnego ładunku szumowego (ENC) dla poszczególnych badanych modułów.

Wyznaczony parametr/ moduł pomiarowy		M1_T0	M2_T0	M3_T1	M4_T1	M5_T2	M6_T2
K_v [mV/ e^-]	m_e	0,048	0,049	0,047	0 047	0,047	0,045
	σ	0,0056	0,0063	0,0061	0,0061	0,0035	0,0063
ENC [e^- rms]	m_e	112,26	114,14	121,07	117,98	127,14	115,89
	σ	12,88	14,17	13,87	13,19	12,59	14,98

m_e – wartość średnia, σ – odchylenie standardowe.

Otrzymane wyniki testów modułów pomiarowych potwierdzają brak wpływu połączeń TSV na analogowe parametry toru pomiarowego poszczególnych pikseli układu scalonego UFXC, dlatego też z całą pewnością w przyszłości rozwiązania z zastosowaniem TSV będą stosowane.

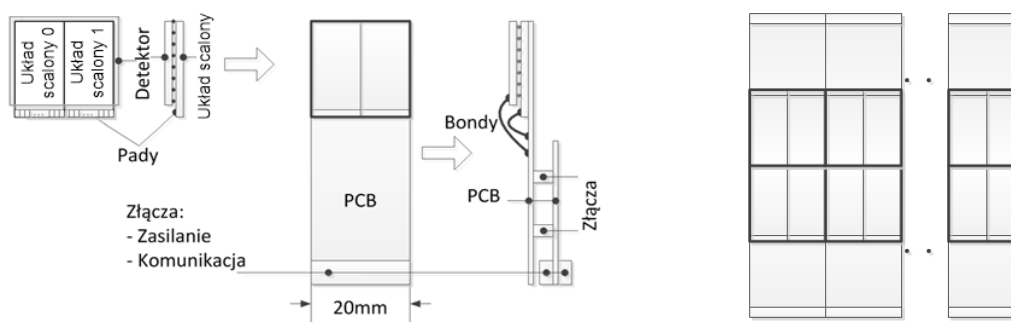
Należy podkreślić, że układ scalony UFXC ma możliwość regulacji wzmocnienia w każdym pikselu indywidualnie, co w przyszłości pozwoli zmniejszyć rozrzuty wzmocnień od piksela do piksela. Natomiast uzyskany pomiar szumów jest zadowalający i pozwoli w przyszłości na rejestrację fotonów promieniowania X o energii 8 keV (fotony te w detektorze krzemowym generują impulsy niosące ładunek $\sim 2200 e^-$).

6 Budowa kamery na bazie układu scalonego UFXC

Zdobyte przez autora doświadczenie przy budowie wielokanałowych systemów do pomiarów neurobiologicznych [68, 69] pozwoliło doprecyzować założenia projektowe, dobór komponentów oraz możliwych rozwiązań, a tym samym skrócić czas od rozpoczęcia projektu do testów prototypowego modułu kamery.

6.1 Wymagania i założenia

1. System pomiarowy powinien składać się z kamery promieniowania X oraz komputera PC wyposażonego w aplikację współpracującą z kamerą nazywaną dalej *aplikacją użytkownika*.
2. System pomiarowy powinien zapewniać możliwość konfiguracji kamery oraz rejestrację w pamięci komputera PC w sposób ciągły jak największej liczby obrazów z jak największą częstotliwością.
3. Transmisja obrazów do komputera PC będzie odbywać się za pomocą interfejsu Camera Link. Jest to komercyjny interfejs pozwalający w stosunkowo prosty sposób przesyłać dane z urządzenia zewnętrznego do komputera PC z prędkością 0,68 GB/s.
4. Kamera powinna zapewniać możliwość rejestracji obrazów w sposób automatyczny, lub w momencie wystąpienia zdarzenia zewnętrznego (zewnętrzny sygnał wyzwalający).
5. Kamera powinna rejestrować obrazy za pomocą dwóch układów scalonych UFXC, zamontowanych do jednego pikselowego detektora promieniowania X, nazywanego dalej *detektorem* (rys. 6.1).
6. Układy scalone UFXC wraz z detektorem powinny być umieszczone na obwodzie drukowanym o szerokości równej szerokości dwóch układów scalonych UFXC (2 cm). Umożliwi to łączenie modułów zawierających dwa układy scalone UFXC w większe moduły w sposób, który pozwoli na uzyskanie jednej ciągłej powierzchni rejestrującej promieniowanie. Układy scalone powinny przylegać do siebie z zapewnieniem minimalnego obszaru martwego (rys. 6.1).

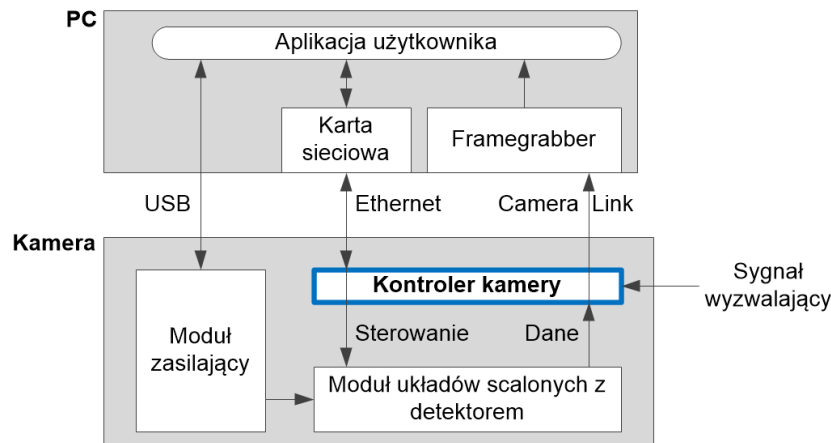


Rys. 6.1. Po lewej stronie schemat mechaniczny modułu elektronicznego zawierającego układy scalone UFXC wraz z pikselowym detektorem promieniowania X zamontowane na obwodzie drukowanym.

Po prawej schemat mechaniczny wersji wielomodułowej.

6.2 Schemat systemu

Na rysunku 6.2 pokazano schemat systemu pomiarowego oraz kontrolera kamery. Konfiguracja kamery oraz akwizycja obrazów odbywa się za pośrednictwem pracującej na komputerze PC aplikacji użytkownika.



Rys. 6.2. Schemat systemu pomiarowego oraz kontrolera kamery do rejestracji promieniowania X.

Aplikacja użytkownika komunikuje się z kamerą za pomocą 3 interfejsów: USB, Ethernet oraz Camera Link. Interfejs USB jest używany do sterowania oraz monitorowania zasilaniem kamery i jest opcjonalny. Interfejs Ethernet służy do sterowania rejestracją obrazów. Interfejs Camera Link służy do transmisji obrazów.

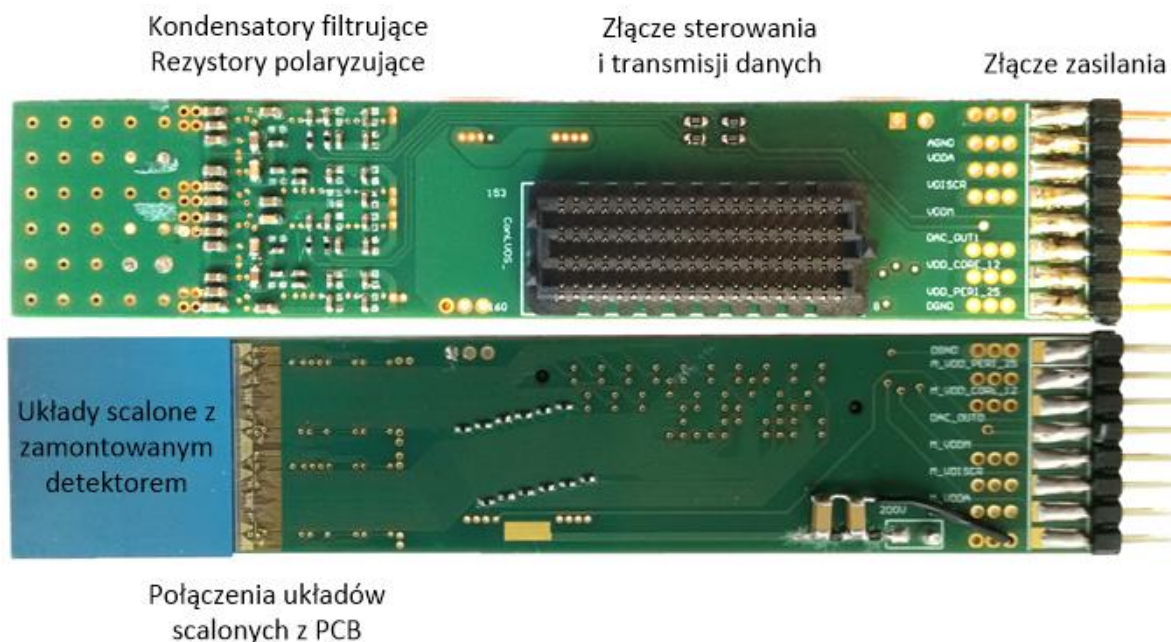
Kamera składa się z 3 podstawowych modułów, a mianowicie:

- modułu układów scalonych UFXC wraz z detektorem,
- modułu zasilającego,
- kontrolera kamery.

Zostaną one omówione w kolejnych podrozdziałach.

6.3 Moduł układów scalonych UFXC wraz z detektorem

Na rysunku 6.3 pokazano zdjęcie modułu układów scalonych UFXC z zamontowanym detektorem. Moduł ten zawiera ponadto zestaw kondensatorów filtrujących napięcia zasilające, rezystory polaryzujące, złącze zasilania oraz złącze do sterowania układami scalonymi i transmisji danych z układów scalonych.



Rys. 6.3. Zdjęcie modułu układów scalonych UFXC (obie strony). Szerokość modułu: 2 cm.

6.4 Moduł zasilający

6.4.1 Założenia i wymagania

Zadaniem modułu zasilającego jest dostarczanie napięć zasilających układy scalone UFXC. Lista napięć zasilających wraz z planowanym maksymalnym poborem prądu (pomnożonym o czynnik 1,5 dla zapewnienia zapasu mocy) dla dwóch układów scalonych UFXC [56] została przedstawiona w tabeli 6.1. Należy zwrócić uwagę na niskie wartości napięć zasilających, dochodzące do 0,8 V oraz stosunkowo duże wartości prądów.

Tabela 6.1 Lista napięć zasilających wraz z planowanym maksymalnym poborem prądu (pomnożonym przez czynnik 1,5) dla dwóch układów scalonych UFXC [56].

Nazwa	Napięcie nominalne [V]	Maksymalny planowany prąd [mA]	Maksymalny planowany pobór mocy [mW]	Typ napięcia
Vdd_m	0,8	354	283	analogowe
Vdd_a	1,2	849	1019	
Vdd_discr	1,2	423	508	
Vdd_dig_core	1,2	18*	200**	cyfrowe
Vdd_dig_peri	2,5	210	525	

* statyczny pobór prądu,

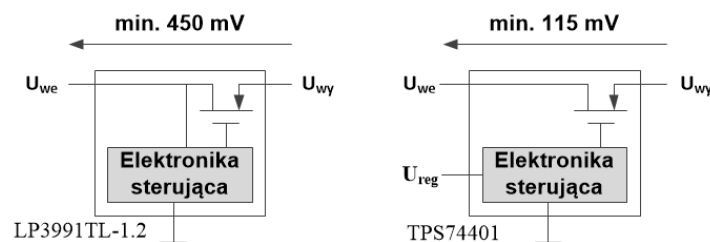
** wartość zwiększona ze względu na znany tylko statyczny pobór prądu napięcia Vdd_dig_core.

Głównymi wymaganiami stawianymi modułowi zasilającemu były:

- zasilanie dwóch układów scalonych UFXC,
- zasilanie modułu z jednego komercyjnego zewnętrznego zasilacza impulsowego (minimalizacja rozmiarów kamery),
- szerokość modułu równa szerokości dwóch układów scalonych UFXC (możliwość łączenia w większe moduły),
- możliwość włączenia/wyłączenia poszczególnych napięć (uruchamianie i testy),
- możliwość łatwej zmiany wartości napięć (kompensacja rezystancji linii zasilających),
- pomiar prądów w poszczególnych liniach zasilających (uruchamianie i testy),
- małe straty mocy (minimalizacja rozmiarów kamery),
- oddzielny stabilizator dla każdej linii zasilającej (ograniczenie sprzężeń i przesłuchów),
- minimalizacja zakłóceń linii zasilających (minimalizacja zakłóceń torów pomiarowych pikseli).

6.4.2 Dobór stabilizatorów liniowych

Ze względu na konieczność minimalizacji zakłóceń i szumów na liniach zasilających układ scalony UFXC, zdecydowano się na zastosowanie liniowych stabilizatorów napięcia. Aby ograniczyć straty moc modułu zasilającego zdecydowano się na zastosowanie stabilizatorów LDO (*ang. low-dropout*), czyli stabilizatorów o stosunkowo małej dopuszczalnej różnicy między napięciem wejściowym a wyjściowym. Większość dostępnych na rynku stabilizatorów LDO zasilana jest z jednego napięcia, które zasila zarówno wyjście stabilizatora, jak i jego elektronikę sterującą (rys. 6.6). W przypadku niskich napięć zasilających stabilizator (niskie napięcie zasilające elektronikę sterującą stabilizatora) powoduje to pogorszenie niektórych parametrów użytkowych stabilizatora, takich jak szумы czy współczynnik PSRR (*ang. Power Supply Rejection Ratio*).



Rys. 6.6. Schemat ideowy przykładowych stabilizatorów, po lewej bez, natomiast po prawej z dodatkowym napięciem zasilającym elektronikę sterującą.

Z powyższych względów zdecydowano się zastosować stabilizatory TPS74401 firmy *Texas Instruments* [71], umożliwiające oddzielne zasilanie wyjścia stabilizatora oraz elektroniki sterującej (rys. 6.6). Charakteryzują się one stosunkowo niskimi szumami ($16 \cdot V_{out} \mu V$ rms, dla pasma od 100 Hz do 100 kHz i prądu wyjściowego $I_{out} = 1,5$ A) oraz stosunkowo dobrym współczynnikiem

PSSR ($U_{we}/U_{wy} = 73$ dB, przy: $f = 1$ kHz; $I_{wy} = 1,5$ A; $U_{we} = 1,8$ V; $U_{wy} = 1,5$ V). Warto zwrócić uwagę, że takie rozwiązanie pozwoliło znacząco zmniejszyć, w porównaniu z stabilizatorami LDO (bez dodatkowego napięcia zasilającego elektronikę sterującą), dopuszczalną różnicę między napięciem wejściowym a wyjściowym (rys. 6.6).

W celu uzyskania jak najlepszych parametrów napięć zasilających układ scalony UFXC zdecydowano, że elektronika sterująca stabilizatorami LDO TPS74401 będzie zasilana napięciem dostarczanym ze stabilizatora liniowego. Ze wspomnianych wyżej powodów zdecydowano się również zastosować napięcie o największej dopuszczalnej wartości równej 5 V.

6.4.3 Zasilanie kamery

Biorąc pod uwagę konieczność dostarczenia odpowiedniego napięcia zasilającego stabilizator liniowy (5 V podrozdział 6.4.2), konieczność minimalizacji rozmiarów systemu pomiarowego oraz dostępne na rynku zasilacze zdecydowano się użyć do zasilania kamery sieciowy zasilacz impulsowy o napięciu wyjściowym równym 7,5 V.

6.4.4 Zasilanie stabilizatorów

Podczas projektowania modułu zasilającego zostały wzięte pod uwagę dwa sposoby zasilania stabilizatorów liniowych (opisanych w podrozdziale 6.4.2). Najprostszy polega na zasileniu wszystkich stabilizatorów liniowych bezpośrednio z zasilacza kamery. W takim przypadku, moc rozpraszana na stabilizatorach wynosiłaby ponad 12 W, przy czym moc na jednym ze stabilizatorów wynosiłaby ponad 5 W (tabela 6.2).

Tabela 6.2 Zestawienie mocy strat na stabilizatorach modułu zasilającego (w konfiguracji ze wspólnym napięciem zasilającym stabilizatory) oraz mocy zużywanej przez 2 układy scalone UFXC.

Linia zasilająca	Stabilizatory				2 układy scalone UFXC
	U_{we} [V]	U_{wy} [V]	I_{wy} [A]	P_{strat} [W]	Maksymalny planowany pobór mocy [W]
Vdd_m	7,5	0,8	0,354	2,372	0,283
Vdd_a		1,2	0,849	5,349	1,019
Vdd_discr		1,2	0,423	2,665	0,508
Vdd_dig_core		1,2	0,200	1,26	0,200
Vdd_dig_peri		2,5	0,210	1,050	0,525
				12,696	2,535

Obliczenia zostały wykonane przy użyciu wzoru 6.1 [70]:

$$P_{strat} = (U_{we} - U_{wy})I_{wy} \quad (6.1)$$

Odprowadzenie ciepła wynikającego z tak dużych strat mocy wymagałoby zastosowania znacznych rozmiarów radiatora oraz wentylatora. Aby tego uniknąć zdecydowano się zastosować przetwornicę DC/DC, której zadaniem jest obniżenie napięć wejściowych stabilizatorów liniowych. W celu uniknięcia zbyt dużego obciążenia pojedynczej przetwornicy (większe straty mocy oraz tętnienia) oraz separacji zasilania części cyfrowej i analogowej układu scalonego UFXC zastosowano trzy przetwornice DC/DC. Zestawienie strat mocy na stabilizatorach modułu zasilającego w konfiguracji z zastosowaniem przetwornic DC/DC zostało przedstawione w tabeli 6.3.

Tabela 6.3 Zestawienie mocy strat na stabilizatorach modułu zasilającego (w konfiguracji z zastosowaniem przetwornic DC/DC) oraz mocy zużywanej przez 2 układy scalone UFXC.

Linia zasilająca	Przetwornice DC/DC		Stabilizatory				2 układy scalone UFXC
	U_{we} [V]	U_{wy} [V]	U_{we} [V]	U_{wy} [V]	I_{wy} [A]	P_{strat} [W]	Maksymalny planowany pobór mocy [W]
Vdd_m	7,5	1,6	1,6	0,8	0,354	0,283	0,283
Vdd_a		1,6	1,6	1,2	0,849	0,340	1,019
Vdd_discr				1,2	0,423	0,169	0,508
Vdd_dig_core		3,3	3,3	1,2	0,200	0,420	0,200
Vdd_dig_peri				2,5	0,210	0,168	0,525
						1,38	2,535

Przedstawione rozwiązanie, dzięki sprawności przetwornic DC/DC dochodzącej do 90%, pozwoliło obniżyć blisko dziesięciokrotnie sumaryczną moc strat na stabilizatorach liniowych oraz prawie 4-krotnie obniżyć pobór mocy całej kamery (3,915 W).

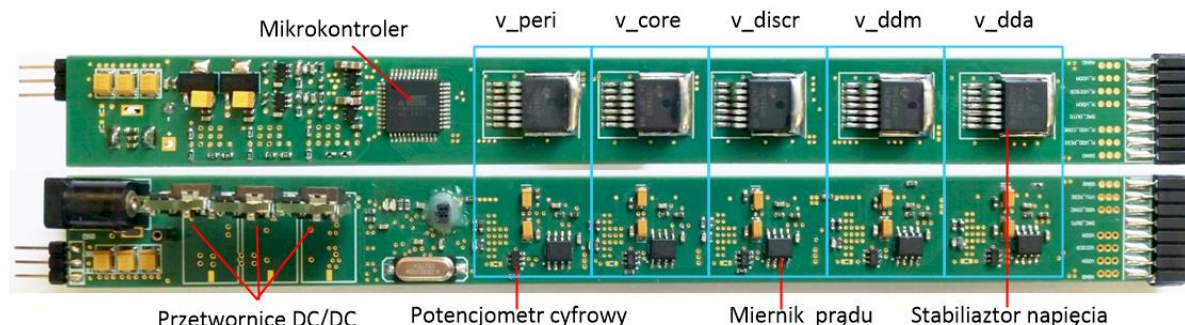
6.4.5 Sterowanie napięciami oraz pomiar prądu

Moduł zasilający pozwala na programowe włączanie/wyłączanie przetwornic DC/DC oraz stabilizatorów, jak również na sterowanie wartością napięć wyjściowych stabilizatorów. Sterowanie wartością napięć wyjściowego odbywa się za pośrednictwem potencjometrów cyfrowych. Zastosowano je w sprzężeniu zwrotnym stabilizatorów, zamiast dzielnika rezystancyjnego (zbudowanego z rezystorów).

Moduł zasilający pozwala ponadto na pomiar prądu w każdej linii zasilającej układy scalone UFXC. Zastosowano w tym celu specjalne układy scalone ACS712 [72] wykorzystujące efekt Halla do pomiaru pola magnetycznego generowanego przez mierzony prąd.

Sterowaniem oraz regulacją napięć wyjściowych, pomiarem prądów oraz komunikacją z aplikacją użytkownika zarządza mikrokontroler.

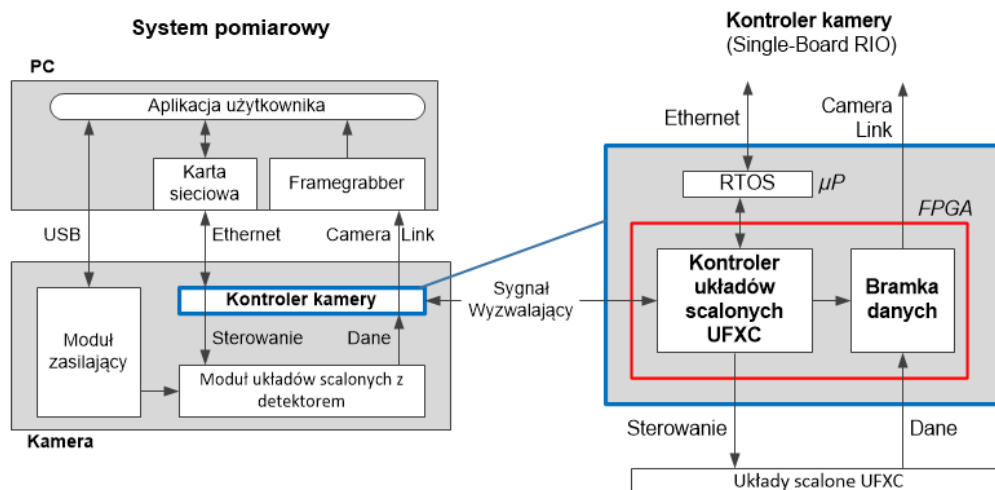
Zdjęcie modułu zasilającego pokazano na rys. 6.7.



Rys. 6.7. Zdjęcie modułu zasilającego (obie strony). Szerokość modułu 2 cm.

6.5 Moduł kontrolera kamery

Zadaniem kontrolera kamery (rys. 6.8) jest sterowanie dwoma układami scalonymi UFXC oraz transmisja danych pomiarowych z układów scalonych UFXC do aplikacji użytkownika. Kontroler został wykonany na bazie modułu Single-Board RIO firmy National Instruments (rys. 6.9) [73], który zawiera na jednej płytce procesor z systemem czasu rzeczywistego oraz układ logiki programowalnej.



Rys. 6.8. Kontroler kamery w systemie pomiarowym (po lewej) i jego uproszczony schemat blokowy (po prawej).

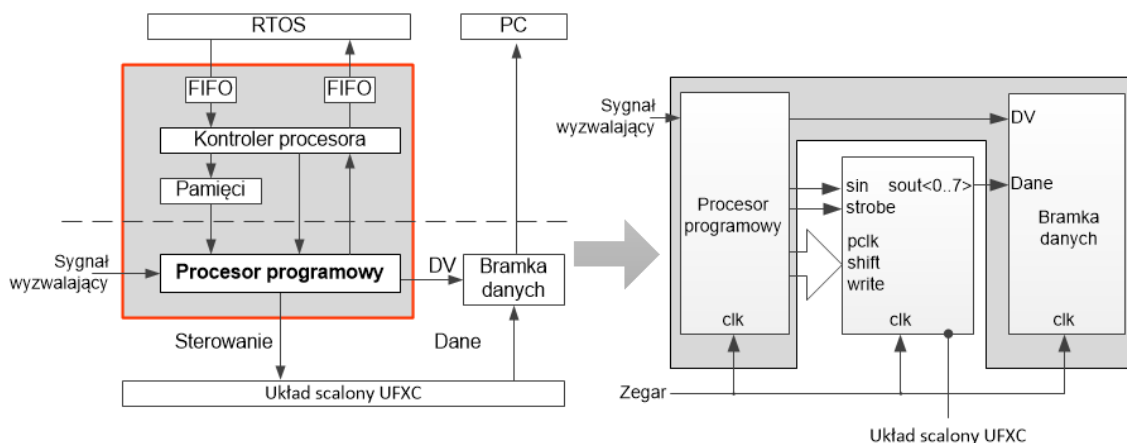


Rys. 6.9. Single-Board RIO firmy National Instruments (NI9606) [73].

Oprogramowanie pracujące na systemie czasu rzeczywistego zostało maksymalnie uproszczone i pełni tylko funkcję konwertera między interfejsem Ethernet a kolejkami FIFO, zapewniającymi komunikację z kontrolerem układów scalonych UFXC opisanym w dalszej części pracy.

6.6 Kontroler układów scalonych UFXC

Modułem współpracującym bezpośrednio z układami scalonymi UFXC jest kontroler układów scalonych (rys. 6.10). Jego zadaniem jest generowanie sekwencji sterujących układami scalonymi UFXC (linie: *sin*, *clk*, *pclk*, *shift*, *strobe*, *write*) oraz generowanie sygnału ważności danych DV (*ang. Data Valid*), informującego bramkę danych o konieczności przesłania danych z wyjścia danych układów scalonych (linie *sout0...sout7*) do aplikacji użytkownika. Część kontrolera układów scalonych UFXC odpowiedzialna za generowanie sekwencji sterujących została zrealizowana w postaci procesora programowanego opisanego w rozdziale siódmym.

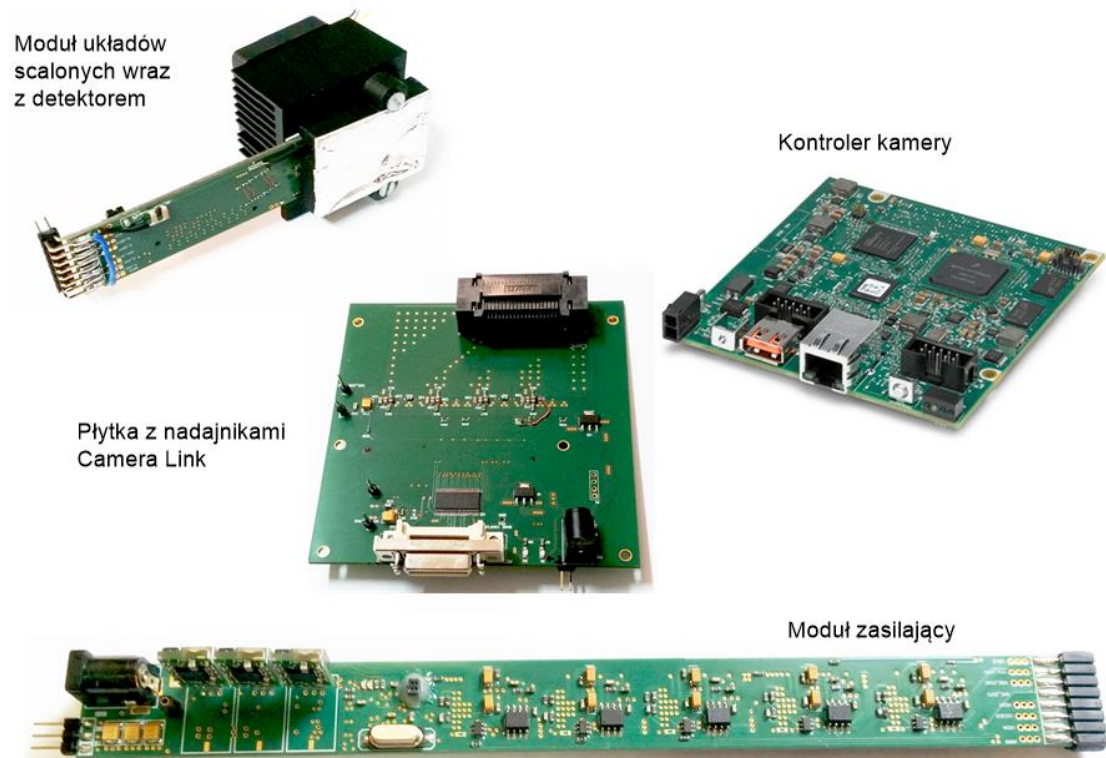


Rys. 6.10. Schemat kontrolera układów scalonych UFXC.

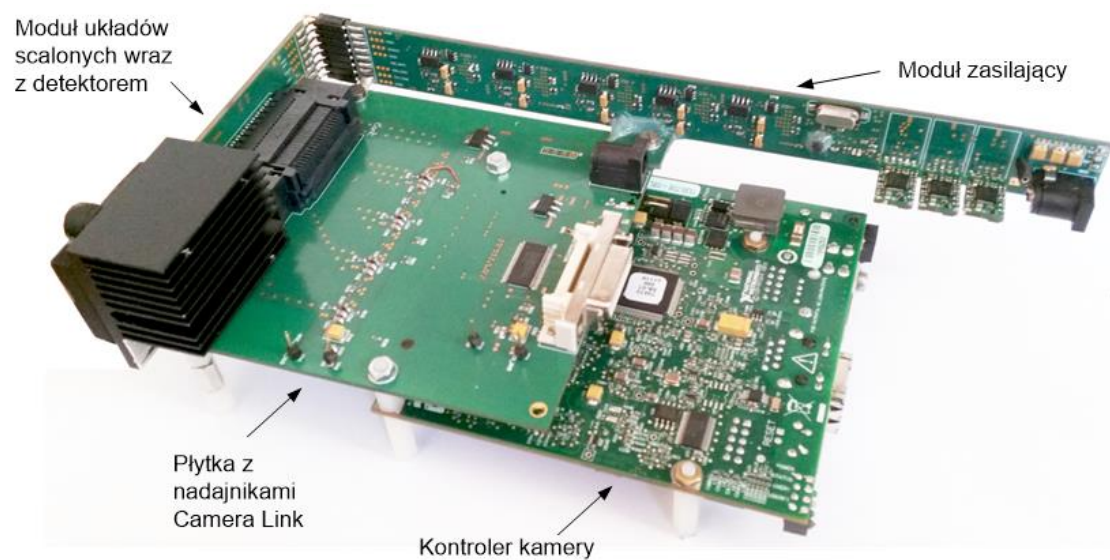
6.7 Łączenie modułów kamery

Podstawowe moduły kamery przed i po połączeniu przedstawiono na rysunku 6.11.

a)



b)



Rys. 6.11. Podstawowe moduły kamer: a) przed połączeniem, b) po połączeniu.

Modułowa budowa kamery umożliwia:

- wymianę każdego z elementów niezależnie, gdyby doszło do awarii któregoś z nich,
- testowanie każdego z modułów niezależnie,
- wymianę każdego z modułów, np. modułu zasilacza na mniejszy, czy też na nową generację kontrolera kamery.

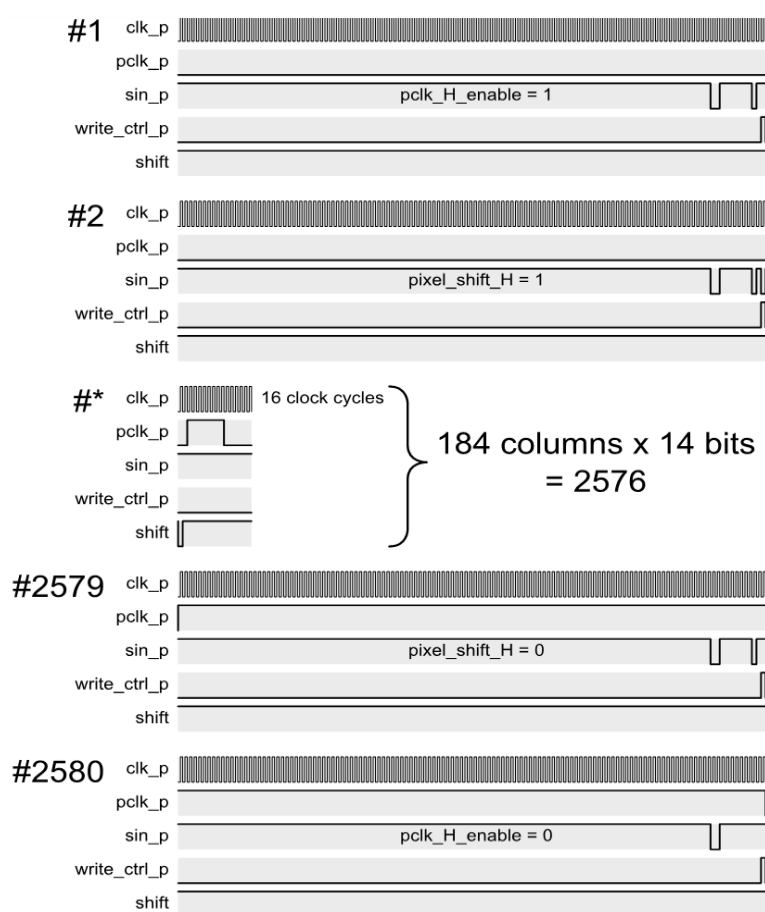
Połączone ze sobą poszczególne moduły kamery zamontowano w prototypowej obudowie umożliwiającej przeprowadzenie testów z wykorzystaniem promieniowania X (rys. 6.12).



Rys. 6.12. Moduł kamery zamontowany w prototypowej obudowie umożliwiającej przeprowadzenie testów z wykorzystaniem promieniowania X.

7 Dedykowany procesor programowy

Zadaniem kontrolera układów scalonych UFXC jest generowanie sekwencji sterujących samymi układami scalonymi, jak i bramką danych (rys. 6.10). Na rysunku 7.1 pokazano przykładową sekwencję sterującą odpowiadającą za odczyt danych z liczników H. Jest ona reprezentatywna dla wszystkich sekwencji sterujących. Jej podstawową cechą jest obecność powtarzających się, jak i unikalnych fragmentów oraz obecność 128-bitowych ciągów wynikających z 128-bitowego rejestru przesuwanego, obecnego w układzie scalonym UFXC.



Rys. 7.1. Przykładowa sekwencja sterująca układem scalonym UFXC, odpowiadająca za odczyt danych z liczników H [56].

Istnieje kilka możliwości implementacji kontrolera układów scalonych UFXC. W pierwszej kolejności zostały rozważone: karta wejścia/wyjścia, mikroprocesor, układ logiki programowalnej oraz dedykowany układ scalony.

Przy wyborze sposobu implementacji posłużono się następującymi kryteriami:

- generowanie nieskończonych, powtarzających się sekwencji sterujących o ściśle określonym reżimie czasowym,

- możliwość generowania nieprzerwanych 128-bitowych ciągów (zapis głównego rejestru przesuwanego układu scalonego UFXC),
- szybkość działania,
- rozmiary,
- efektywność tworzenia implementacji.

Najszybszym sposobem budowy systemu generującego dowolne przebiegi cyfrowe o znacznej częstotliwości (200 MHz i więcej) są cyfrowe karty wejścia/wyjścia. Nadają się one idealnie do testów samego układu scalonego UFXC, gdy najważniejszym kryterium jest krótki czas budowy prototypu. Niestety ich wymiary oraz cena są czynnikami, które w praktyce uniemożliwiają zastosowanie w komercyjnej kamerze do rejestracji promieniowania X. Ponadto, nie pozwalają one na generowanie nieskończonych przebiegów o ścisłym reżimie czasowym.

Wymienionych wyżej wad pozbawione są mikroprocesory. Mają małe rozmiary, są tanie i pozwalają generować dowolne sekwencje sterujące. Niestety ze względu na ich uniwersalność, częstotliwość generowanych przez nie sekwencji jest w praktyce stosunkowo mała.

Układy logiki programowalnej pozbawione są zarówno wad kart wejścia/wyjścia, jak i wad mikroprocesorów. Są szybkie i stosunkowo tanie, mają małe rozmiary i pozwalają generować dowolne sekwencje sterujące [74]. Ich wadą jest konieczność tworzenia oprogramowania (a właściwie definicji struktury) w języku opisu sprzętu (VHDL, Verilog, LabVIEW FPGA lub inny), co w praktyce sprowadza się do opisu skompilowanego automatu. Takie podejście ma liczne wady. Po pierwsze, języki opisu sprzętu wymagają dużego nakładu pracy, co wydłuża czas potrzebny na implementację, szczególnie jeśli chodzi o generowanie określonych sekwencji przebiegów cyfrowych. Wynika to między innymi stąd, że są to języki deklaratywne, w których definiuje się bardziej strukturę niż kolejne operacje, jak ma to miejsce w przypadku języków imperatywnych (Assembler, C, C++, Java, itp.) [75]. Implementacja w językach opisu sprzętu sterowników pracujących z dużą częstotliwością wymaga dużego doświadczenia. Ponadto, nie ma gwarancji osiągnięcia określonej częstotliwości pracy, ani możliwości jej wyliczenia przed kompilacją kodu (jak to ma miejsce w przypadku kart wejścia/wyjścia czy mikroprocesorów). Kompilacja kodu trwa zwykle nie mniej niż kilkanaście minut, co znacznie wydłuża czas implementacji. Efektywność implementacji w pewnym stopniu odzwierciedlają rankingi popularności języków programowania. Według rankingu IEEE z roku 2015 [70] języki opisu sprzętu VHDL, Verilog, LabVIEW (w tym FPGA), zajmują odpowiednio 31, 35 i 37 miejsce, a języki imperatywne Java, C, C++ i Assembler zajmują odpowiednio 1, 2, 3 i 14 miejsce.

Rozważając możliwości implementacji kontrolera układu scalonego UFXC, nie można zapomnieć o dedykowanych układach scalonych (ASIC). Mają one podobne wady jak układy logiki programowalnej, pozwalają jednak uzyskać większe częstotliwości pracy. Niestety, ich cena jednostkowa jest stosunkowo wysoka dla aplikacji z małym i średnim wolumenem sprzedaży.

W przedstawionej w rozprawie doktorskiej kamerze zdecydowano się na rozwiązanie łączące zalety mikroprocesorów i układów logiki programowalnej. Jest nim procesor programowy (*ang. soft processor*) [76]. Nie jest to procesor (w dosłownym tego słowa znaczeniu), ale opis procesora w języku opisu sprzętu, który może być zaimplementowany na dowolnym układzie logiki programowalnej o wystarczających zasobach logicznych. Najbardziej znanymi przykładami takich procesorów są PicoBlaze firmy Xilinx [77], czy też Nios firmy Altera [78]. Wymienione przykłady procesorów mogą być programowane zarówno w assemblerze (programowanie niskopoziomowe), jak i w C (programowanie wysokopoziomowe). Po przeanalizowaniu dostępnych procesorów programowych, zdecydowano się na zaprojektowanie dedykowanego procesora programowego oraz dedykowanego assemblera. Założono, że dopasowanie architektury procesora programowego do specyfiki aplikacji pozwoli uzyskać wysoką częstotliwość pracy, a możliwość programowania imperatywnego (Assembler) pozwoli znacznie skrócić czas tworzenia oprogramowania do sterowania kamerą.

W tabeli 7.1 zestawiono cechy przedstawionych powyżej możliwych implementacji kontrolera układów scalonych UFXC.

Tabela 7.1 Zestawienie cech możliwych sposobów implementacji kontrolera układu scalonego UFXC.

Implementacja	Narzędzie programistyczne	Efektywność programowania	Częstotliwość pracy	Koszt
Karta wejścia/wyjścia*	C/LabVIEW	++++	+++	++
Mikroprocesor	C/LabVIEW	+++	+	+++
Dedykowany procesor programowy	Assembler	++++	+++	+++
Układ logiki programowalnej	VHDL/Verilog/ LabVIEW FPGA	++	+++	+++
Dedykowany układ scalony	VHDL/Verilog	+	++++	+

* ograniczona długość sekwencji sterujących

7.1 Wymagania

Proces projektowania oraz implementację procesora programowego poprzedziła analiza dokumentacji układu scalonego UFXC, ze szczególnym uwzględnieniem specyfiki sekwencji sterujących oraz wymagań stawianych systemowi pomiarowemu. W jej rezultacie ustalono, że:

1. Pojedyncza instrukcja procesora programowego powinna wykonywać się w jednym cyklu zegara.
2. Stan linii sterujących układem scalonym UFXC powinien mieć możliwość zmiany w każdym cyklu zegara.
3. Powinna istnieć możliwość użycia pętli zarówno o określonej, jak i nieskończonej liczbie iteracji.

4. Powinna istnieć instrukcja pozwalająca na synchronizację wykonywania programu z sygnałem zewnętrznym.
5. Powinna istnieć możliwość monitorowania stanu programu.
6. Procesor programowy powinien posiadać 128-bitowy rejestr szeregowy z wyjściem połączonym z wejściem głównego rejestru przesuwanego układu scalonego UFXC.
7. Procesor programowy powinien zawierać, oprócz pamięci kodu programu, również pamięć konfiguracji układu scalonego UFXC.
8. Powinna istnieć możliwość szybkiej zmiany programu, w dowolnym momencie pracy procesora programowego.

Warto zwrócić uwagę, że większość wymagań jest stosunkowo uniwersalna, tzn., że pasuje do innych układów scalonych o podobnej funkcjonalności i architekturze.

Spełnienie pierwszych dwóch wymagań zapewnia dużą szybkość sekwencji sterujących, a tym samym dużą częstotliwość rejestracji obrazów. Możliwość użycia pętli (punkt 3) pozwala na generowanie powtarzalnych sekwencji sterujących w nieograniczonej liczbie powtórzeń. Realizacja wymagania z punktu czwartego pozwala na synchronizację rejestracji obrazów ze zdarzeniami zachodzącymi poza kamerą (np. osiągnięcie odpowiedniego położenia przez ramię goniometru).

Możliwość szybkiej zmiany programu procesora programowego (punkt 8) jest jedną z jego najważniejszych cech, pozwala ona:

- dzielić całe oprogramowanie procesora programowego na małe programy, odpowiadające za realizację poszczególnych trybów pomiarowych, konfiguracyjnych lub serwisowych oraz uruchamiać je w odpowiednim momencie,
- dzielić wykonanie jednego programu na kilka faz,
- znacznie przyspieszyć rozwój oprogramowania (czasy kompilacji oraz uruchamiania programu są w praktyce pomijalne, analogicznie jak w językach skryptowych).

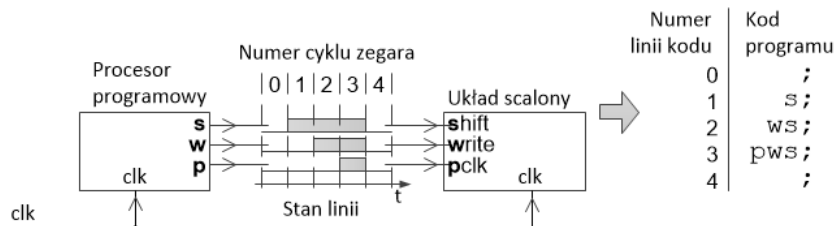
Powyższe cechy pozwalają znacznie zmniejszyć wymagany rozmiar pamięci kodu oraz konfiguracji procesora programowego, co wpływa korzystnie na jego maksymalną częstotliwość pracy.

Oprócz korzyści, które wynikają bezpośrednio ze spełnienia wymienionych wyżej wymagań, należy zwrócić uwagę na szczególną zaletę polegającą na możliwości podziału zadań podczas budowy całego systemu. Osoba, lub grupa osób odpowiedzialnych za implementację procesora programowego nie musi mieć wiedzy dotyczącej urządzenia, które będzie za jego pomocą sterowane oraz metod jego testowania. Z drugiej strony, osoba lub grupa osób odpowiedzialnych za napisanie oprogramowania sterującego urządzeniem nie musi mieć wiedzy i doświadczenia niezbędnego do pracy z układami logiki programowalnej.

7.2 Assembler

7.2.1 Kontrola stanu wyjść

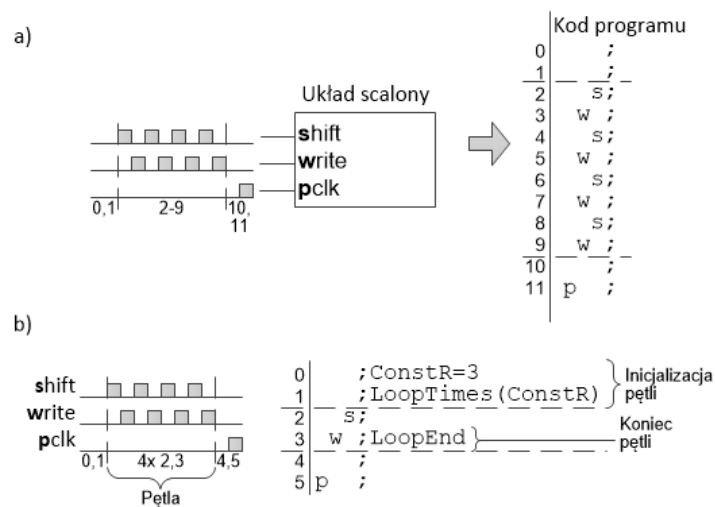
Pojedyncza linia programu odpowiada jednemu cyklowi zegara procesora programowego i układu scalonego UFXC. Stan linii sterujących układ scalony opisany jest za pomocą pojedynczych liter w sposób pokazany na rysunku 7.2. Obecność litery oznacza stan aktywny (zwykle „1”) na odpowiadającej jej linii, brak litery oznacza stan nieaktywny (zwykle „0”)



Rys. 7.2. Schemat ideowy obrazujący sposób kodowania określonych sekwencji stanów na liniach wyjściowych procesora programowego (liniach sterujących układ scalony UFXC).

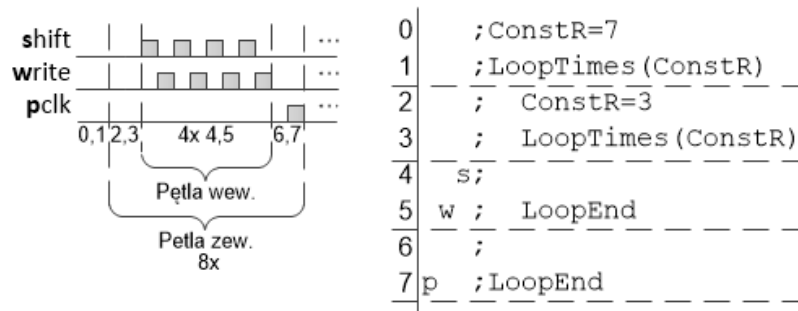
7.2.2 Pętle

Powtarzanie określonych sekwencji sterujących można uzyskać albo przez powtarzanie odpowiednich linii kodu (rys. 7.3a) albo przez zastosowanie pętli (rys. 7.3b). Pętla składa się z inicjalizacji oraz końca. Inicjalizacja ma postać dwóch instrukcji, w których określone zostają liczba powtórzeń (zawartość rejestru „ConstR” powiększona o 1) pętli oraz jej początek. Koniec pętli to jedna instrukcja. Procesor programowy powtarza instrukcje od pierwszej instrukcji po instrukcji inicjalizacji do instrukcji końca pętli włącznie.



Rys. 7.3. Przykład kodowania powtarzalnych sekwencji stanów: a) za pomocą powtarzania kodu, b) za pomocą pętli.

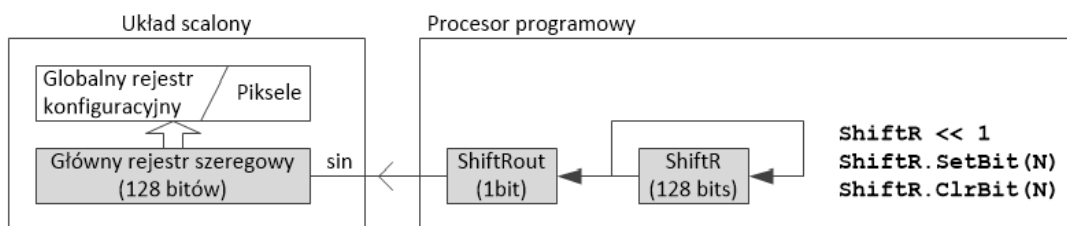
Istnieje możliwość zagnieżdżenia pętli, jak to pokazano na poniższym przykładzie (rys. 7.4). Obecna implementacja pozwala na 4 poziomy zagnieżdżeń.



Rys. 7.4. Przykład pętli zagnieżdżonej.

7.2.3 Rejestr szeregowy

Jak już zostało opisane w podrozdziale 4.2, cała transmisja danych do i z układu scalonego UFXC przebiega za pośrednictwem głównego rejestru przesuwanego (szeregowego). Z tego względu, w taki sam (o tej samej długości) rejestr szeregowy został wyposażony procesor programowy (128-bitowy rejestr *ShiftR*, rys. 7.5).



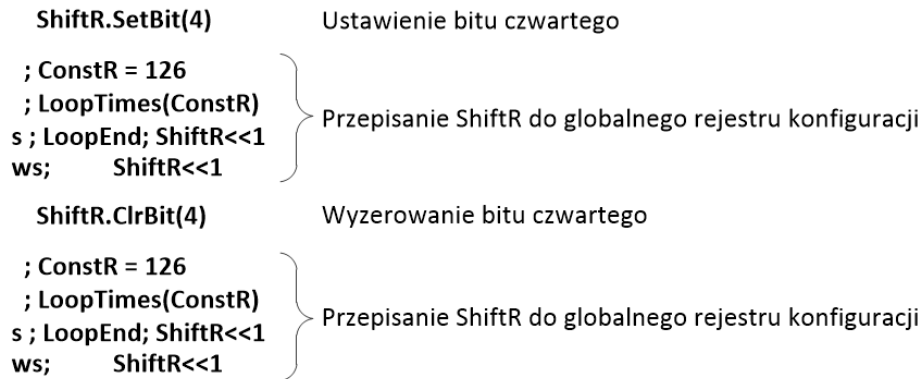
Rys. 7.5. Schemat ideowy przedstawiający związek między głównym rejestrem szeregowym układu scalonego UFXC, a rejestrem szeregowym procesora programowego, z uwzględnieniem instrukcji operujących na rejestrze szeregowym procesora programowego.

Do wysuwania danych z rejestru *ShiftR* służy instrukcja *ShiftR<<1*. Powoduje ona wpisanie najstarszego bitu do rejestru *ShiftRout*, podłączonego bezpośrednio do wyjścia procesora programowego, a tym samym wejścia *sin* układu scalonego UFXC. Ponadto instrukcja *ShiftR<<1* powoduje przesunięcie reszty bitów rejestru szeregowego o jeden bit w stronę starszych bitów. W miejsce najmłodszego bitu wpisywany jest bit najstarszy, dzięki czemu zawartość rejestru *ShiftR* po 128 przesunięciach jest taka sama jak na początku.

Podczas sterowania układem scalonym UFXC zachodzi często potrzeba zmiany zawartości jednego lub kilku bitów globalnego rejestru konfiguracji. W tym celu procesor programowy został wyposażony w instrukcje ustawiania (*ShiftR.SetBit(N)*), lub zerowania (*ShiftR.ClrBit(N)*) określonego bitu rejestru *ShiftR* (rys. 7.5).

7.2.4 Równoległe wykonywanie instrukcji

Na rysunku 7.6 pokazano program odpowiedzialny za ustawienie oraz kasowanie bitu otwarcia bramki liczników (czwarty bit) w globalnym rejestrze konfiguracji układu scalonego UFXC.

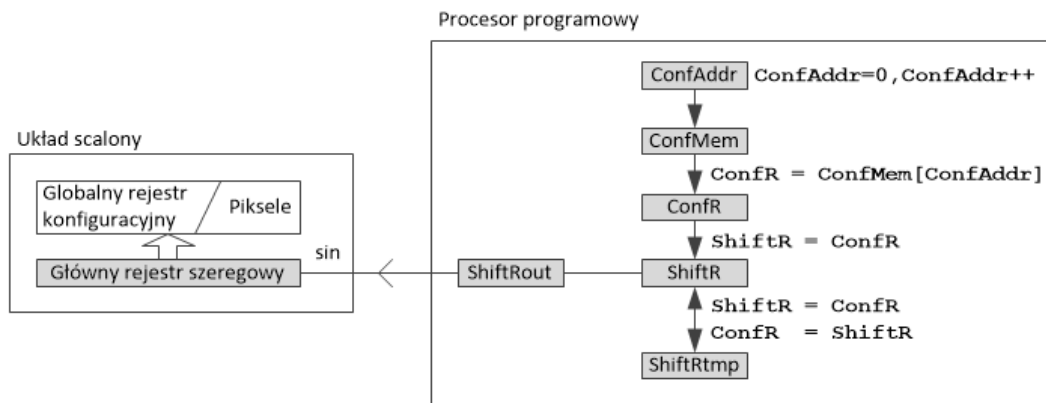


Rys. 7.6. Przykład programu procesora programowego ustawiającego, a następnie zerującego bit otwarcia bramki liczników.

Jak można zauważyć na powyższym rysunku, procesor programowy pozwala na równoległe wykonywanie niektórych instrukcji. W jednym cyklu zegara wykonywana może być instrukcja modyfikująca rejestr *ShiftR* oraz inna dowolna instrukcja (np. ustawiająca stan wysoki na linii *write*).

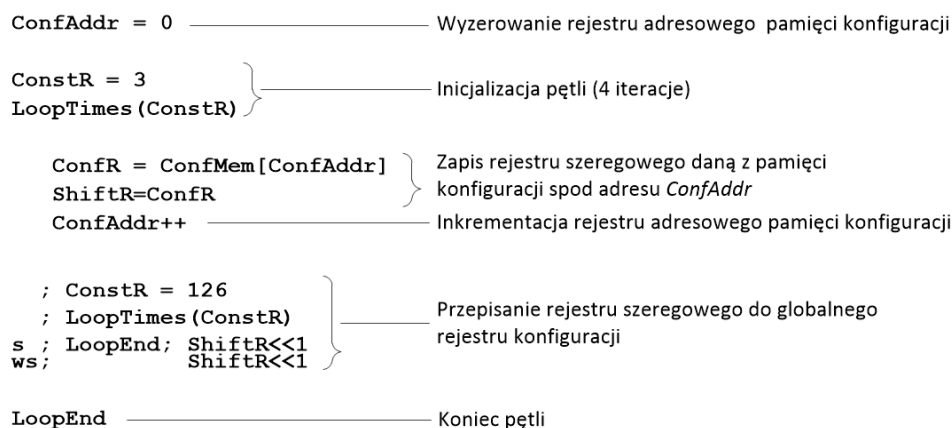
7.2.5 Pamięć konfiguracji oraz rejestry pomocnicze

Oprócz wspomnianego wyżej rejestru *ShiftRout* rejestrowi *ShiftR* towarzyszą pamięć konfiguracji (*ConfMem*), rejestr adresowy pamięci konfiguracji (*ConfAddr*) oraz dwa rejestry pomocnicze (*ConfR* i *ShiftRtmp*). Na rysunku 7.7 pokazano wspomniane wyżej rejestry oraz związane z nimi instrukcje. Pamięć konfiguracji służy do tymczasowego przechowywania danych konfiguracyjnych pikseli oraz do globalnej konfiguracji układu scalonego UFXC (główny rejestr konfiguracyjny). Rejestr *ConfR* pośredniczy między pamięcią konfiguracji a rejestrem *ShiftR*. Zastosowanie go pozwala znacząco przyspieszyć działanie procesora programowego (przetwarzanie potokowe). Rejestr *ShiftRtmp* służy do chwilowego przechowania stanu rejestru *ShiftR*, co z kolei pozwala na znaczące uproszczenie kodu programu podczas zapisu konfiguracji pikseli. Zarówno słowo pamięci konfiguracji, jak i rejestry pomocnicze mają taką samą długość jak rejestr *ShiftR* (128 bitów).



Rys. 7.7. Schemat ideowy przedstawiający związek między rejestrem szeregowym procesora programowego, a pamięcią konfiguracji i rejestrami pomocniczymi, z uwzględnieniem instrukcji pozwalających operować na pamięci konfiguracji i rejestrach pomocniczych.

Na rysunku 7.8 pokazano przykład programu wykorzystującego pamięć konfiguracji oraz niektóre opisane wyżej rejestry.



Rys. 7.8. Przykładowy kod programu wpisujący do głównego rejestru konfiguracyjnego układu scalonego UFXC cztery słowa z pamięci konfiguracji (adres 0-3).

7.2.6 Synchronizacja z sygnałem zewnętrznym

Jednym z wymagań stawianym kamerom do rejestracji promieniowania X jest możliwość synchronizacji akwizycji obrazów z sygnałem zewnętrznym (tzw. sygnałem wyzwalania). W związku z tym, procesor programowy został wyposażony w instrukcję *WaitFor(Trig=N)*, gdzie N może przyjmować wartość „0” lub „1”. Instrukcja powoduje zatrzymanie wykonywania programu do momentu, aż sygnał wyzwalający przyjmie wartość N. Przykład użycia instrukcji *WaitFor(Trig=N)* pokazano na rysunku 7.9. Pętla pokazana w przykładzie wykonuje się nieskończoną liczbę razy (instrukcja *LoopInfEnd*), bez względu na zawartość rejestru *ConstR* podczas jej inicjalizacji.

```

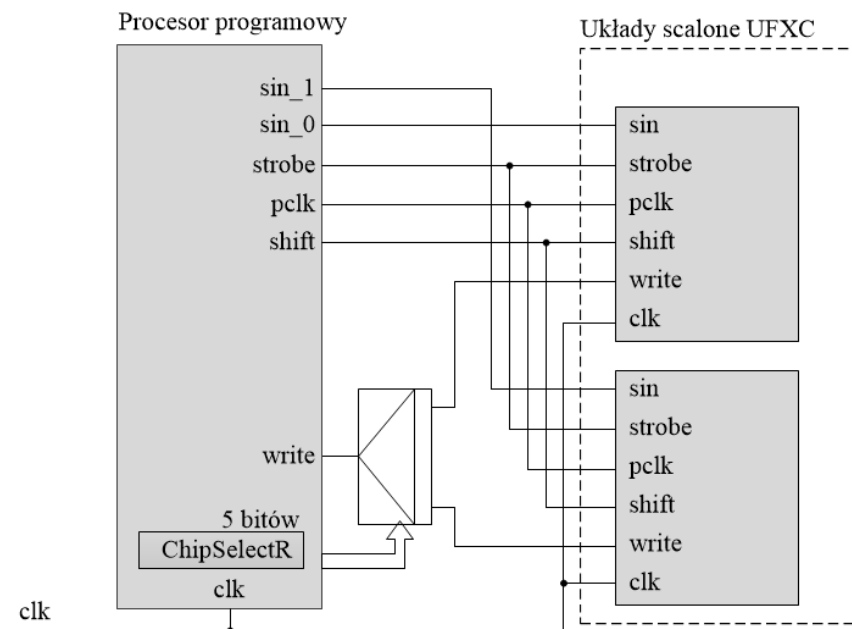
LoopTimes (ConstR)
  WaitFor (Trig=0)
  WaitFor (Trig=1) } Oczekiwanie na zbocze rosnące
s ; LoopInfEnd ----- Koniec pętli nieskończonej

```

Rys. 7.9. Przykład użycia instrukcji „WaitFor(Trig=N)” do wyzwalania pracy kamery sygnałem zewnętrznym (zbocze rosnące).

7.2.7 Sterowanie dwoma układami scalonymi UFXC

Jednym z wymogów stawianych kontrolerowi układu scalonego UFXC, a tym samym procesorowi programowemu, była możliwość sterowania więcej niż jednym układem scalonym UFXC. Architektura układu scalonego UFXC pozwala na połączenie niektórych linii sterujących, co z kolei pozwala na ograniczenie linii wyjściowych procesora programowego. Schemat połączenia procesora programowego z dwoma układami scalonymi UFXC pokazano na rysunku 7.10. Linie *pclk*, *shift* oraz *strobe* obu układów scalonych UFXC są sterowane tym samym sygnałem. Podczas zapisu konfiguracji sygnał *write* jest multipleksowany pomiędzy dwa układy scalone. O tym, do którego układu scalonego trafi sygnał decydują 4 najmłodsze bity rejestru *ChipSelectR*. Ustawienie najstarszego bitu (czwartego) wspomnianego rejestru, pozwala podać ten sam sygnał na wejścia *write* obu układów scalonych. Taka konfiguracja używana jest podczas odczytu wartości liczników z układów scalonych UFXC.



Rys. 7.10. Schemat połączenia procesora programowego z dwoma układami scalonymi UFXC.

Na rysunku 7.11 pokazano przykładowy program zapisujący dwie różne wartości do głównych rejestrów konfiguracyjnych, dwóch różnych układów scalonych UFXC.

```

ConfAddr = 0
ConfR = ConfMem[ConfAddr]
ShiftR=ConfR
} Odczyt słowa spod adresu „0” pamięci konfiguracji
do rejestru szeregowego

ChipSelectR = 0 ————— Wybór układu scalonego „0”

; ConstR = 126
; LoopTimes (ConstR)
s ; LoopEnd; ShiftR<<1
ws; ShiftR<<1 } Przepisanie rejestru szeregowego do globalnego
rejestru konfiguracji układu scalonego

ConfAddr++
ConfR = ConfMem[ConfAddr]
ShiftR=ConfR
} Odczyt słowa spod adresu „1” pamięci konfiguracji
do rejestru szeregowego

ChipSelectR = 1 ————— Wybór układu scalonego „1”

; ConstR = 126
; LoopTimes (ConstR)
s ; LoopEnd; ShiftR<<1
ws; ShiftR<<1 } Przepisanie rejestru szeregowego do globalnego
rejestru konfiguracji układu scalonego

```

Rys. 7.11. Program zapisujący dwie różne wartości z pamięci konfiguracji do głównych rejestrów konfiguracyjnych, dwóch różnych układów scalonych UFXC.

7.2.8 Lista instrukcji

W tabeli 7.2 zebrano wszystkie instrukcje assemblera procesora programowego z podziałem na grupy odpowiadające ich funkcjonalności.

Tabela 7.2 Lista instrukcji procesora programowego sterującego układem scalonym UFXC.

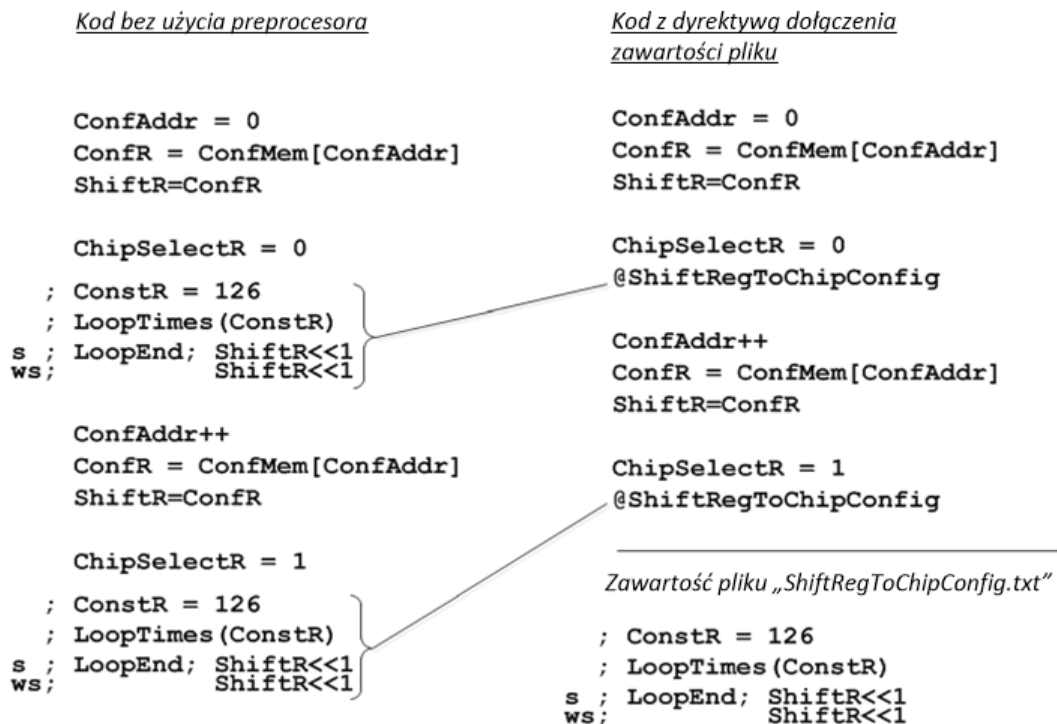
Sterowanie programem	Pamięć konfiguracji	Rejestr przesuwany
ConstR=N LoopTimes(ConstR) LoopEnd LoopInfEnd WaiFor(Trig=N)	ConfAddr=0 ConfAddr++ ConfR=ConfMem[ConfAddr]	ShiftR = ConfR ShiftRtmp = ShiftR ShiftR = ShiftRtmp ShiftR.SetBit(N) ShiftR.ClrBit(N) ShiftR<< 1
Inne		
ChipSelectR=N		

7.3 Preprocesor

Preprocesor pozwala na przetwarzanie kodu źródłowego programu na kod wyjściowy programu za pomocą dyrektyw. Kod wyjściowy, podobnie jak kod źródłowy, składa się z instrukcji i może być poddany kompilacji. Użycie dyrektyw preprocesora pozwala zwiększyć czytelność kodu oraz ułatwia modyfikacje kodu przez aplikację nadrzędną. Użycie dyrektyw preprocesora jest opcjonalne.

7.3.1 Dołączanie zawartości plików

Dyrektywa dołączania plików źródłowych pozwala na wstawianie w kod programu zawartości plików. Zwykle są to pliki z kodem programu. Umożliwia ona zamianę fragmentu kodu na nazwę określającą funkcjonalność tego fragmentu. W pewnym stopniu odpowiada ona wstawieniu wywołania funkcji w języku C w wersji „inline”, tj. z dołączaniem kodu funkcji, zamiast jej wywołania. Dyrektywa zaczyna się od znaku „@”, po którym jest nazwa pliku, którego zawartość ma być wstawiona w miejsce dyrektywy. Zakłada się, że plik, którego zawartość jest dołączana ma rozszerzenie „.txt”. Użycie opisanej dyrektywy pozwala zwiększyć czytelność kodu poprzez wprowadzenie hierarchii, a tym samym ograniczyć powtarzanie się kodu. Przykład zastosowania dyrektywy dołączania plików źródłowych pokazano na rysunku 7.12. W miejsce kodu przepisującego zawartość rejestru szeregowego procesora programowego do globalnego rejestru konfiguracji układu scalonego UFXC zostaje wstawiona zawartość pliku „ShiftRegToChipConfig.txt”.



Rys. 7.12. Sposób użycia dyrektywy dołączania plików źródłowych (pokazany na przykładzie programu z rysunku 7.11).

7.3.2 Definiowanie stałych liczbowych

Dyrektywa definicji stałych pozwala zastąpić stałe liczbowe nazwą. Pozwala to zwiększyć czytelność programu przez zamianę liczby opisem jej znaczenia. Przykład zastosowania opisanej dyrektywy pokazano na rysunku 7.13.

<p style="text-align: center;"><u>Kod bez użycia preprocesora</u></p> <pre> ShiftR.SetBit(4) ; ConstR = 126 ; LoopTimes(ConstR) s ; LoopEnd; ShiftR<<1 ws; ShiftR<<1 ShiftR.ClrBit(4) ; ConstR = 126 ; LoopTimes(ConstR) s ; LoopEnd; ShiftR<<1 ws; ShiftR<<1 </pre>	<p style="text-align: center;"><u>Kod z dyrektywą dołączenia zawartości pliku oraz definicją stałej</u></p> <pre> \$ALL_CHIPS 16 \$GATE_OPEN 5 ChipSelectR = ALL_CHIPS ShiftR.SetBit(GATE_OPEN) @ShiftRegToChipConfig ShiftR.ClrBit(GATE_OPEN) @ShiftRegToChipConfig </pre> <hr/> <p style="text-align: center;"><i>Zawartość pliku „ShiftRegToChipConfig.txt”</i></p> <pre> ; ConstR = 126 ; LoopTimes(ConstR) s ; LoopEnd; ShiftR<<1 ws; ShiftR<<1 </pre>
--	---

Rys. 7.13. Sposób użycia dyrektywy oraz definicji stałej (pokazany na przykładzie programu otwierającego, a następnie zamykającego bramkę liczników).

7.4 Modyfikacje aplikacji nadrzędnej

Funkcjonalność programów procesora programowego jest określona i stała, to znaczy że dany kod wykonuje określoną czynność w określony sposób. Z drugiej strony, od całego systemu pomiarowego, tj. aplikacji nadrzędnej oraz kamery, oczekuje się pewnej elastyczności. Przykładowo, aplikacja nadrzędna powinna pozwalać użytkownikowi na rejestrację obrazów w określonym trybie, ale z możliwością określenia liczby obrazów do zebrania oraz z możliwością podjęcia decyzji czy rejestracja ma być wyzwalana sygnałem zewnętrznym, czy też zachodzić automatycznie. W celu pogodzenia powyższych wymagań, aplikacja nadrzędna została wyposażona w dwie funkcje wspomagające modyfikację kodu programu przed jego kompilacją i uruchomieniem na procesorze programowym.

Pierwsza z funkcji pozwala na podmianę w kodzie programu procesora programowego liczb w jednej lub więcej definicji stałych liczbowych. Przykład programu procesora programowego, który nadaje się do modyfikacji przez aplikację nadrzędną (definiuje zmienną liczbę ramek do zarejestrowania „FRAME_NR”) pokazano na rysunku 7.14.

```

$GATE_OPEN 5
$FRAME_NR 1

ConstR = FRAME_NR
LoopTimes (ConstR)

    ShiftR.SetBit(GATE_OPEN)
    @ShiftRegToChipConfig

    ShiftR.ClrBit(GATE_OPEN)
    @ShiftRegToChipConfig

    @ReadChip

LoopEnd

```

Rys. 7.14. Przykład pseudokodu programu do rejestracji jednego obrazu. Modyfikacja liczby w definicji stałej liczbowej „FRAME_NR” pozwala aplikacji nadrzędnej modyfikować liczbę ramek do rejestracji.

Druga z funkcji wspomagających modyfikację kodu przez aplikację nadrzędną pozwala na usunięcie określonych linii kodu. Linie te oznaczają się markerami wstawionymi w linię kodu po znaku komentarza (rys. 7.15).

```

$GATE_OPEN 5
$FRAME_NR 9

ConstR = FRAME_NR
LoopTimes (ConstR)

    WaitFor(Trig=0) -- #TRIGGER
    WaitFor(Trig=1) -- #TRIGGER

    ShiftR.SetBit(GATE_OPEN)
    @ShiftRegToChipConfig

    ShiftR.ClrBit(GATE_OPEN)
    @ShiftRegToChipConfig

    @ReadChip

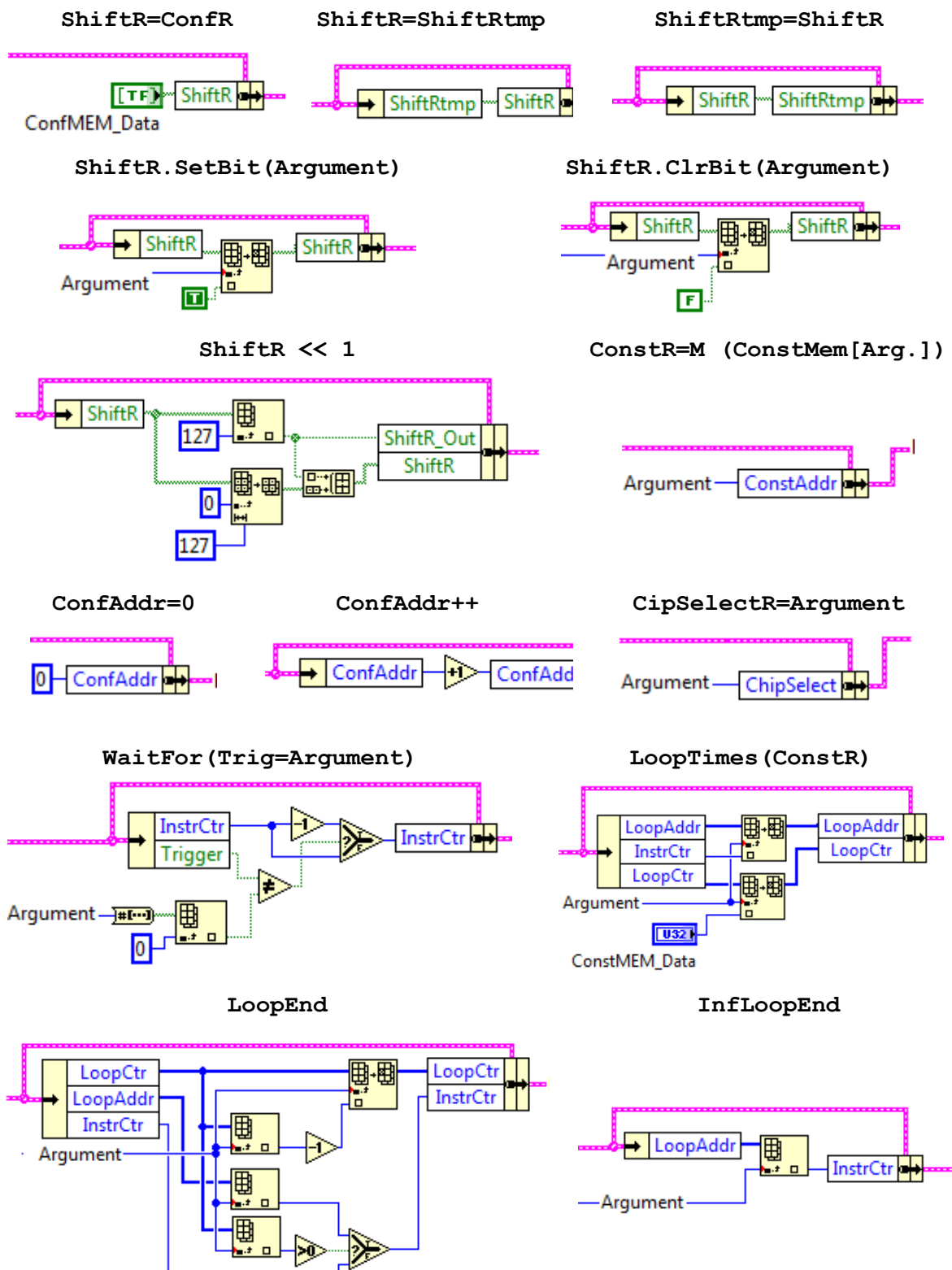
LoopEnd

```

Rys. 7.15. Przykład pseudokodu programu do rejestracji określonej liczby obrazów synchronicznie z sygnałem wyzwalania (zbrocze rosnące). Usunięcie przez aplikację nadrzędną linii z markerem „#TRIGGER” spowoduje rejestrację obrazów bez oczekiwania na sygnał wyzwalający.

7.5 Implementacja

Procesor programowy został zaimplementowany przy użyciu modułu FPGA oraz środowiska LabVIEW. Na rysunku 7.16 pokazano fragmenty kodu odpowiadające poszczególnym instrukcjom procesora programowego. Maksymalna częstotliwość pracy procesora programowego, zaimplementowanego przy użyciu modułu FPGA w środowisku LabVIEW wynosi 80 MHz.



Rys. 7.16. Implementacje poszczególnych instrukcji procesora programowego. Pogrubiona przerywana linia oznacza klaster z rejestrami procesora programowego.

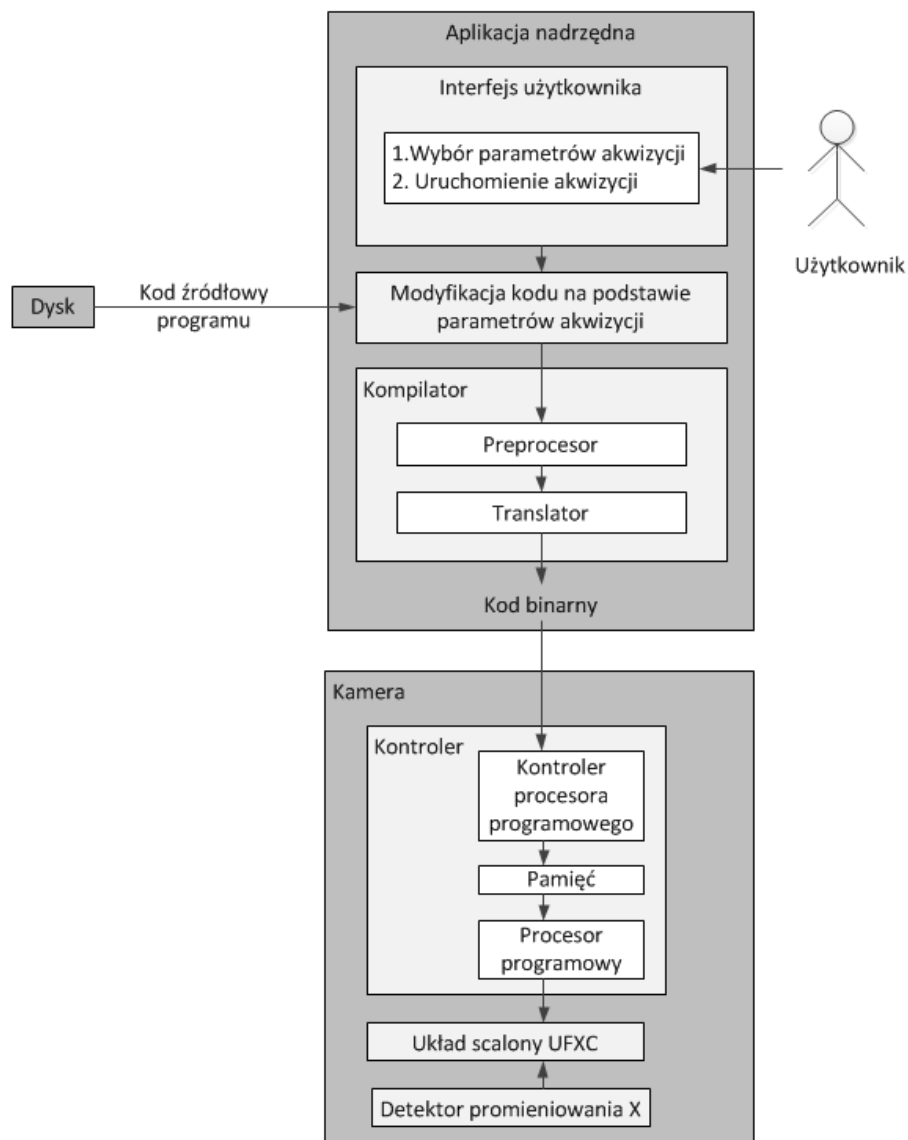
Procesor programowy został również zaimplementowany w języku Verilog i zsyntezowany dla różnych układów FPGA [79]. W tabeli 7.3 pokazano maksymalną częstotliwość pracy dla wybranych układów FPGA.

Tabela 7.3 Maksymalne częstotliwości pracy procesora programowego dla wybranych układów FPGA [79].

Układ FPGA	f_{\max} [MHz]
Spartan6-2	90
Artix7-2	200
Kintex7-2	320
Virtex7-3	350

7.6 Schemat użycia procesora programowego

Na rysunku 7.17 pokazano schemat przepływu danych w systemie pomiarowym podczas uruchomienia akwizycji obrazów. W pierwszej kolejności użytkownik za pomocą interfejsu użytkownika (aplikacji nadrzędnej) określa parametry akwizycji obrazów (tryb pracy, liczby ramek, sposób wyzwalania rejestracji, czas otwarcia przesłony), a następnie uruchamia akwizycję. W dalszej kolejności z pliku odpowiedniego dla wybranego trybu akwizycji zostaje wczytany kod źródłowy programu procesora programowego. Treść kodu zostaje zmodyfikowana w celu dopasowania jej do parametrów akwizycji (liczba ramek, sposób wyzwalania, czas otwarcia przesłony). Tak przygotowany kod zostaje przetworzony przez preprocesor, po czym zostaje zamieniony na kod binarny przez translator. Następnie procesor programowy zostaje zatrzymany, kod binarny zostaje wgrany do pamięci procesora programowego, a sam procesor programowy zostaje ponownie uruchomiony. Aplikacja nadrzędna może monitorować postęp wykonania programu procesora programowego, odczytując stan odpowiednich liczników pętli procesora programowego.



Rys. 7.17. Schemat przepływu danych w systemie pomiarowym, podczas uruchomienia akwizycji obrazów.

7.7 Przykładowy program użytkowy

Na rysunku 7.18 pokazano kod programu procesora programowego, używany podczas rejestracji obrazów w trybie ciągłym (opisanym w podrozdziale 4.1). Warto podkreślić, że:

- program został napisany z użyciem zaledwie dwunastu różnych instrukcji,
- program składa się tylko z 58 linii kodu,
- większość kodów programu (podprogramy) jest taka sama w programach realizujących pozostałe tryby odczytu.

Program główny

```

$ALL_CHIPS 16
$FRAME_NR 10

ChipSelectR=ALL_CHIPS

ConfAddr=0
ConfR = ConfMem[ConfAddr]
ShiftR=ConfR

@GateOpen

ConstR=FRAME_NR
LoopTimes (ConstR)

    @CounterH_ToShiftMode
    @ReadCurrentCounter_14bit
    @CounterH_ToCountMode

    @CounterL_ToShiftMode
    @ReadCurrentCounter_14bit
    @CounterL_ToCountMode

LoopEnd

@StopProgram
    
```

Podprogramy

```

GateOpen
ShiftR.SetBit (GATE_OPEN)
@ShiftReg2ChipConfig

CounterH_ToShiftMode
ShiftR.SetBit (PCLK_H_ENABLE)
@ShiftReg2ChipConfig
ShiftR.SetBit (PIXEL_SHIFT_H)
@ShiftReg2ChipConfig

CounterH_ToCountMode
p; ShiftR.ClrBit (PIXEL_SHIFT_H)
    @p_ShiftReg2ChipConfig
p; ShiftR.ClrBit (PCLK_H_ENABLE)
    @p_ShiftReg2ChipConfig

CounterL_ToShiftMode
ShiftR.SetBit (PCLK_L_ENABLE)
@ShiftReg2ChipConfig
ShiftR.SetBit (PIXEL_SHIFT_L)
@ShiftReg2ChipConfig

CounterL_ToCountMode
p; ShiftR.ClrBit (PIXEL_SHIFT_L)
    @p_ShiftReg2ChipConfig
p; ShiftR.SetBit (PCLK_H_ENABLE)
    @p_ShiftReg2ChipConfig
ShiftR.ClrBit (PCLK_L_ENABLE)
ShiftR.ClrBit (PCLK_H_ENABLE)
@ShiftReg2ChipConfig

ReadCurrentCounter_14bit
    ConstR = 3583
    LoopTimes (ConstR)
    s d; ConstR = 7
    s d; LoopTimes (ConstR)
p s d; LoopEnd
    s d; ConstR = 3
    s d; LoopTimes (ConstR)
    s d; LoopEnd
    LoopEnd

StopProgram
ConstR=4294967290
LoopTimes (ConstR)
LoopInfEnd
    
```

Rys. 7.18. Kod programu procesora programowego sterujący układem scalonym UFXC podczas rejestracji obrazów w trybie ciągłym.

8 Testy prototypowej kamery bazującej na układzie scalonym UFXC z wykorzystaniem promieniowaniem X

Zaprojektowany prototyp kamery do rejestracji promieniowania X, pracujący w trybie zliczania pojedynczych fotonów należało poddać testom z wykorzystaniem promieniowania X, w celu sprawdzenia poprawności działania oraz wyznaczenia parametrów, takich jak wzmacnienie oraz szumy w matrycy pikseli toru pomiarowego. Do tego celu zbudowano stanowisko pomiarowe, którego głównym elementem jest lampa rentgenowska.

W celu weryfikacji oraz parametryzacji prototypu kamery do rejestracji promieniowania X, ustalono szereg testów, które można podzielić na cztery grupy:

- wstępna charakteryzacja wiązki promieniowania X,
- wyznaczenie parametrów, takich jak wzmacnienie i szumy, dla całej matrycy pikseli prototypowej kamery do rejestracji promieniowania X,
- rejestracja przykładowych nieruchomych obrazów,
- rejestracja obrazów w ruchu, praca kamery w różnych trybach.

8.1 Stanowisko pomiarowe

Promieniowanie X jest promieniowaniem elektromagnetycznym o długości fali λ od 10 pm do 10 nm [80]. Znając długość fali można wyznaczyć jej częstotliwość ν oraz energię promieniowania E_x . Zależności pomiędzy wymienionymi wartościami są następujące:

$$\nu = \frac{c}{\lambda} \quad (8.1)$$

jak również:

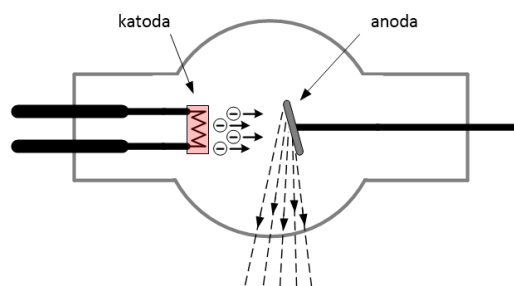
$$E_x = h\nu = \frac{hc}{\lambda} \quad (8.2)$$

gdzie:

c – prędkość światła,

h – stała Plancka.

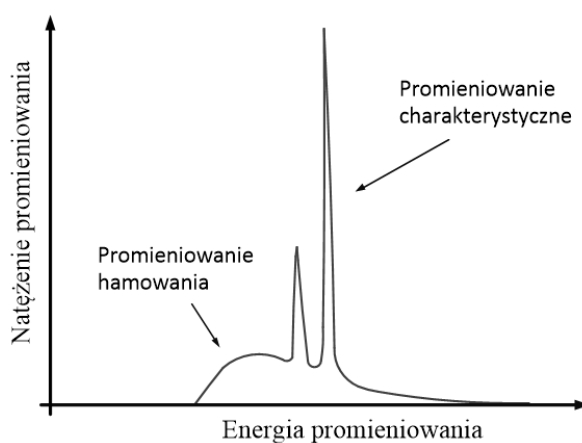
Promieniowanie X spotykane jest w środowisku naturalnym (promieniotwórczość naturalna) lub wytwarzane laboratoryjnie jako promieniowanie charakterystyczne, hamowania lub synchrotronowe [22, 81]. Do laboratoryjnego wytworzenia promieniowania X stosuje się lampy rentgenowskie. Zbudowane są one z dwóch elektrod (katody i anody) umieszczonych w szklanej bańce, w której panuje wysoka próżnia [80, 82, 83]. Poglądowy schemat lampy rentgenowskiej przedstawia rysunek 8.1.



Rys. 8.1. Poglądowy schemat lampy rentgenowskiej.

Obie elektrody podłączone są do źródła wysokiego napięcia o wartości od kilku do kilkuset kV [80]. Katodę lampy rentgenowskiej stanowi drut wolframowy, natomiast do budowy anody stosuje się materiały o różnej liczbie atomowej Z (w zależności od pożądanej energii promieniowania X).

Swobodne elektrony o dużej energii emitowane z rozżarzonego drutu wolframowego przyspieszają w polu elektrycznym. Następnie uderzają w powierzchnię metalowej anody, w wyniku czego następuje emisja promieniowania hamowania oraz charakterystycznego. Promieniowanie hamowania jest wynikiem hamowania rozpędzonych elektronów w polu jądra atomowego materiału anody [83]. Promieniowanie charakterystyczne powstaje natomiast na skutek wybicia elektronu atomu (przez bombardowane elektrony) z jednej z jego wewnętrznych powłok. Miejsce wybitego elektronu zastępuje elektron z wyższej powłoki, a takiemu przejściu towarzyszy emisja kwantu promieniowania, zaś jego energia jest równa różnicy energii wiązań elektronu [22, 82]. Na rysunku 8.2 przedstawione zostało przykładowe widmo promieniowania lampy rentgenowskiej.

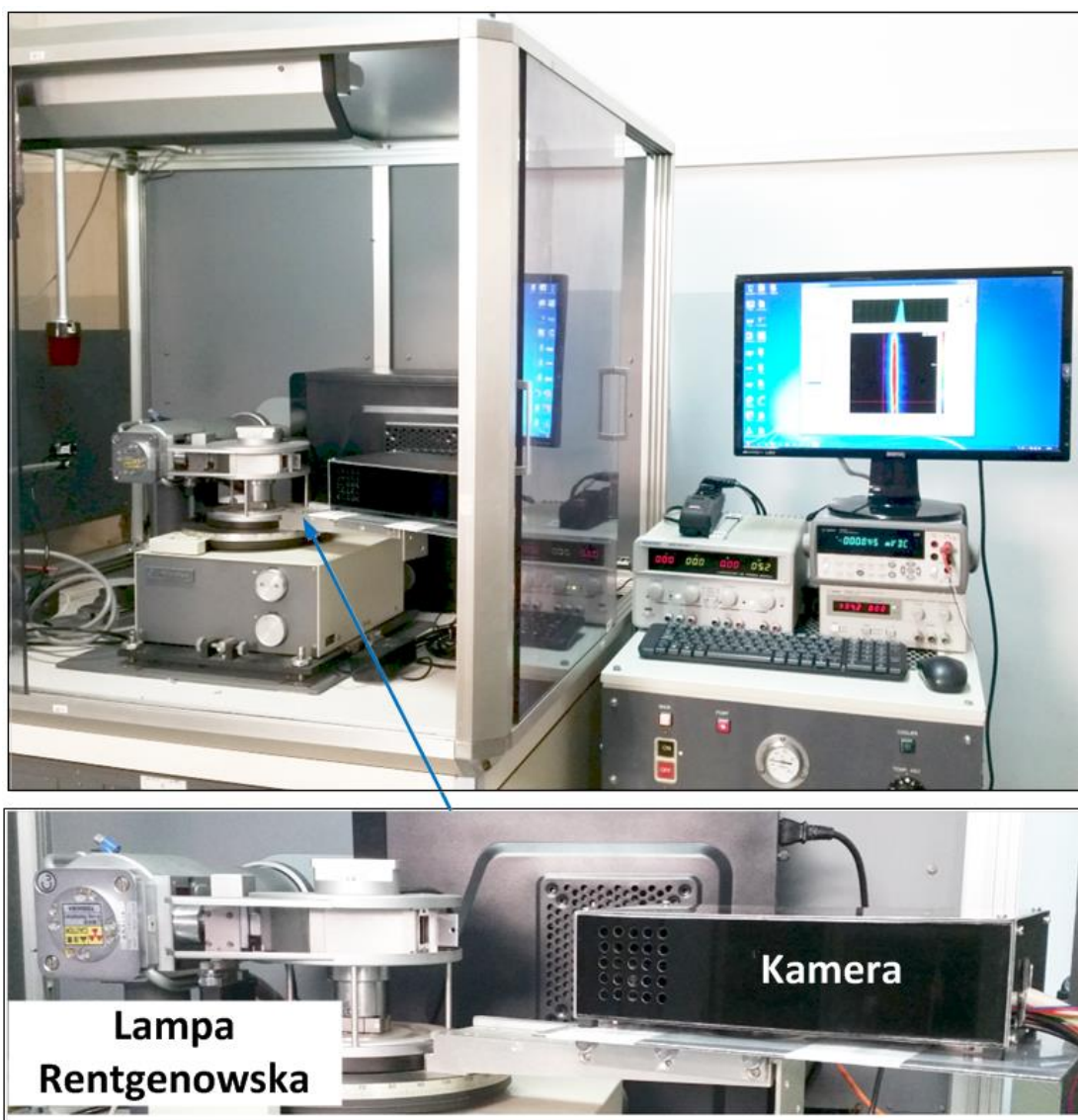


Rys. 8.2. Przykładowe widmo promieniowania lampy rentgenowskiej.

Widma obu emisji promieniowania (hamowania oraz charakterystycznego) nakładają się na siebie. Widmo promieniowania hamowania ma rozkład ciągły oraz emitowane jest głównie w kierunku katody, natomiast widmo promieniowania charakterystycznego posiada rozkład dyskretny oraz izotropowy rozkład przestrzenny [82]. Aby uzyskać widmo monochromatyczne w lampie rentgenowskiej, okno wyjścia umieszcza się pod kątem 90° lub większym.

W zależności od materiału z którego wykonana jest anoda, uzyskuje się promieniowanie o różnych energiach, np. przy zastosowaniu anody miedzianej energia fotonów wynosi 8,04 keV, dla anody z molibdenu 17,5 keV, natomiast dla anody wykonanej z chromu 5,4 keV.

Testy Kamery zostały przeprowadzone przy użyciu stanowiska pomiarowego 2MP-26, firmy Rigaku (rys. 8.3). Stanowisko wyposażone jest w lampę rentgenowską, zawierającą miedzianą anodą emitującą fotony o energii 8,04 keV.

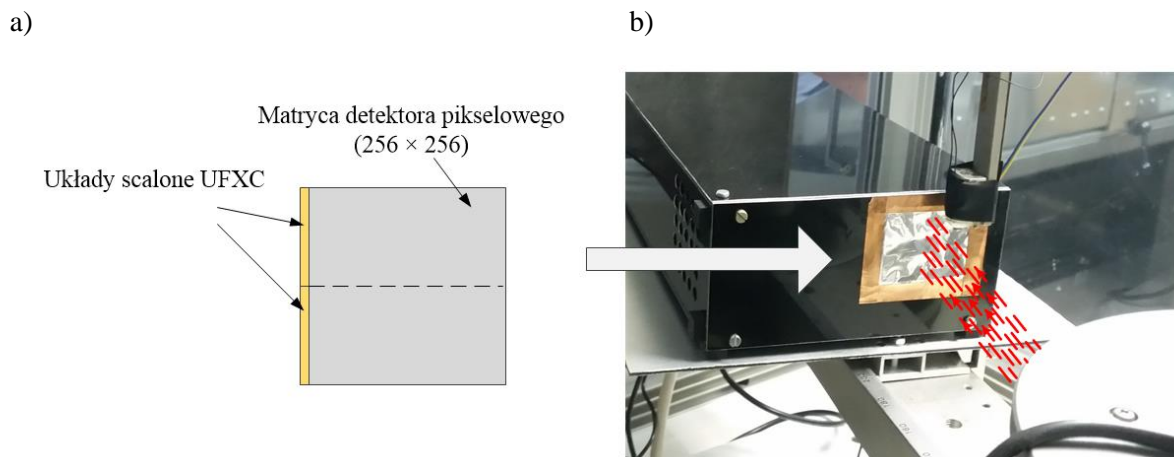


Rys. 8.3. Stanowisko pomiarowe do rejestracji promieniowania X.

Kompletne stanowisko pomiarowe zawiera:

- lampę rentgenowską z anodą z miedzi emitującą fotony o energii 8,04 keV,
- prototypową kamerę do rejestracji promieniowania X pracującą w trybie zliczania pojedynczych fotonów,
- jednostkę PC z aplikacją użytkownika.

Na rysunku 8.4 przedstawiony został widok poglądowy padania wiązki promieniowania X na obszar detektora prototypowej kamery. Padająca wiązka promieniowania X obejmuje obszar detektora wynoszący około $2\text{ mm} \times 20\text{ mm}$.



Rys. 8.4. a) Widok ułożenia detektora i układów scalonych UFXC, b) Poglądowy widok padania wiązki promieniowania X.

8.2 Zakres testów

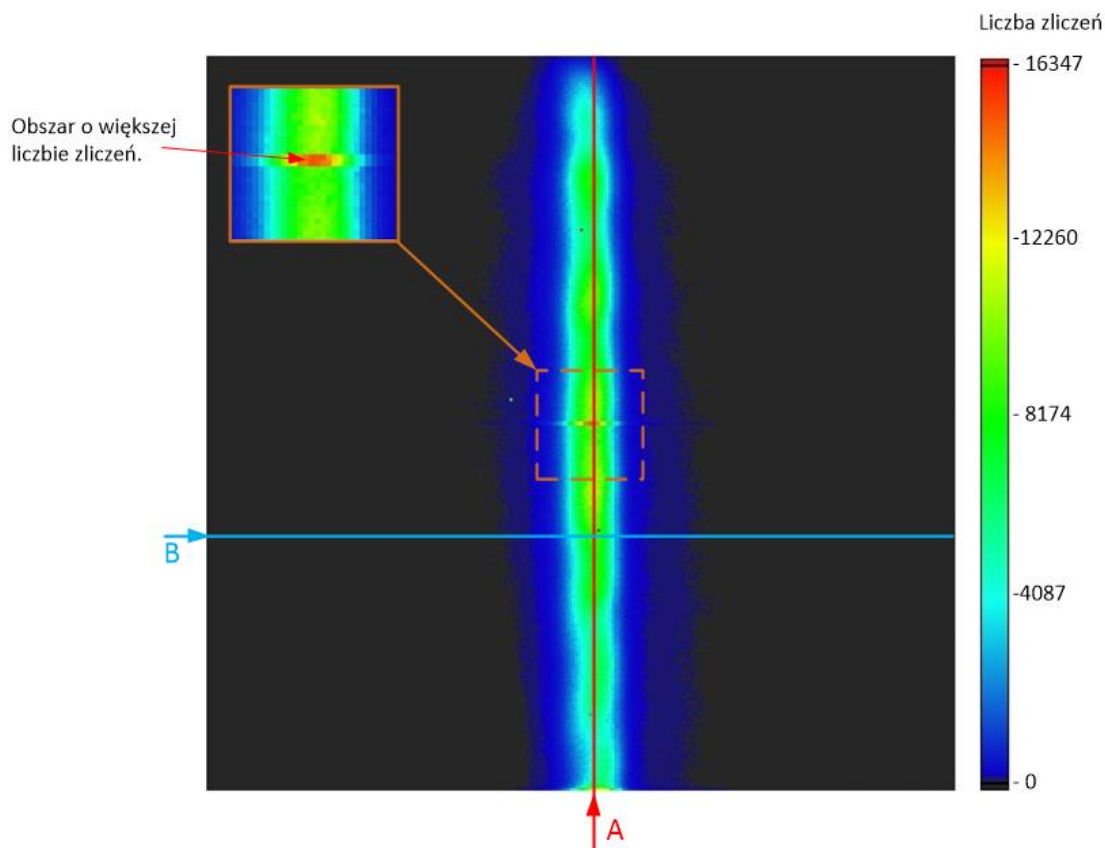
Zakres przeprowadzonych testów podzielony został na trzy etapy. Pierwszy etap polegał na wstępnej charakteryzacji wiązki promieniowania X. W ramach tego etapu wykonano pomiar rozkładu przestrzennego mierzonego promieniowania X, zaobserwowano zależność natężenia promieniowania X od prądu lampy oraz stabilność natężenia w czasie. Drugi etap poświęcony został na charakteryzację pikseli w matrycy. Zawarł on takie testy, jak pomiar rozrzutu poziomów stałych na wejściu dyskryminatorów, pomiar zakresu regulacji wzmocnienia pikseli, pomiar wzmocnienia i szumów w matrycy pikseli, oraz wykrycie wadliwych pikseli. W ostatnim etapie testów zarejestrowano przykładowe obrazy, pokazując na ich podstawie różne tryby pracy kamery do rejestracji promieniowania X.

8.3 Wstępna charakteryzacja wiązki promieniowania X

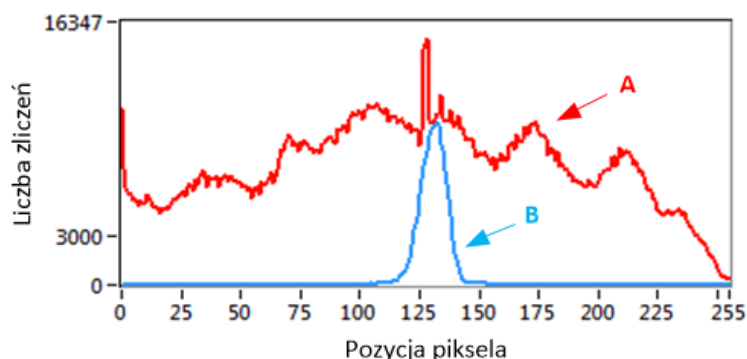
8.3.1 Rozkład przestrzenny natężenia promieniowania X

Na rysunku 8.5 pokazano wynik rejestracji promieniowania X w trybie *standardowym* (podrozdział 4.1) oraz profile intensywności wiązki promieniowania X, zebrane wzdłuż oraz w poprzek obszaru o dużym natężeniu promieniowania. Jak można zauważyć na rysunku 8.5, promieniowanie X uzyskane z lampy rentgenowskiej pokrywa tylko niewielką część detektora.

a)

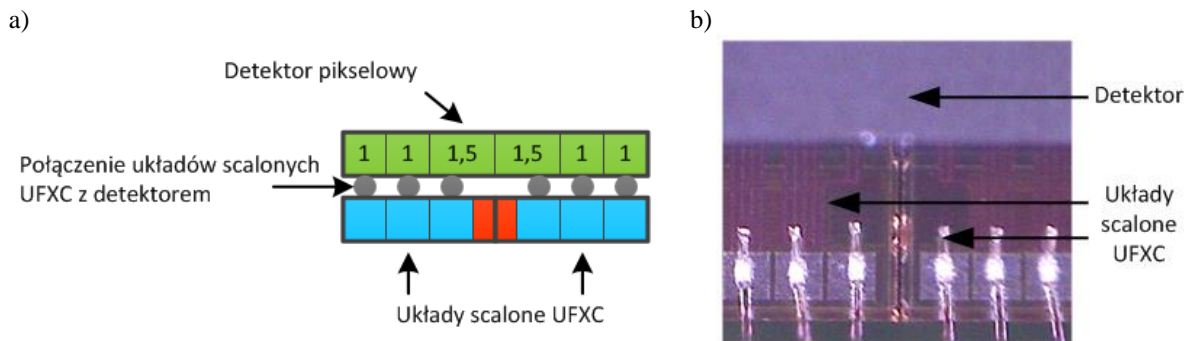


b)



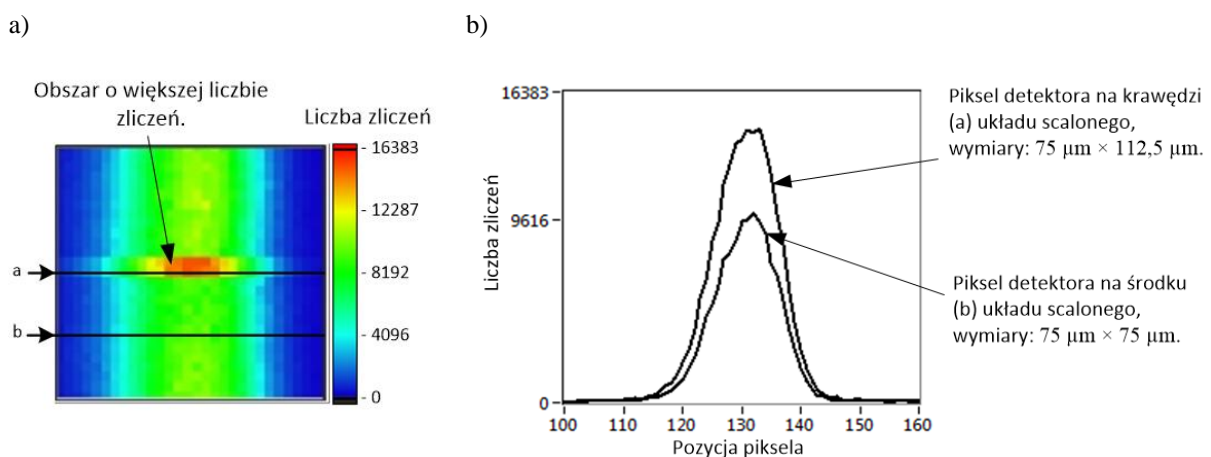
Rys. 8.5. a) Mapa intensywności promieniowania (wyrażonego w liczbie zliczeń), b) Profile intensywności promieniowania zebrane wzdłuż (A) oraz w poprzek (B) obszaru o dużym natężeniu promieniowania.

W środkowej części obrazu (rys. 8.5a) widoczny jest skokowy wzrost natężenia promieniowania. Bierze się on z faktu, że przy łączeniu układów scalonych w matryce należy zachować pewną minimalną odległość pomiędzy układami scalonymi, wynikającą z konieczności umieszczenia na brzegu układu scalonego pierścieni ochronnych [84, 85, 86]. Aby nie dopuścić do obszarów martwych na detektorze (obszarów bez pikseli), na styku dwóch układów scalonych UFXC zastosowano piksele detektora o powierzchni 1,5 razy większej ($75\ \mu\text{m} \times 112,5\ \mu\text{m}$) niż pozostałe piksele ($75\ \mu\text{m} \times 75\ \mu\text{m}$). Poglądowy schemat oraz zdjęcie zastosowanego rozwiązania przedstawia rysunek 8.6.



Rys. 8.6. a) Poglądowy schemat eliminacji martwych stref detektora, b) Zdjęcie połączenia detektora pikselowego z układami scalonymi UFXC na styku dwóch układów scalonych.

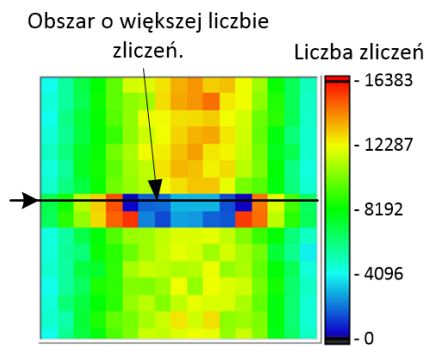
Z uwagi na 1,5 razy większy rozmiar pikseli detektora na granicy połączenia dwóch układów scalonych UFXC, liczba rejestrowanych zliczeń w tych pikselach będzie większa niż w pikselach sąsiednich o standardowych wymiarach (rys. 8.7a). Na rysunku 8.7b pokazano wykres liczby zliczeń dla pikseli o standardowym rozmiarze ($75 \mu\text{m} \times 75 \mu\text{m}$) oraz powiększonym ($75 \mu\text{m} \times 112,5 \mu\text{m}$).



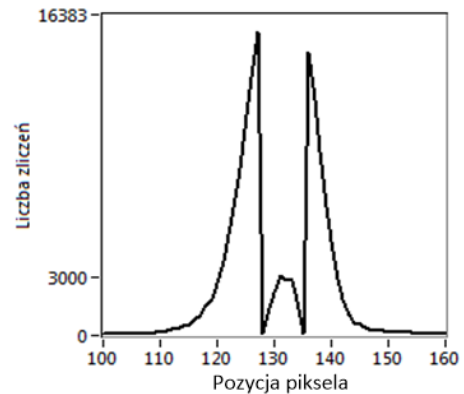
Rys. 8.7. a) Mapa intensywności promieniowania dla fragmentu detektora znajdującego się na styku dwóch układów scalonych UFXC, b) Wykres liczby zliczeń dla pikseli detektora leżących na krawędzi i na środku układu scalonego UFXC.

Warto wspomnieć o fakcie, że istnienie pikseli detektora o znacząco większej liczbie zliczeń wymusza dobór czasu otwarcia przesłony (nazywanego dalej czasem ekspozycji t_{exp}), odpowiedniego dla tych pikseli. Dobór wspomnianego czasu, odpowiedniego dla pikseli znajdujących się poza krawędziami może skutkować przepelnieniem się liczników zliczających impulsy z pikseli na krawędziach, jak to przykładowo pokazano na rysunku 8.8.

a)



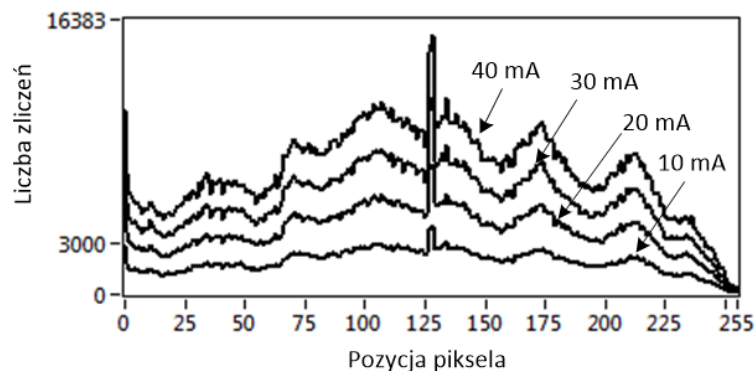
b)



Rys. 8.8. a) Mapa intensywności promieniowania dla fragmentu detektora znajdującego się na styku układów scalonych, b) Wykres liczby zliczeń przykładowego piksela dla czasu ekspozycji dobranego pod kątem maksymalnego wykorzystania pojemności liczników pikseli detektora znajdujących się poza krawędziami układu scalonego UFXC.

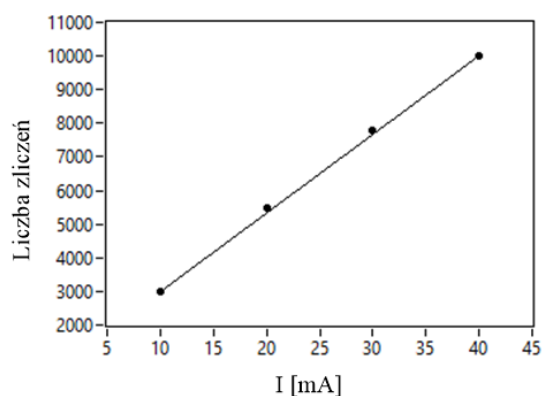
8.3.2 Zależność natężenia promieniowania od prądu lampy

Na rysunku 8.9 pokazano rodzinę profili intensywności wiązki promieniowania X, zarejestrowanych wzdłuż obszaru o dużym natężeniu promieniowania. Poszczególne profile odpowiadają różnym ustawieniom prądu lampy. Rejestracja została przeprowadzona dla napięcia zasilania lampy wynoszącego 35 kV.



Rys. 8.9. Rodzina profili intensywności promieniowania dla różnych prądów lampy.

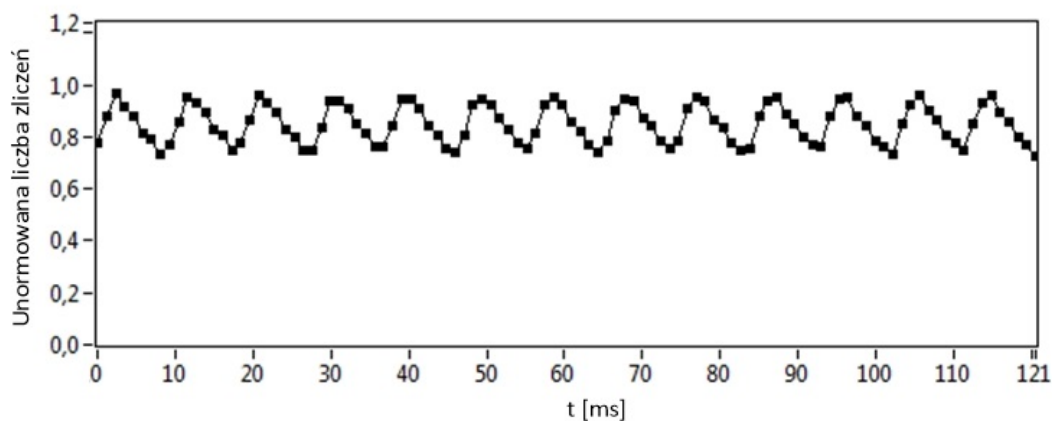
Na rysunku 8.10 pokazano zależność liczby zliczeń dla wybranego przykładowego piksela od natężenia prądu lampy przy określonym napięciu lampy (35 kV). Jak widać, zależność jest w przybliżeniu liniowa.



Rys. 8.10. Zależność liczby zliczeń (dla wybranego przykładowego piksela) od natężenia prądu lampy.

8.3.3 Zależność natężenia promieniowania od czasu

Przy użyciu trybu *ciągłego* (opisanego w podrozdziale 4.1), z częstotliwością akwizycji równą 872 obrazów na sekundę, zarejestrowano zależność natężenia promieniowania od czasu. Wynik przedstawiony jest na rysunku 8.11.



Rys. 8.11. Wykres zależności natężenia promieniowania X od czasu.

Na podstawie otrzymanych wyników stwierdzono tętnienia o stałej amplitudzie równej $\sim 10\%$ wartości średniej natężenia i częstotliwości bliskiej częstotliwości sieci energetycznej. Po rozmowach z przedstawicielami firmy produkującej ten typ lampy rentgenowskiej (użytej w eksperymentach) potwierdzono, że w starych modelach lampy rentgenowskiej takie zachowanie jest możliwe.

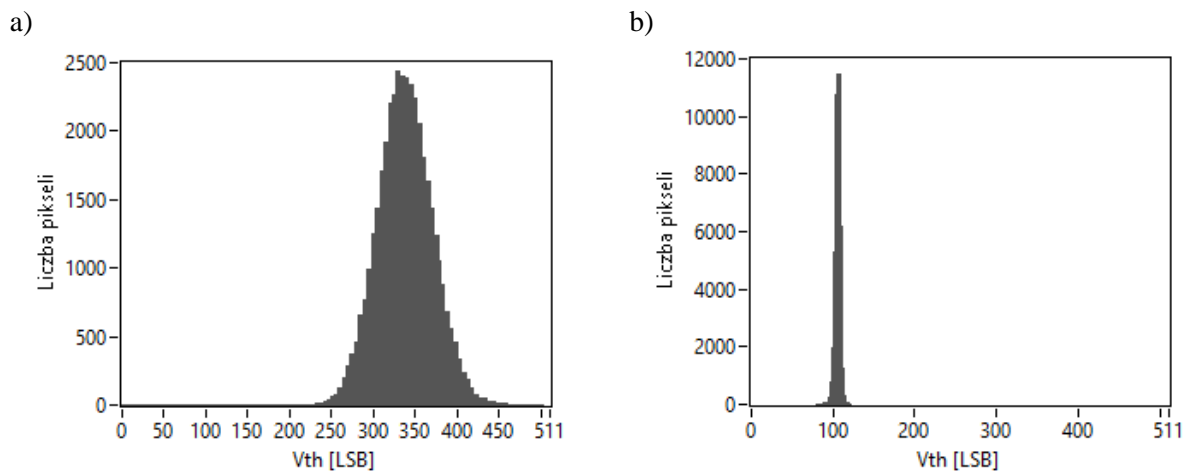
8.4 Charakteryzacja pikseli w matrycy

Podstawowymi analogowymi parametrami modułu prototypowej kamery do rejestracji promieniowania X są wzmocnienie oraz szumy w matrycy pikseli. Równie ważnym parametrem jest zakres regulacji wzmocnienia oraz rozrzut poziomów stałych na wejściu dyskryminatorów, przed i po wykonaniu procedury korekcji.

W niniejszym podrozdziale zostaną przedstawione wyniki przeprowadzonej charakteryzacji pikseli w matrycy oraz dobrana zostanie wartość progu dyskryminacji i wzmocnienia dla poprawnej rejestracji obrazów.

8.4.1 Pomiar rozrzutu poziomów stałych na wejściu dyskryminatorów

W prototypowej kamerze do rejestracji promieniowania X, w pierwszym kroku charakteryzacji matrycy pikseli, przeprowadzono korekcje rozrzutów poziomów stałych na wejściu dyskryminatorów. Metoda ta została opisana w podrozdziale 5.1.5 (*sposób I*). Histogram rozrzutów poziomów stałych na wejściu dyskryminatorów przed i po wykonaniu procedury korekcyjnej przedstawia rysunek 8.12.



Rys. 8.12. Histogram rozrzutów poziomów stałych na wejściu dyskryminatorów dla matrycy pikseli: a) przed korekcją, b) po korekcji.

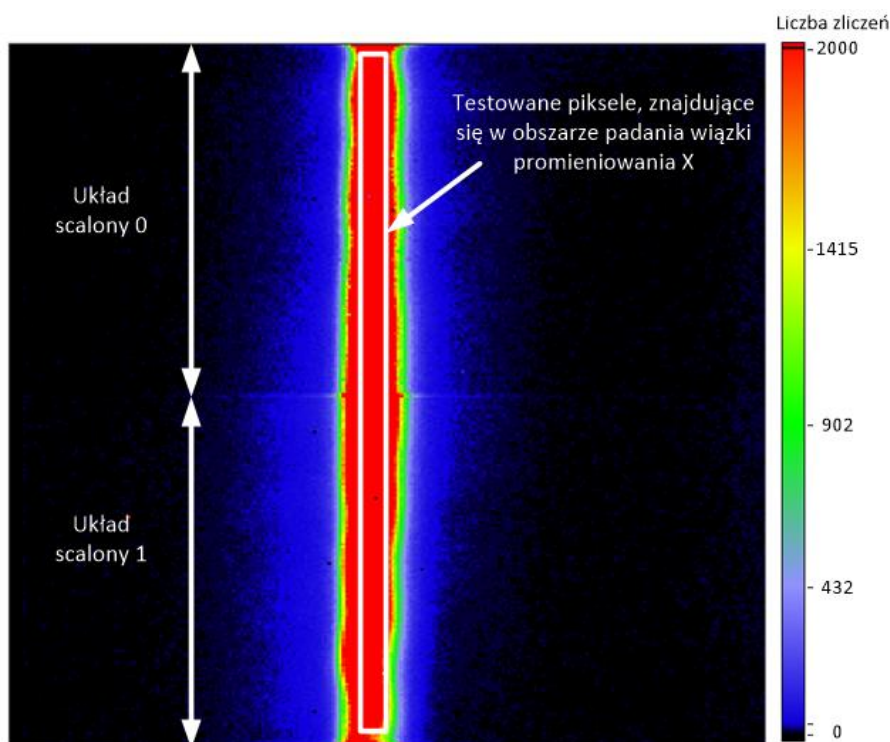
Zestawione wyniki przedstawia tabela 8.1. Cała matryca pikseli posiada dobrą zdolność korekcyjną, a wyniki rozrzutu po wykonaniu procedury korekcji są zadowalające.

Tabela 8.1 Zestawienie rozrzutów poziomów stałych na wejściu dyskryminatorów przed oraz po wykonaniu procedury korekcyjnej (dla przetwornika ustawiającego próg dyskryminacji 1 LSB = 0,56 mV).

Odchylenie standardowe	Przed korekcją	Po korekcji
σ [mV]	18,18	1,55

8.4.2 Pomiar zakresu regulacji wzmocnienia

Układ scalony UFXC posiada dwustopniowe wzmocnienie, regulowane za pomocą rejestrów *bgcsa* oraz *bg*. Rejestr *bgcsa*, odpowiedzialny za regulację wzmocnienia w stopniu CSA jest 1-bitowy, natomiast 16-bitowy rejestr *bg*, odpowiedzialny jest za wartość wzmocnienia w stopniu SHAPER. Ze względu na ograniczony obszar padania wiązki promieniowania X na powierzchnię detektora, test pomiaru zakresu regulacji wzmocnienia wykonano dla 1000 wybranych pikseli znajdujących się w obszarze padania wiązki promieniowania X (rys. 8.13).

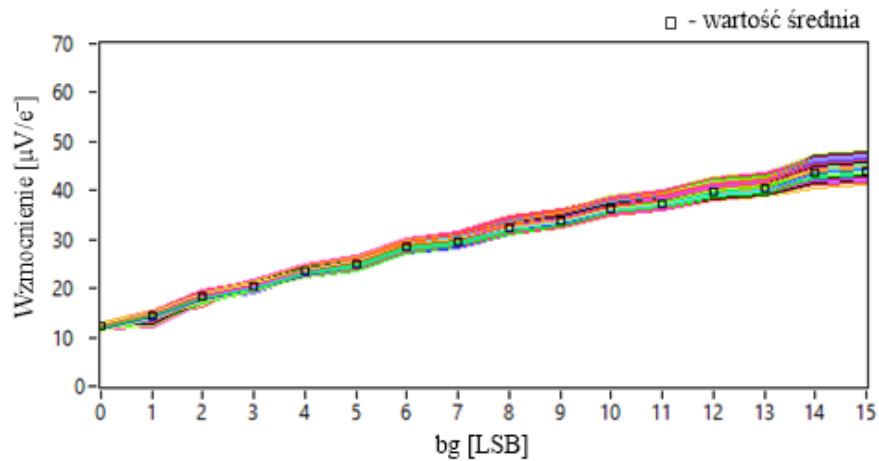


Rys. 8.13. Poglądowy widok obszaru matrycy, w którym znajdują się testowane piksele.

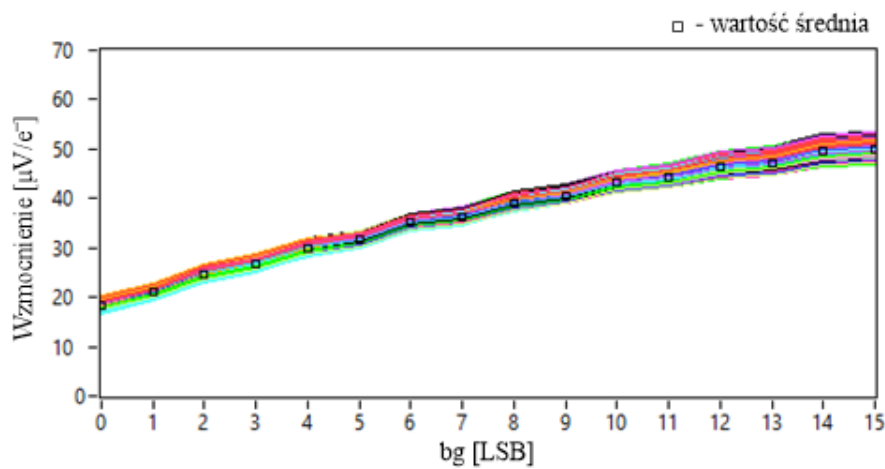
Test wykonany został dla wszystkich kombinacji ustawień obu rejestrów (*bgcsa*, *bg*), natomiast procedurę przeprowadzenia testu opisano w podrozdziale 5.1.3. Napięcie pracy lampy rentgenowskiej ustawiono na 40 kV, zaś prąd na 30 mA. Czas ekspozycji kamery został ustawiony na 1,5 s.

Wyniki przeprowadzonych testów zostały przedstawione na rysunku 8.14.

a)



b)



Rys. 8.14. Zależność wzmocnienia od wartości ustawień rejestru bg : a) dla $bgcsa$ równego 0, b) dla $bgcsa$ równego 1.

Zakres regulacji wzmocnienia dla prototypowej kamery do rejestracji promieniowania X, wynosi odpowiednio:

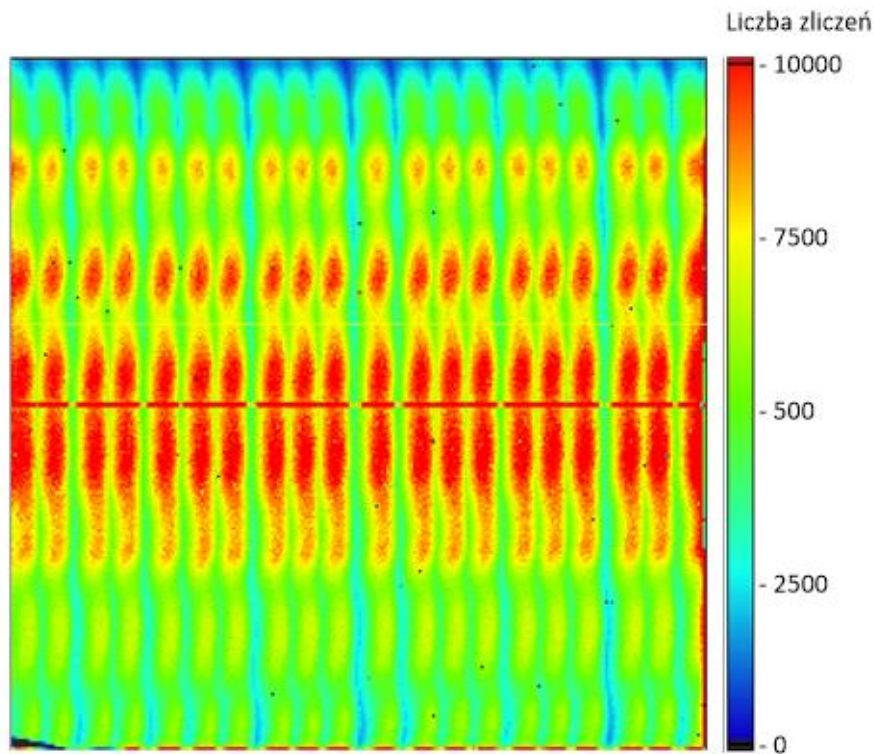
- dla $bgcsa = 0$, od 12 $\mu\text{V}/e^-$ do 42 $\mu\text{V}/e^-$,
- dla $bgcsa = 1$, od 19 $\mu\text{V}/e^-$ do 51 $\mu\text{V}/e^-$.

Do dalszych testów zdecydowano się na następujące ustawienie wzmocnienia: w połowie zakresu dla stopnia SHAPER ($bg = 7$) oraz maksymalnego dla stopnia CSA ($bgcsa = 1$).

8.4.3 Pomiar wzmocnienia i szumów w matrycy pikseli

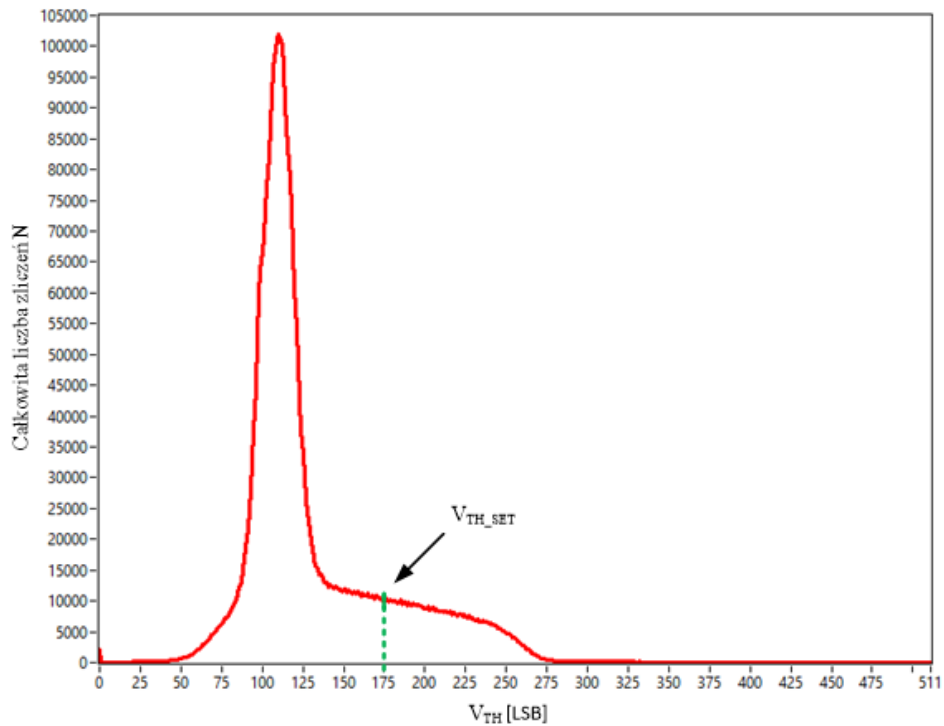
Ze względu na mały obszar padania promieniowania X na matrycę pikseli wykonano skanowanie progiem dyskryminacji dla 20 pozycji (wiązka promieniowania X- detektor), przesuając kamerę co 1 mm. Czas ekspozycji kamery wynosił 1,5 s, natomiast napięcie pracy lampy rentgenowskiej ustawiono na 40 kV, zaś prąd 30 mA.

Następnie dla każdego piksela oraz progu dyskryminacji obliczono maksymalną liczbę zliczeń, uzyskując obraz przedstawiony na rysunku 8.15 (dla przykładowej wartości progu dyskryminacji $V_{TH} = 175$ LSB).



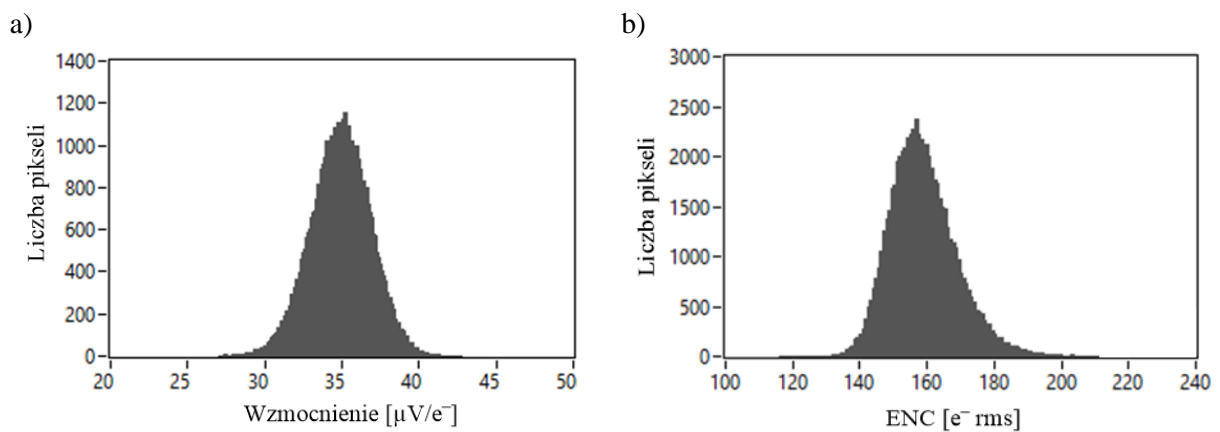
Rys. 8.15. Obraz maksymalnej liczby zliczeń z 20 pozycji wiązki promieniowania X- detektor, dla przykładowej wartości $V_{TH} = 175$ LSB.

Otrzymane z procedury testowej (opisanej w podrozdziale 5.1.3) widmo całkowite dla przykładowego piksela, przedstawia rysunek 8.16.



Rys. 8.16. Przykładowe widmo całkowite dla pojedynczego pikseli matrycy prototypowej kamery do rejestracji promieniowania X.

Histogram obliczonych wzmocnień oraz ekwiwalentnego ładunku szumowego dla całej matrycy pikseli (256×256) został przedstawiony na rysunku 8.17.



Rys. 8.17. Histogram: a) wzmocnienia, b) ekwiwalentnego ładunku szumowego, dla całej matrycy pikseli (256×256).

Wartości liczbowe obliczonych parametrów (wzmocnienia oraz ekwiwalentnego ładunku szumowego) przedstawione są w tabeli 8.2.

Tabela 8.2 Zestawienie wyznaczonych wzmocnień (k_v) oraz ekwiwalentnego ładunku szumowego ENC, dla całej matrycy pikseli prototypowej kamery do rejestracji promieniowania X.

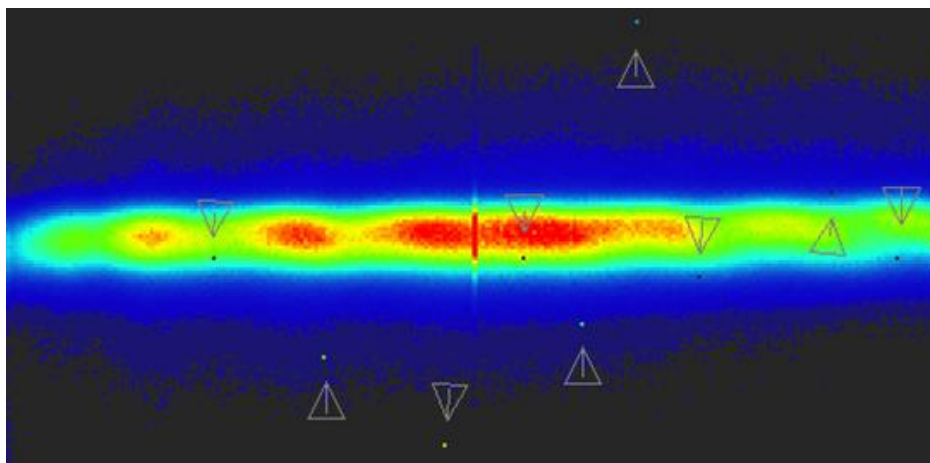
Wyznaczony parametr	Wartość średnia (m_e)	Odchylenie standardowe (σ)
K_v [$\mu V/e^-$]	34,91	1,9
ENC [e^- rms]	158,9	10

Wyniki charakteryzacji pikseli w matrycy prototypowej kamery do rejestracji promieniowania X, pokazały poprawną regulację parametrów, takich jak poziom stały na wejściu dyskryminatorów oraz zakres regulacji wzmocnienia (k_v). Podczas wykonywania testów stwierdzono stabilną pracę prototypu kamery, a otrzymane wyniki są zadowalające.

Na podstawie uzyskanych parametrów ustalono ustawienie cyfrowo-analogowego przetwornika sterującego napięciem progu dyskryminacji na wartość $V_{TH_SET} = 175$ LSB (rys. 8.16) i dla tej wartości zostaną wykonane kolejne testy prototypu kamery do rejestracji promieniowania X.

8.4.4 Wykrycie wadliwych pikseli

Na rysunku 8.18 pokazano obraz wiązki promieniowania (fragment obszaru detektora). Zaznaczono na nich piksele, które wyróżniają się od otoczenia. Ciemne piksele to piksele, które nie zliczają fotonów pomimo obecności promieniowania X. Jasne piksele to piksele, które rejestrują impulsy pomimo nieobecności promieniowania X.

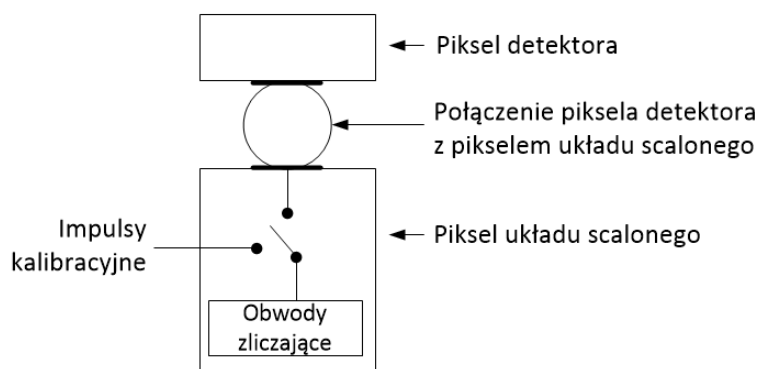


Rys. 8.18. Obraz wiązki promieniowania (fragment obszaru detektora) z zaznaczonymi niesprawnymi pikselami.

Można wskazać trzy główne przyczyny niesprawności pikseli:

- niesprawny piksel detektora,
- wadliwe połączenie między pikselem detektora a pikselem układu scalonego,
- niesprawny piksel w układzie scalonym.

Istnieje możliwość częściowego ustalenia przyczyny niesprawności, ponieważ obwód zliczający może zliczać zarówno impulsy z piksela detektora, jak i impulsy kalibracyjne (rys. 8.19).



Rys. 8.19. Poglądowy schemat układu: piksel detektora – połączenie – piksel układu scalonego UFXC.

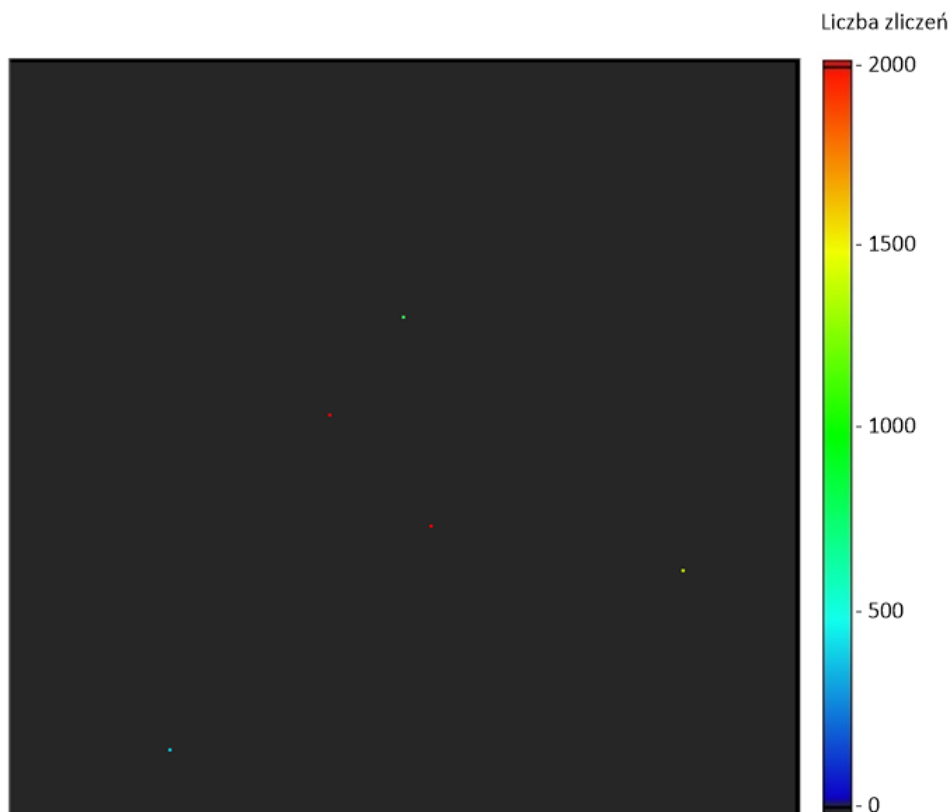
Sposób wyciągania wniosków dotyczących sprawności lub niesprawności pikseli układu scalonego UFXC, układu kalibracyjnego, lub pikseli detektora na podstawie pomiarów pokazano w tabeli 8.3.

Tabela 8.3 Sposób wyciągania wniosków dotyczących sprawności lub niesprawności pikseli układu scalonego UFXC, układu kalibracyjnego lub pikseli detektora na podstawie pomiarów.

Lp.	Impuls kalibracyjny	Impuls pochodzący z detektora	Wnioski
1	rejestrwany	rejestrwany	cały tor pomiarowy sprawny
2	rejestrwany	nierejestrwany	uszkodzone połączenie pomiędzy pikselem detektora a pikselem układu scalonego lub uszkodzony piksel detektora
3	nierejestrwany	rejestrwany	uszkodzony układ kalibracyjny
4	nierejestrwany	nierejestrwany	uszkodzony piksel detektora lub piksel układu scalonego

Obraz oświetlonej promieniowaniem X matrycy pikseli (dla progu dyskryminacji $V_{TH} = 175$ LSB) wykonano w podobny sposób jak w podrozdziale 8.4.3 (maksimum liczby zliczeń z obrazów wiązki promieniowania X dla 20 pozycji wiązka promieniowania X- detektor). Czarne punkty widoczne na rysunku 8.15 oznaczają niesprawne piksele.

Rejestracje minimalnej liczby zliczeń wykonano przy wyłączonej wiązce promieniowania X. Jasne punkty na rysunku 8.20 oznaczają niesprawne piksele zliczające pomimo braku wiązki promieniowania X.



Rys. 8.20. Obraz minimalnej liczby zliczeń (rejestracja przy wyłączonej wiązce promieniowania X).

Korzystając z obrazów przedstawionych na rysunku 8.15 i 8.20 oraz obrazów zarejestrowanych podczas podawania impulsów kalibracyjnych na wejścia pikseli układu scalonego UFXC ustalono, że 33 piksele nie działają poprawnie. W 5 przypadkach uszkodzone są piksele detektora lub połączenia z układem scalonym UFXC, w 7 układy kalibracyjne, natomiast w pozostałych ustalono, że przyczyną niepoprawnego zliczania są piksele układu scalonego UFXC. Obliczając stosunek liczby pikseli uszkodzonych do liczby pikseli poprawnie zliczających:

$$\frac{33}{65536} = 5 e^{-4} \quad (8.3)$$

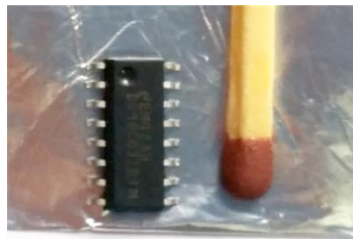
możemy wnioskować poprawną rejestrację matrycy pikseli kamery do rejestracji promieniowania X na poziomie 99,95%, co jest wynikiem zadowalającym.

8.5 Rejestracja przykładowych obrazów

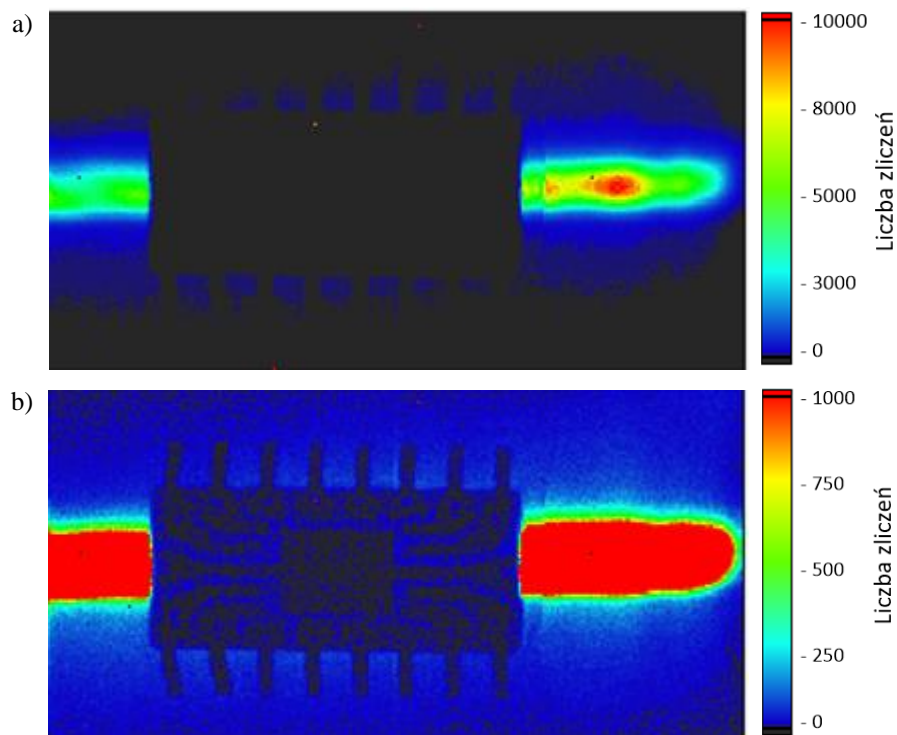
8.5.1 Pomiary w trybie *standardowym* oraz *długiego licznika*

Pomiary pokazane w poprzednich podrozdziałach zostały przeprowadzone w trybie z dwoma 14-bitowymi licznikami pracującymi równoległe. W niektórych typach pomiarów rozmiar liczników, a tym samym maksymalna liczba zliczeń (16383), może być pewnym ograniczeniem. Przykładem mogą być równoczesne rejestracje obiektów o małej i dużej absorpcji promieniowania X.

Wynik prześwietlenia układu scalonego w obudowie SOIC-16, umieszczonego na cienkiej blaszce aluminiowej, widocznego na rysunku 8.21, przedstawiono na rysunku 8.22. Test wykonano w trybie *standardowym* (licznik 14-bitowy) układu scalonego UFXC, przy czasie ekspozycji 100 ms.



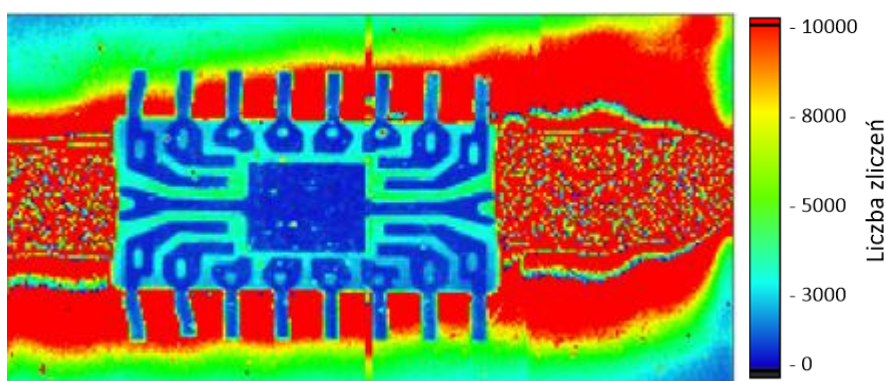
Rys. 8.21. Układ scalony w obudowie SOIC-16 na blaszce aluminiowej.



Rys. 8.22. Obraz układu scalonego umieszczonego na cienkiej blaszce pokazany w dwóch różnych skalach barw, określonych na podstawie zakresu maksymalnej liczby zliczeń: a) dla maksymalnej liczby zliczeń wynoszącej 10 tysięcy, b) dla maksymalnej liczby zliczeń wynoszącej 1 tysiąc.

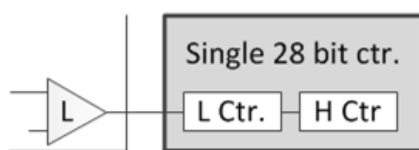
Czas rejestracji dobrano w sposób pozwalający maksymalnie wykorzystać pojemność licznika, jednocześnie go nie przepelniając. Jak widać, dobrany czas rejestracji, a co za tym idzie liczba zliczeń w obszarze prześwietlanego układu scalonego nie był wystarczający, aby dobrze zobrazować jego strukturę wewnętrzną, ale optymalnie dobrany do zobrazowania wiązki prześwietlającej.

Na rysunku 8.23 pokazano rejestrację tego samego obiektu, ale z czasem rejestracji dobranym tak, aby uzyskać dużą liczbę zliczeń w obszarze obiektu. W efekcie, osiągnięto poprawę jakości obrazu obiektu, ale również przepelnienie liczników w obszarze padania wiązki promieniowania X poza obiektem. Czas rejestracji (ekspozycji) w trybie *standardowym* (licznik 14-bitowy) ustawiono na 50 sekund.



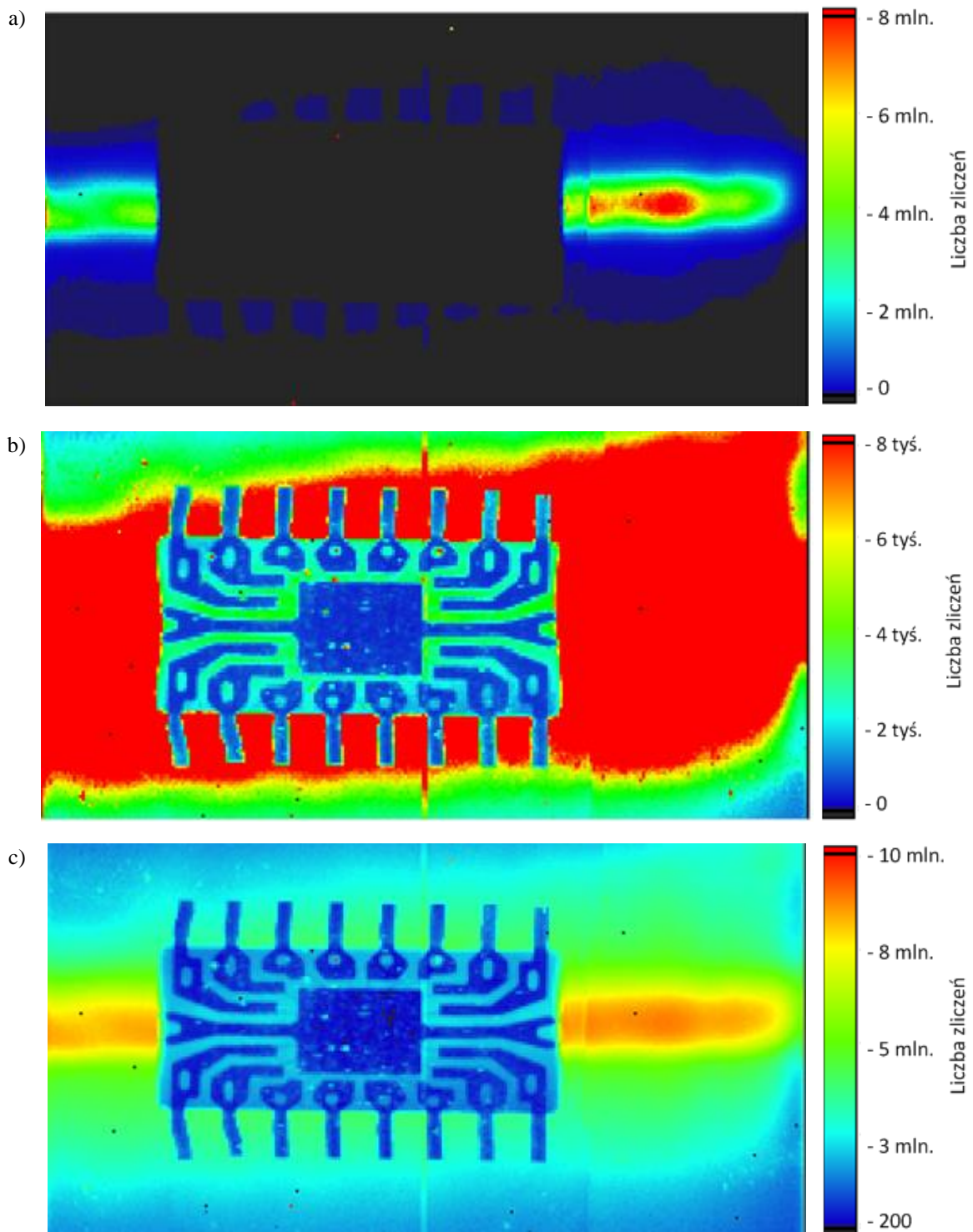
Rys. 8.23. Obraz układu scalonego umieszczonego na cienkiej blaszce aluminiowej rejestrowany przez 50 sekund w trybie *standardowym* oraz z 14-bitowymi licznikami.

Rozwiązaniem przedstawionego wyżej problemu (przepelnienie licznika) może być użycie trybu pracy *długiego licznika* (opisany w podrozdziale 4.1), w którym dwa liczniki połączone są w jeden licznik 28-bitowy (rys. 8.24).



Rys. 8.24. Zliczanie fotonów w trybie *długiego licznika*.

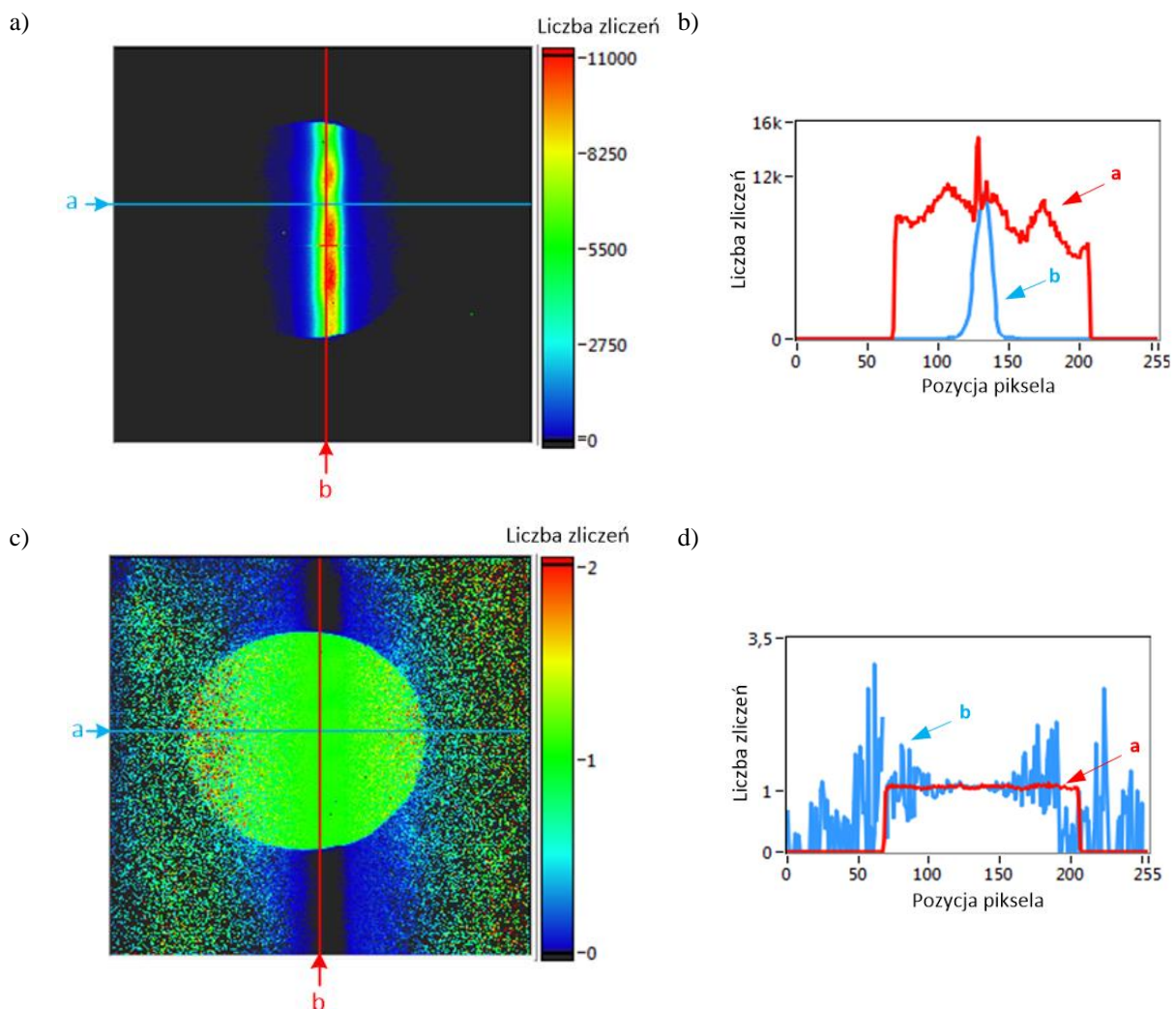
Potwierdza to wynik rejestracji pokazany na rysunku 8.25. Jak widać, użycie dłuższego licznika pozwoliło zarejestrować zarówno informacje o strukturze wewnętrznej badanego układu scalonego, jak i o rozkładzie promieniowania X w wiązce prześwietlającej. Czas ekspozycji w tym przypadku wynosił 50 sekund.



Rys. 8.25. Obraz układu scalonego umieszczonego na cienkiej blaszce aluminiowej: a) w skali liniowej do 8 milionów zliczeń, b) w skali liniowej do 8 tysięcy zliczeń, c) w skali logarytmicznej do 10 milionów zliczeń.

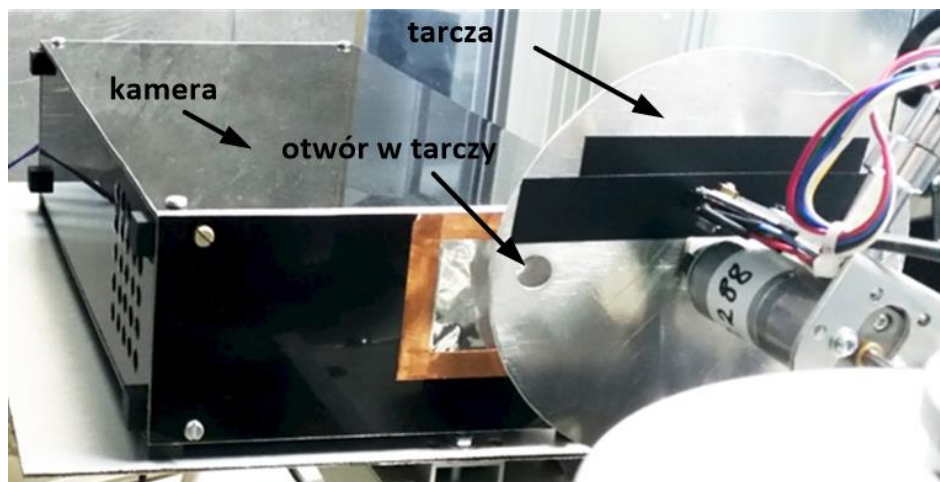
8.5.2 Praca kamery w trybie *standardowym* i *ciągłym*

Jak to zostało pokazane w podrozdziale 8.3.1, rozkład przestrzenny natężenia promieniowania ze źródła dostępnego podczas testów jest mocno nierównomierny. Stanowi to znaczne utrudnienie podczas analizy wyników rejestracji polegającej na prześwietlaniu obiektów, w szczególności ruchomych. Metodą, która jest w pewnym stopniu pomocna w takim przypadku jest normalizacja. Polega ona na podzieleniu pikseli obrazu roboczego (zawierającego interesujący nas obiekt) przez odpowiadające im piksele obrazu referencyjnego. Jako obrazu referencyjnego używa się obrazu zarejestrowanego bez obiektu [87, 88]. Na rysunku 8.26 pokazano przykładowy wynik normalizacji. Jak widać, daje on zadowalające efekty tylko w obszarach obrazu o wystarczająco dużej liczbie zliczeń.



Rys. 8.26. Przykład obrazu będącego efektem rejestracji aluminiowej przesłony z okrągłym otworem przed i po zastosowaniu procedury normalizacji: a) obraz bez normalizacji, b) profil intensywności obrazu przed normalizacją, c) obraz po normalizacji, d) profil intensywności obrazu po normalizacji.

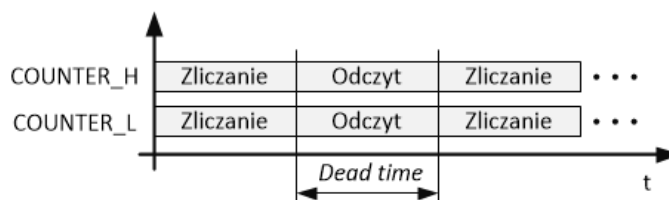
W celu ilościowej weryfikacji parametrów czasowych prototypowej kamery do rejestracji promieniowania X przeprowadzono serię pomiarów obracającej się tarczy aluminiowej z otworem (rys. 8.27). Tarcza aluminiowa posiada otwór o średnicy 10 mm, znajdujący się w odległości 5 cm od środka tarczy. Tarcza obracana jest za pomocą silnika o regulowanej prędkości obrotowej. Napięcie zasilające lampy ustawiono na 35 kV, natomiast prąd lampy na 40 mA.



Rys. 8.27. Zdjęcie układu do ilościowej weryfikacji parametrów czasowych prototypowej kamery.

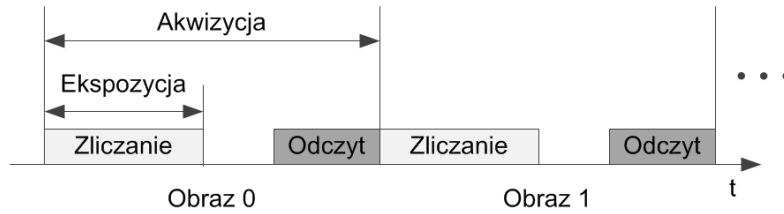
Rejestracja w trybie *standardowym*

W pierwszej kolejności przeprowadzono rejestrację w trybie *standardowym*, tj. z jednoczesną rejestracją obrazów dwoma licznikami. W trybie tym, rejestracja obrazu oraz jego odczyt z układu scalonego UFXC zachodzą na przemian (rys. 8.28).



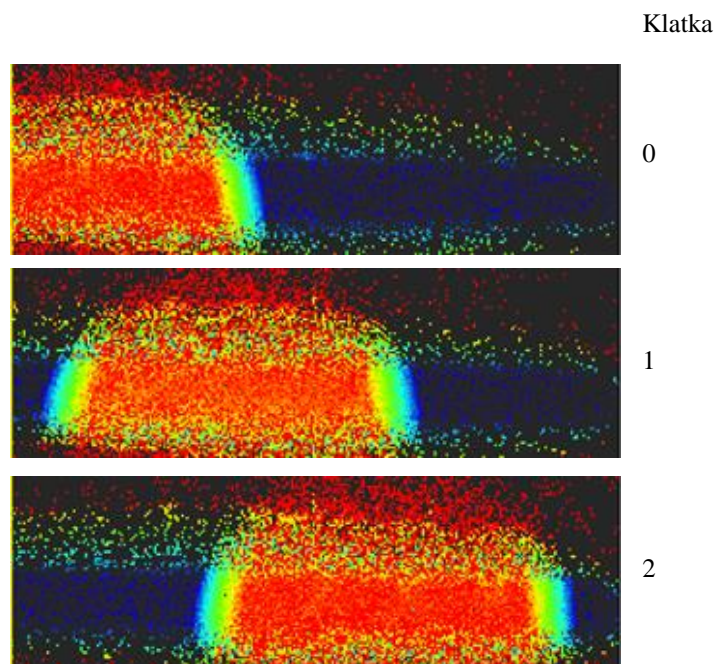
Rys. 8.28. Poglądowy schemat działania liczników w trybie *standardowym*.

Oprogramowanie kamery do rejestracji promieniowania X pozwala na ustawianie dwóch parametrów rejestracji, tj. okresu akwizycji, który określa częstotliwość z jaką rejestrowany jest obraz oraz okresu ekspozycji, który określa czas przez który rejestrowane jest promieniowanie X (rys. 8.29). Należy zwrócić uwagę, że maksymalna częstotliwość rejestracji ograniczona jest sumarycznym czasem zliczania oraz odczytu liczników. Przykładowo, dla częstotliwości taktowania układu scalonego UFXC równej 50 MHz, czas potrzebny na odczyt liczników w trybie 14-bitowym wynosi $\sim 2,3$ ms. Pozwala to na rejestrację z częstotliwością ~ 434 obrazów na sekundę.



Rys. 8.29. Zależności czasowe podczas rejestracji obrazów w trybie *standardowym*.

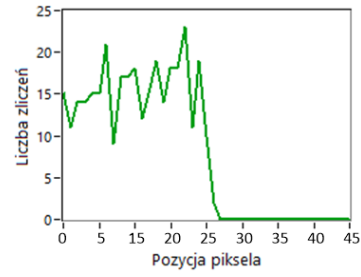
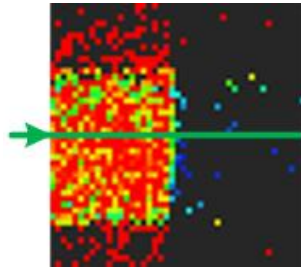
Na rysunku 8.30 pokazano wynik rejestracji tarczy z wirującym otworem w opisanym wyżej trybie. Prędkość liniowa otworu wynosiła ~ 1 m/s. Okres ekspozycji wynosił 1,6 ms. Okres oraz częstotliwość akwizycji wynosiły odpowiednio 5 ms oraz 200 Hz. Wartość przesunięcia obrazu otworu między następującymi po sobie klatkami (67 pikseli) oraz liczba zliczeń (~ 500 zliczeń dla obszaru otworu) potwierdza poprawne ustawianie parametrów rejestracji kamery, takich jak okres akwizycji i czas ekspozycji. Dodatkowo zauważono, że użyta aluminiowa tarcza o grubości 0,7 mm nie stanowi 100% bariery dla fotonów promieniowania X. Wynikiem tego są zliczenia poza obszarem otworu.



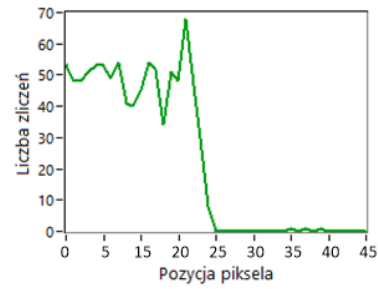
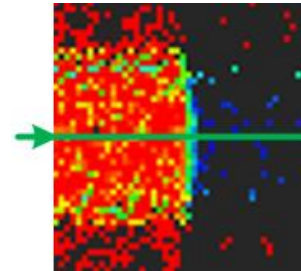
Rys. 8.30. Wynik rejestracji tarczy z wirującym otworem w *standardowym* trybie pracy układu scalonego UFXC (3 klatki).

Poprawne ustawianie przez kontroler kamery okresu ekspozycji zweryfikowano dodatkowo wyliczając, a następnie mierząc wielkość rozmycia obrazu na krawędziach, dla pomiarów o różnym czasie ekspozycji t_{exp} (rys. 8.31). Obliczenia wielkości rozmycia polegały na wyliczeniach drogi (wyrażonej w liczbie pikseli) przebytej przez otwór w czasie trwania ekspozycji (tabela 8.4).

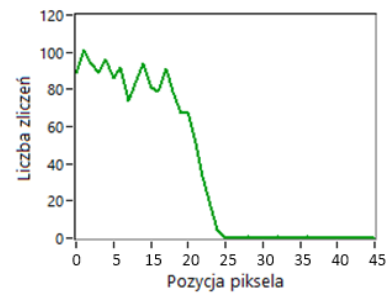
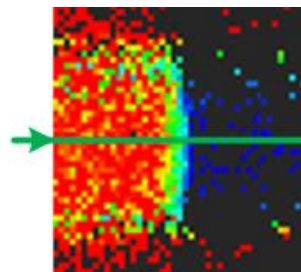
a) $t_{\text{exp}} = 100 \mu\text{s}$



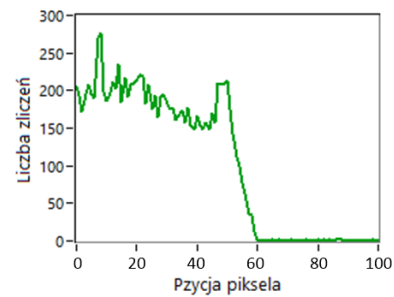
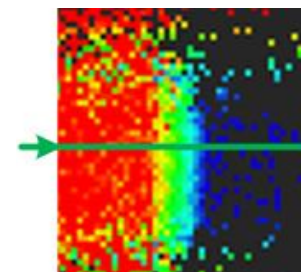
b) $t_{\text{exp}} = 200 \mu\text{s}$



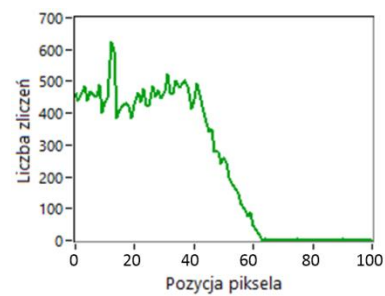
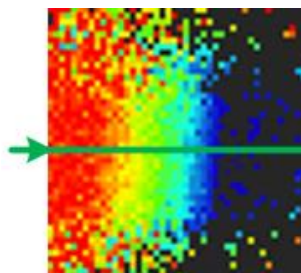
c) $t_{\text{exp}} = 400 \mu\text{s}$



d) $t_{\text{exp}} = 800 \mu\text{s}$



e) $t_{\text{exp}} = 1600 \mu\text{s}$



Rys. 8.31. Wynik rejestracji przesłony dla różnych czasów ekspozycji (t_{exp}). Po lewej znormalizowany fragment obrazu, po prawej jego profil intensywności wzdłuż linii otworu.

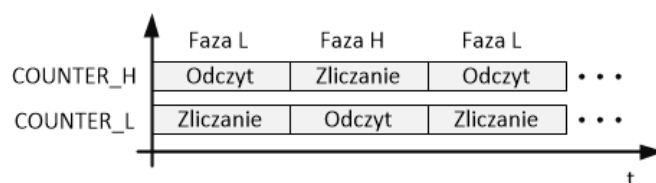
Tabela 8.4 Obliczenia przebytej drogi przez otwór dla różnych wartości czasu trwania ekspozycji.

Czas ekspozycji	Droga przebyta w czasie trwania ekspozycji	
	[μ s]	[μ m]
100	100	1,3
200	200	2,7
400	400	5,3
800	800	10,7
1600	1600	21,3

Otrzymane wyniki pomiarów rozmycia obrazu są zgodne z wartościami obliczonymi. Możemy zauważyć również fakt, że im krótszy czas otwarcia przesłony (czas ekspozycji), tym ostrość obrazu się zwiększa, natomiast pogarsza się stosunek sygnału do szumu.

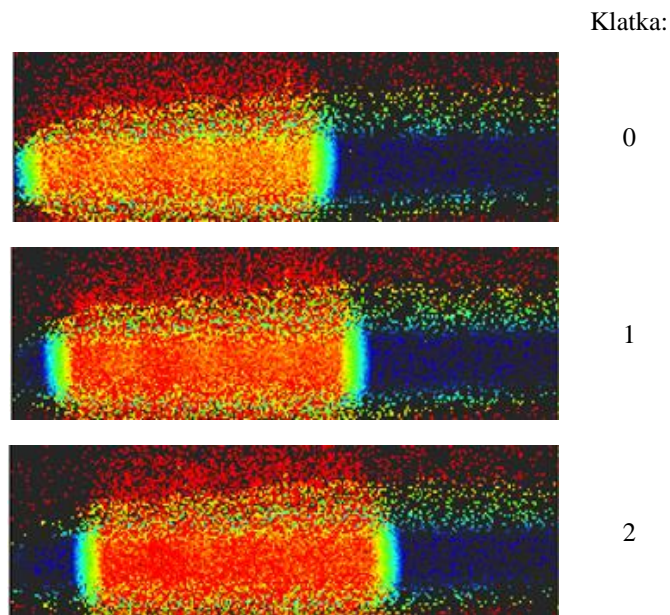
Rejestracja w trybie *ciągłym*

Architektura układu scalonego UFXC pozwala na jednoczesne zliczanie i odczyt (tryb pracy *ciągłej*, podrozdział 4.1). Przykładowy schemat działania liczników w tym trybie przedstawiony został na rysunku 8.32.



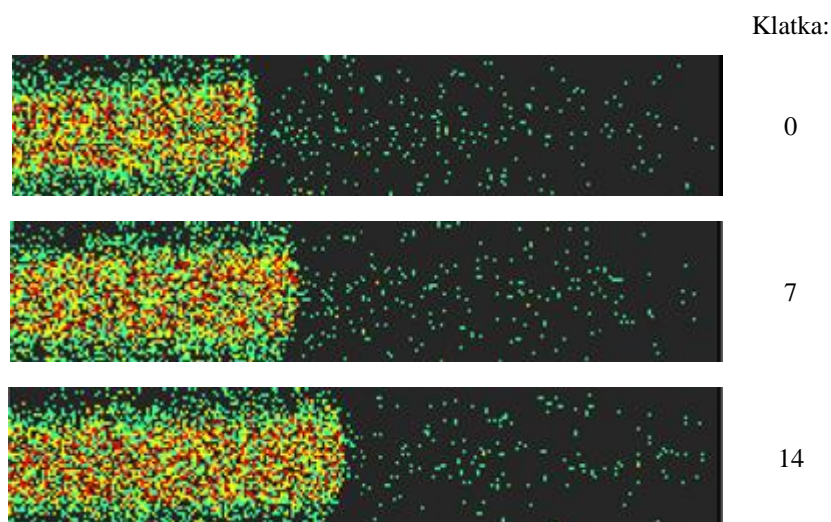
Rys. 8.32. Przykładowy schemat działania liczników w trybie *ciągłym*.

W trybie tym czas ekspozycji jest równy okresowi akwizycji i jest zdeterminowany przez częstotliwość taktowania układu scalonego UFXC. Ponieważ w trakcie rejestracji jednego obrazu odczytywany jest drugi licznik, maksymalna częstotliwość zbierania obrazu w tym trybie jest dwukrotnie większa niż we wcześniej opisanym trybie (*standardowym*, dla 14-bitowego trybu pracy liczników) i wynosi 868 obrazów na sekundę (rys. 8.33). Prędkość liniowa otworu podczas rejestracji wynosiła ~ 1 m/s, czas ekspozycji wynosił 1,15 ms, natomiast okres oraz częstotliwość akwizycji miały wartość odpowiednio 1,15 ms oraz 868 Hz.



Rys. 8.33. Wynik rejestracji tarczy z wirującym otworem w trybie pracy *ciągłej*, oraz z 14-bitowymi licznikami.

Dalsze zwiększenie częstotliwości rejestracji obrazu można uzyskać przy użyciu 2-bitowego trybu odczytu liczników (rys. 8.34). Wiąże się to jednak z pogorszeniem jakości obrazu wynikającej z maksymalnej dopuszczalnej liczby zliczeń (3 zliczenia). Ponieważ liczniki są 2-bitowe, większa ilość zliczeń powoduje ich przepełnienie (przekręcenie). Prędkość liniowa otworu podczas rejestracji wynosiła ~ 1 m/s, okres ekspozycji wynosił 0,16 ms, natomiast okres oraz częstotliwość akwizycji miały wartość odpowiednio 0,16 ms oraz 6,1 kHz.

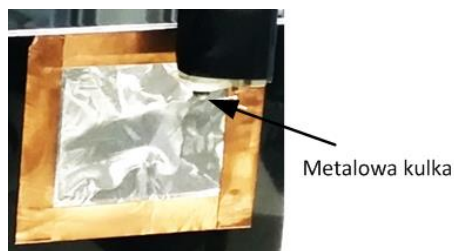


Rys. 8.34. Wynik rejestracji tarczy z wirującym otworem w trybie pracy *ciągłej*, oraz z 2-bitowymi licznikami.

8.5.3 Rejestracja z wyzwaniem

Jednym z głównych zastosowań pikselowych kamer do rejestracji promieniowania X są dyfraktometry, w których kamera zamocowana jest na ruchomym ramieniu obracającym się wokół badanej próbki materiału [89]. Zadaniem kamery jest rejestracja obrazów dla ściśle określonych kątów nachylenia ramienia. W takim przypadku rejestracja obrazu wyzwana jest przez impuls podawany do kamery przez sterownik serwomechanizmu ramienia.

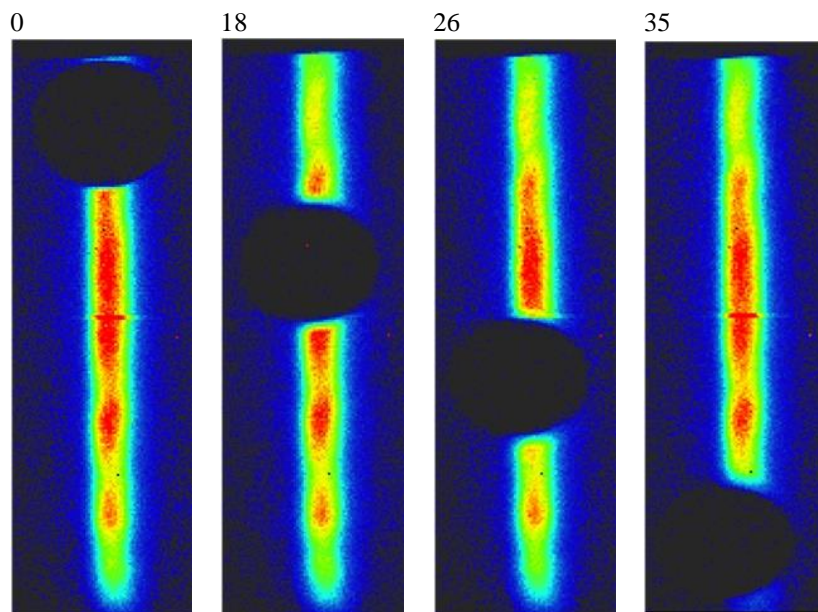
Przykładem rejestracji obrazów z zewnętrznym wyzwaniem może być swobodny spadek stalowej kulki. Kulka została zamocowana do rdzenia elektromagnesu (rys. 8.35).



Rys. 8.35. Widok stalowej kulki zamocowanej do rdzenia elektromagnesu przed matrycą pikseli detektora.

Zwolnienie kulki oraz rozpoczęcie rejestracji serii obrazów zostały wyzwolone tym samym impulsem. Na rysunku 8.36 pokazano wybrane obrazy zarejestrowane podczas swobodnego spadku stalowej kulki w trybie *ciągłym* i 14-bitowymi licznikami. Częstotliwość akwizycji wynosiła 868 Hz.

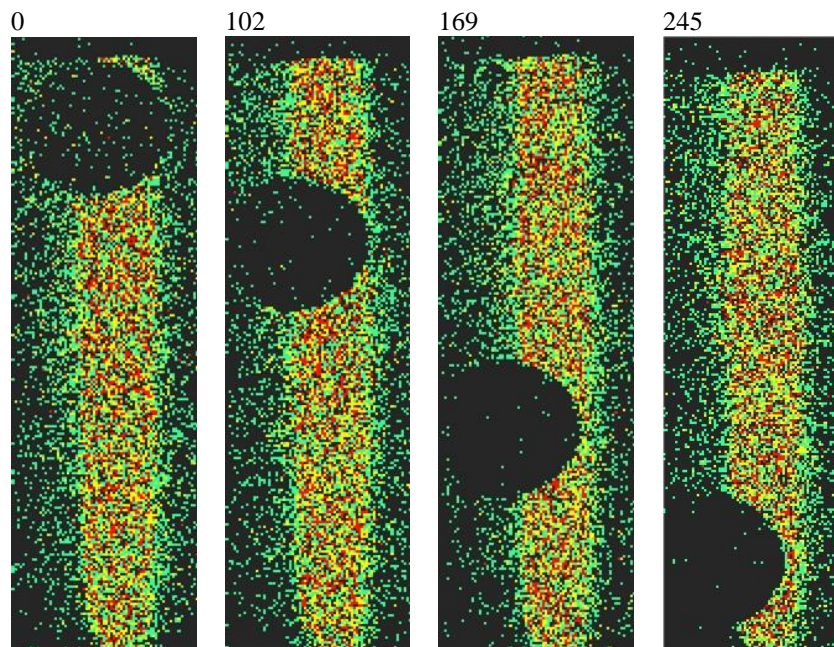
Klatka:



Rys. 8.36. Wybrane obrazy zarejestrowane podczas swobodnego spadku stalowej kulki. Pomiar został przeprowadzony w trybie *ciągłym* i 14-bitowymi licznikami.

Taki sam pomiar przeprowadzono z 2-bitowymi licznikami (rys. 8.37). W tym przypadku częstotliwość akwizycji wynosiła 6,1 kHz.

Klatka:



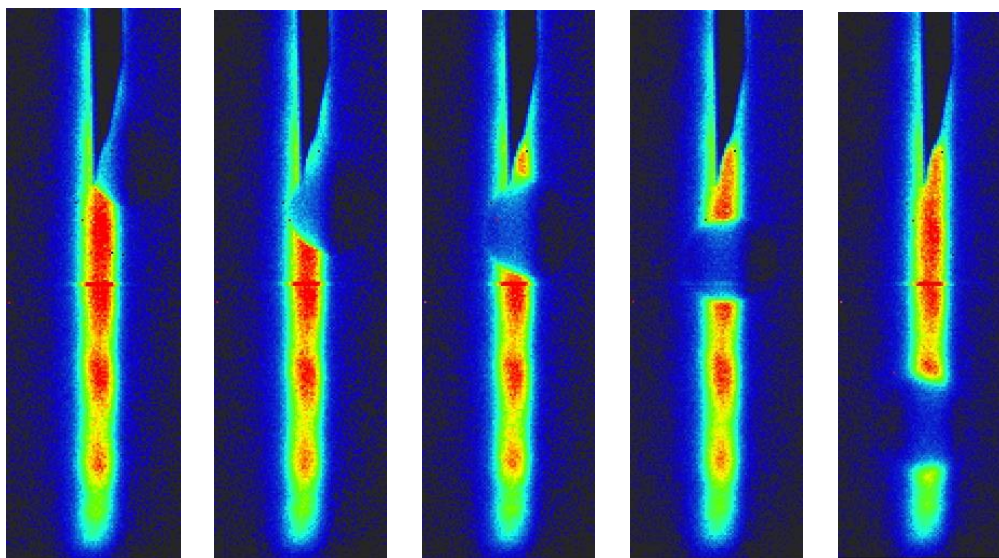
Rys. 8.37. Wybrane obrazy zarejestrowane podczas swobodnego spadku stalowej kulki. Pomiar został przeprowadzony w trybie pracy *ciągłej* i 2-bitowymi licznikami.

Przeprowadzone testy potwierdzają poprawną pracę kamery z zewnętrznym wyzwalaniem.

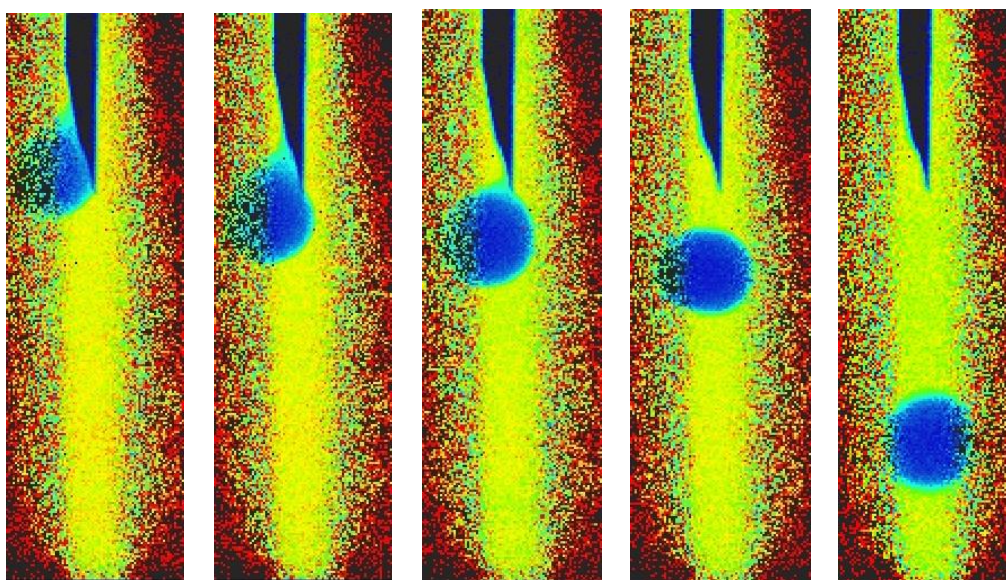
8.5.4 Rejestracja swobodnego spadku kropli wody

Ostatnią rejestracją, jaką przeprowadzono w ramach weryfikacji poprawnego działania kamery do rejestracji promieniowania X, pracującej w trybie zliczania pojedynczych fotonów, była rejestracja swobodnego spadku kropli wody. Wyniki bez oraz z zastosowaniem procedury normalizacji pokazano na rysunku 8.38. Pomiar został przeprowadzony w trybie *ciągłym* i 14-bitowymi licznikami. Częstotliwość akwizycji wynosiła 868 Hz.

a)



b)



Rys. 8.38. Wynik rejestracji swobodnego spadku kropli wody: a) bez procedury normalizacji, b) z zastosowaniem procedury normalizacji.

9 Podsumowanie

Przedstawiona rozprawa doktorska opisuje szereg kroków badawczych, które doprowadziły do zbudowania prototypu szybkiej kamery do rejestracji promieniowania X, pracującej w trybie zliczania pojedynczych fotonów. Dzięki modułowej budowie kamery i opracowaniu dedykowanego procesora programowego, zbudowano uniwersalny prototyp, który z jednej strony może posłużyć jako baza do budowy kamer o większych powierzchniach aktywnych, a z drugiej strony, w zależności od zastosowania i trybu pracy, może być łatwo konfigurowany.

Prowadzone w ramach pracy doktorskiej prace obejmowały cztery główne etapy:

- testy specjalizowanego układu scalonego UFXC, zarówno technikami ostrzowymi na pełnych 8-calowych płytkach krzemowych, jak i po pocięciu na pojedyncze układy scalone,
- opracowanie koncepcji modułowej budowy kamery opartej o układy scalone UFXC i pikselowe detektory krzemowe, a sterowanej przy użyciu modułu Single Board RIO NI,
- budowę dedykowanego procesora programowego umożliwiającego generację szybkich i złożonych sekwencji sterujących układem scalonym UFXC,
- przeprowadzenie szeregu testów z promieniowaniem X, potwierdzających poprawne działanie kamery w różnych trybach pracy.

W oparciu o półautomatyczną stację pomiarową, autor opracował system do testowania układów scalonych UFXC, którego istotnymi elementami składowymi są:

- specjalnie zaprojektowana karta testowa, umożliwiająca wykonywanie pomiarów technikami ostrzowymi (podrozdział 5.2.2, rys. 5.23),
- oprogramowanie umożliwiające automatyczne prowadzenie pomiarów (podrozdział 5.2.3, rys. 5.25, 5.26, 5.27).

Używając powyższy system, autor przetestował układy scalone UFXC na płytkach krzemowych w celu selekcji układów scalonych nadających się do użycia w kamerze. Powyższe pomiary pozwoliły zidentyfikować kilkanaście układów scalonych nie nadających się do dalszego wykorzystania oraz ustalić parametry użytkowe pozostałych układów scalonych.

Używając układów scalonych UFXC wyciętych z płytki krzemowej, autor przetestował ewentualny wpływ zastosowania technologii TSV na ich działanie (podrozdział 5.3). Wyniki pozwalają stwierdzić, że zastosowanie technologii TSV nie wpływa w zauważalnym stopniu na działanie układów scalonych. Otwiera to drogę do użycia układów scalonych UFXC do budowy wielkopowierzchniowych kamer promieniowania X dzięki możliwości uniknięcia połączeń drutowych do PCB.

Następnie autor przedstawił założenia projektowe i schemat ogólny budowy prototypu kamery, jak również szczegółowe opisy poszczególnych modułów. Modułowy charakter kamery

pozwoili na niezalezne testy oraz optymalizacje poszczegolnych czesci kamery. Szczegolny nacisk polozone na rozmiary modulow. Dopasowanie szerokosci modulu zasilajacego i modulu ukladow scalonych z detektorem do szerokosci dwuch ukladow scalonych oraz mozliwosc prostopadlego polaczenia modulu kontrolnego ulatwi w przyszlosci budowe kamer wielomodulowych (podrozdzial 6.1, rys. 6.1). Warto zwrócic uwage na mozliwosc regulacji napiec oraz pomiar pradow w module zasilania, co jest szczegolnie cenne na etapie uruchamiania kamery. Stosunkowo krutki czas budowy kamery byl mozliwy dzieki zastosowaniu Single Board RIO firmy National Instruments jako modulu kontrolnego. Na bazie tego modulu w krótkim czasie zbudowano system kontrolno-pomiarowy laczacy zalety systemu operacyjnego oraz logiki programowalnej. Do transmisji danych pomiarowych uzyto interfejsu Camera Link, który jest w praktyce najprostszym w implementacji interfejsem pozwalajacym na transmisje w krótkim czasie duzej liczby danych do komputera PC (0,68 GB/s).

Osobny rozdzial pracy poswiecono metodzie sterowania ukladem scalonymi UFXC. Po przeanalizowaniu wymagań oraz mozliwych rozwiazan tej kwestii, autor zdecydowal sie na zaimplementowanie w ukladzie logiki programowalnej dedykowanego procesora programowego oraz opracowanie kompilatora assemblera dla procesora programowego. Pozwolilo to polaczyc jedna z glownych zalet procesorow, ktora jest szybkość tworzenia i testowania kodu z glówna zaleta ukladow programowalnych, jaka jest szybkość dzialania. Przemyślana architektura procesora programowego pozwolila ograniczyc liczbe instrukcji assemblera do 15, a sumaryczna liczbe linii kodu programu procesora programowego dla wszystkich trybow odczytowych ukladu scalonego UFXC do okolo 150. Mozliwosc dynamicznego wgrzywania programu procesora programowego (wgrzywanie aktualnie potrzebnego kodu programu, lub etapowe wykonywanie kodu duzego programu) pozwala znacząco zmniejszyc zasoby logiczne potrzebne do implementacji procesora programowego. Czestotliwosc pracy procesora programowego, zaimplementowanego w prototypie kamery wynosi 50 MHz. Warto rowniez zwrócic uwage, ze wieksza czesc architektury procesora programowego ma uniwersalny charakter i moze byc latwo dostosowana do sterowania innymi tego typu ukladem scalonymi.

Poprawna koncepcje i implementacje kamery potwierdzily testy opisane w rozdziale ósmym. Pomimo niewielkiego obszaru pokrywonego przez wiązke promieniowania X (szerokosc okolo 2 mm), wykonano szereg różnego rodzaju pomiarow potwierdzajacych poprawna prace prototypu kamery. W pierwszej kolejnosci, swiecaj na detektor promieniowaniem X, wykonano wstepna charakteryzacje wiązki promieniowania X, tj. zmierzono rozklad przestrzeny promieniowania, zaleznosc natężenia promieniowania od prądu lampy oraz zaleznosc natężenia promieniowania od czasu. Nastepnie wykonano szereg skanow progim dyskryminacji w celu scharakteryzowania pikseli w matrycy. Wyznaczono rozrzut poziomow stalych na wejsciu dyskryminatorow w matrycy pikseli zarowno przed jak i po wykonaniu procedury korekcyjnej wspomnianych poziomow stalych,

zmierzono zakres regulacji wzmocnienia w pikselach oraz dobrano odpowiednią wartość wzmocnienia do przeprowadzenia kolejnych testów. W ostatnim etapie charakteryzacji pikseli wyznaczono wzmocnienie oraz szumy w całej matrycy pikseli, jak również dobrano najbardziej odpowiedni próg dyskryminacji. W dalszej kolejności wyznaczono liczbę niesprawnych pikseli oraz określono przyczynę niesprawności (elektronika, detektor, połączenie). Używając trybu pracy *długiego licznika* oraz długiego czasu naświetlania, zarejestrowano strukturę wewnętrzną obudowy SOIC-16 przykładowego układu scalonego, przedstawiając duży zakres dynamiczny rejestrowanego obrazu. Rejestrację w trybie *standardowym* oraz *ciągłym* przeprowadzono z użyciem wirującej przesłony o stałej prędkości kątowej. Częstotliwość rejestracji obrazów w trybie ciągłym wyniosła 6100 ramek na sekundę (odczyt dwubitowy). Możliwość rejestracji obrazów promieniowania X, przy zastosowaniu synchronizacji z zewnętrznymi zdarzeniami pokazano na przykładzie rejestracji swobodnego spadku metalowej kulki. Jako ostatni pomiar wykonano rejestrację swobodnie spadającej kropli wody. Obiekt ten wybrano ze względu na jego złożoną dynamikę oraz znaczną przenikalność wody dla zastosowanego promieniowania X.

10 Bibliografia

- [1] M. Urbanik, "Odkrycie Roentgena - pierwsze doniesienia prasowe, artykuły naukowe i podręczniki w Krakowie", Historia Medycyny, Przegląd Lekarski 2013/70/5.
- [2] J. Hurwic, "Twórcy nauki o promieniotwórczości", PWN, 1989.
- [3] W. Scharf, "Akceleratory cząstek naładowanych i ich zastosowania", PWN, 1987.
- [4] Praca zbiorowa, "Free Electron Lasers and Other Advanced Sources of Light", National Academy Press, DOI: 10.17226/9182, 1994.
- [5] R. Cierniak, "Tomografia komputerowa. Budowa urządzeń CT. Algorytmy rekonstrukcyjne", ISBN 83-60434-00-X, 2005.
- [6] A. Waszczuk-Gajda, "Rola radioterapii w leczeniu nowotworów", Poradnik Medyczny, 2007.
- [7] E. Ratajczyk, "Rentgenowska tomografia komputerowa (CT) do zadań przemysłowych", Pomiary automatyka Robotyka, 2012.
- [8] <http://www.hamamatsu.com/eu/en/community/xndt/index.html>
- [9] J. Kunicki-Goldfinger, E. Pańczyk, "Zastosowanie promieniowania jonizującego w badaniach i ochronie zabytków kultury materialnej", Konferencja Krajowa „Potrzeby Konserwatorskie Obiektów Sakralnych na przykładzie makroregionu łódzkiego”, 2005.
- [10] T. Hatsui, H. Graafsma, "X-ray imaging detectors for synchrotron and XFEL sources", International Union of Crystallography (IUCrJ), ISSN: 2052-2525, 2015.
- [11] Cadence, "3D ICs with TSVs-Design Challenges and Requirements", źródło: https://www.cadence.com/rl/Resources/white_papers/3DIC_wp.pdf
- [12] F. S. Goulding, "Signal-processing for semiconductor detector", IEEE Transactions on Nuclear Science, Vol. 29, 1982.
- [13] By AZoM.com Staff Writers, "Using Hybrid Pixel Detectors in Macromolecular Crystallography", źródło: <http://www.azom.com/article.aspx?ArticleID=10886#5>, 07.04.2014.
- [14] B. Razavi, "Fundamentals of Microelectronics", Wiley, 2006.
- [15] L. Rossi, et al., "Pixel Detectors- From Fundamentals to Applications", Springer, ISSN: 1611-1052, 2006.
- [16] J. Kemmer: "Fabrication of low noise silicon radiation detectors by planar process", Nuclear Instruments and Methods, Vol. 169, 1980.
- [17] G. Lutz: "Semiconductor radiation detectors" Springer-Verlag, 1999.
- [18] P. Gryboś, "Front-end Electronics for Multichannel Semiconductor Detector Systems", Warsaw University of Technology, 2010.
- [19] P. Fischer, et al., "Single photon X-ray imaging with Si- and CdTe-sensors.", 3rd International Workshop on Radiation Imaging Detectors, Orosei, 2002.
- [20] M. Lozano, et al., "Bump bonding of pixel systems", Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, Vol. 473, 2001.

- [21] S Cihangir, S. Kwan, “*Characterization of indium and solder bump bonding for pixel detectors*”, Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, Vol. 476, 2002.
- [22] R. Szczygieł, “*Szybkie, wielokanałowe układy scalone pracujące w trybie zliczania pojedynczych fotonów w systemach detekcji niskoenergetycznego promieniowania X*”, Kraków: Wydawnictwa AGH, 2012.
- [23] W. Boyle, G. E. Smith, “*Charge coupled semiconductor devices*”, Bell System Technical Journal, 1970.
- [24] J. Kemmer, G. Lutz, “*New detector concepts*”, Nuclear Instruments and Methods in Physics Research, A253,1987.
- [25] G. Deptuch, et al., “*Development of monolithic active pixel sensors for charged particle tracking*”, Nuclear Instruments and Methods in Physics Research, A511: 240–249, 2003.
- [26] G. Deptuch, “*Monolithic pixel detectors in a deep submicron SOI process*”, Nuclear Instruments and Methods in Physics Research, A623: 183–185, 2010.
- [27] L. Ratti., “*Continuous time-charge amplification and shaping in CMOS monolithic sensors for particle tracking*”, IEEE Transaction on Nuclear Science, 2006.
- [28] H. Spieler, “*Semiconductor Detector System*”, Oxford Science Publications, 2005.
- [29] X. Llopart, M. Campbell, “*First test measurements of a 64k pixel readout chip working in single photon counting mode*”, Nuclear Instruments and Methods in Physics Research, A509: 157–163, 2003.
- [30] P. Kraft, et al., “*Characterisation and calibration of Pilatus detectors*”, IEEE Transaction on Nuclear Science, Vol. 56, 2009.
- [31] G. Tinti, “*Hybrid pixel detectors for photon science at synchrotrons and FELs*”, RD51 meeting, 2015, źródło:
https://indico.cern.ch/event/392833/session/6/contribution/12/attachments/785878/1077257/tinti_RD51.pdf
- [32] <http://medipix.web.cern.ch/MEDIPIX/>
- [33] <http://home.cern/>
- [34] X. Llopart, et al., “*Medipix2: a 64-k Pixel Readout Chip With 55- μ m Square Elements Working in Single Photon Counting Mode*”, IEEE Transaction on Nuclear Science, Vol. 49, 2002.
- [35] D. B. Boltje, “*Dimension optimization of the Medipix2 chip*”, National Institute for Subatomic Physics, The Medipix2 Collaboration, 2008.
- [36] Z. Vykydal, J. Jakubek, “*USB Lite- Miniaturized readout interface for Medipix2 detector*”, Nuclear Instruments and methods in Physics Research, A633, 2011.
- [37] Z. Vykydal, et al., “*USB interface for Medipix2 pixel device enabling energy and position-sensitive detection of heavy charged particles*”, Nuclear Instruments and Methods in Physics Research, A563, 2006.
- [38] V. Beveren, et al., Martin Hejtmanek, “*Relaxed module, User Instructions & Software Manual*”, Version 0.1, 2011.

- [39] R. Dinapoli, et al., “*A new family of pixel detectors for high frame rate X-ray applications*”, Nuclear Instruments and Methods in Physics Research, Section A: Accelerators Spectrometers, Detectors and Associated Equipment, Vol. 617, 2010.
- [40] A. Mozzanica, B. Schmitt, “*Jungfrau, Mouch and Eiger: Detector Development at the Swiss Light Source*”, Paul Scherrer Institut, Stanford 2013, źródło: <https://www-group.slac.stanford.edu/ais/publicDocs/presentation186.pdf>
- [41] <https://www.dectris.com/>
- [42] R. Bellazzini, et al., “*PIXIE III: a very large area photon-counting CMOS pixel ASIC for sharp X-ray spectral imaging*”, 16th International Workshop On Radiation Imaging Detectors, Trieste, 2014.
- [43] R. Bellazzini, et al., “*Chromatic X-ray imaging with a fine pitch CdTe sensor coupled to a large area photon counting pixel ASIC*”, 14th International Workshop On Radiation Imaging Detectors, Portugal, 2012.
- [44] M. Campbell, “*Single X-ray Photon Counting System: Existing System, Systems Under Development and Future Trends*”, CERN, Geneva, Switzerland, źródło: https://portal.slac.stanford.edu/sites/conf_public/nxd2012/presentations/MCampbellXray.pdf
- [45] P. Maj, et al., “*18k Channel single photon counting readout circuit for hybrid pixel detector*”, Nuclear Instruments and Methods in Physics Research, A697, 2013.
- [46] P. Maj, “*A Fast 300k X-ray camera with an Energy Window Selection and Continuous Readout Mode*”, Nuclear Science Symposium & Medical Imaging Conference, ISBN: 978-1-4799-0534-8, 2013.
- [47] R. Szczygiel, et al. “*PXD18k - fast single photon counting chip with energy window for hybrid pixel detector*”, 2011 IEEE Nuclear Science Symposium Conference Record, Spain, 2011.
- [48] Rigaku Journal, “*High-resolution/high-speed 2D photon counting X-ray detector HyPix-3000*”, 30(2), 2014.
- [49] DET_BRO_HYPIX3000v01, “*HyPix-3000; High-resolution/high-speed 2D photon counting X-ray detector*”, źródło: www.rigaku.com, 2014.
- [50] P. Pangaud, et al., “*First Results of XPAD3, a New Photon Counting Chip for X-Ray CTScanner with Energy Discrimination*”, Nuclear Science Symposium Conference Record, Vol. 1, 2007.
- [51] S. Basolo, et al., “*A 20 kpixels CdTe photon-counting imager using XPAD chip*”, Centre de Physique des Particules de Marseille, 2008.
- [52] K. Medjoubi, et al., “*Performance and Applications of the CdTe- and Si-XPAD3 photon counting 2D detector*”, 12th International Workshop on Radiation Imaging Detector, Cambridge, 2010.
- [53] P. Maj, et al., “*23552-channel IC for single photon counting pixel detectors with 75 μm pitch, ENC of 89 e^- rms, 19 e^- rms offset spread and 3% rms gain spread*”, European Solid State Circuits Conference, ISSN: 1930-8833, 2014.
- [54] P. Maj, et al., “*Low noise single photon counting chip with energy window for hybrid pixel detector with precise offset and gain correction*”, Nuclear Science Symposium and Medical Imaging Conference, 2014.

- [55] P. Gryboś, A. Drozd, G. Deptuch, K. Kasiński, R. Kłeczek, P. Kmon, P. Otfinowski, P. Maj, J. Rauza, R. Szczygieł, T. Satława, M. Żołędź, *“Ultra fast X-ray detection systems in nanometer and 3D technologies”*, MIXDES 2014, ISBN: 978-83-63578-04-6, 2014.
- [56] *“UFXC-chip prototype”* - dokumentacja techniczna zrealizowanego prototypu układu scalonego (dokument poufny), 2015.
- [57] P. Garrou, et al., *“Handbook of 3D Integration”*, Technology and Applications of 3D Integrated Circuits, Vol. 1, ISBN: 978-3-527-32034-9, 2008.
- [58] P. Garrou, et al., *“Handbook of 3D Integration”*, Technology and Applications of 3D Integrated Circuits, Vol. 2, ISBN: 978-3-527-32034-9, 2008
- [59] D. H. Kim, et al. *“A Study of Through-Silicon-Via Impact on the 3D Stacked IC Layout”*, School of Electrical and Computer Engineering Georgia Institute of Technology, Atlanta, Georgia, California , 2009.
- [60] M. Żołędź, P. Kmon, J. Rauza, P. Gryboś, T. Kowalczyk, *“256-channel reconfigurable system for recording the electrophysiological activity of a neural tissue in vitro”*, 6th Annual International IEEE EMBS Conference on Neural Engineering, San Diego, 2013
- [61] M. Żołędź, P. Kmon, J. Rauza, P. Gryboś, T. Kowalczyk, B. Caban, *“A complete 256-channel reconfigurable system for in vitro neurobiological experiments”*, IEEE BioCAS, Advancing Healthcare Technology, 2013
- [62] S. O. Rice, *“Mathematical analysis of random noise”*, Bell System Technical Journal, Vol. 23, 1945.
- [63] L. Tlustos, et al., *“Signal variation in high granularity Si pixel detectors”*, IEEE Transaction on Nuclear Science, Vol. 50, 2003.
- [64] J. Marchal, *“Theoretical analysis of the effect of charge-sharing on the Detective Quantum Efficiency of single-photon counting segmented silicon detectors”*, Journal of Instrumentation, Vol. 5, 2010.
- [65] W. Dąbrowski, P. Gryboś, *“Position sensitive semiconductor strip detectors”*, X-ray Spectrometry: Recent Technological Advanced, 2004.
- [66] J. Gajda, *“Statystyczna analiza danych pomiarowych”*, Wydział EAIiE AGH, Kraków 2002.
- [67] P. Maj, *“Fast and precise algorithms for calculating offset correction in single photon counting ASICs built in deep sub-micron technologies”*, Journal of Instrumentation, ISSN: 1748-0221, Vol. 9, 2014.
- [68] M. Żołędź, P. Kmon, J. Rauza, R. Szczygieł, P. Gryboś, P. Otfinowski, *“Design of System-on-Chip in 180 nm technology for multi-channel wireless recording of the nerve tissue electrical activity”*, 21st international conference Mixdes, ISBN: 978-83-63578-04-6, 2014.
- [69] M. Żołędź, P. Kmon, J. Rauza, P. Gryboś, T. Błasiak, *“Multichannel neural recording system based on family ASICs processed in submicron technology”*, Microelectronics Journal, Vol.45, ISSN: 0026-2692, 2014.
- [70] P. Horowitz, W. Hill, *“Sztuka Elektroniki”*, ISBN: 83-206-1128-8, WKŁ Warszawa, 2003.
- [71] Dokumentacja techniczna układu TPS74401, źródło:
<http://www.ti.com/product/tps74401>.

- [72] Dokumentacja techniczna układu ACS712, źródło:
<http://www.allegromicro.com/en/Products/Current-Sensor-ICs/Zero-To-Fifty-Amp-Integrated-Conductor-Sensor-ICs/ACS712.aspx>.
- [73] Dokumentacja techniczna, źródło:
<http://sine.ni.com/nips/cds/view/p/lang/pl/nid/210003>.
- [74] P. Maj, P. Gryboś, K. Kasiński, A. Drozd, J. Rauza, A. Kozioł, “A New Approach for a Cameras Backend Design for the 75 μm Pitch Hybrid Pixel Detector”, Nuclear Science Symposium and Medical Imaging Conference, 2014.
- [75] Top Ten Programming Languages, źródło:
<http://spectrum.ieee.org/computing/software/the-2015-top-ten-programming-languages#>.
- [76] M. Żołądź, J. Rauza, K. Kasiński, P. Maj, P. Gryboś, “Design of a control system for ultra fast X-ray camera working in a single photon counting mode”, Photonics applications in astronomy, Communications, Industry, and High-Energy Physics Experiments 2015, ISSN: 0277-786X, Vol. 9662, 2015.
- [77] PicoBlaze, User Resources, źródło:
http://www.xilinx.com/ipcenter/processor_central/picoblaze/picoblaze_user_resources.htm.
- [78] Nios II Processor, źródło:
<https://www.altera.com/products/processors/overview.html>.
- [79] D. Żarnowiecki, “Analiza możliwości zastosowania dedykowanych procesorów softwarowych jako sterowników układów kontrolno-odczytowych scalonych wielokanałowych układów do pomiarów potencjałów nerwowych oraz promieniowania rentgenowskiego”, Praca magisterska, Wydział EAIiB, Katedra Metrologii i Elektroniki, 2015.
- [80] J. Massalski, “Fizyka dla inżynierów”, Część II, Fizyka współczesna, wydanie trzecie, Wydawnictwo Naukowo-Techniczne, Warszawa, 1977.
- [81] B. Mycek, et al., “Ćwiczenia laboratoryjne z biofizyki”, Skrypt dla studentów Wydziału Farmaceutycznego Collegium Medicum Uniwersytetu Jagiellońskiego, Kraków 2014.
- [82] G. Knoll, “Radiation Detection and Measurement”, Wiley, 2009.
- [83] B. Dziunikowski, S. J. Kalita, “Ćwiczenia laboratoryjne z jądrowych metod pomiarowych”, Wydawnictwa AGH, Kraków, 1995.
- [84] B. Razavi, “Design of Analog CMOS Integrated Circuit”, McGraw-Hill, New York, 2001.
- [85] P. Gray, et al., “Analysis and Design of Analog Integrated Circuits”, John Wiley & Sons, 2001.
- [86] P. E. Allen, D. R. Holberg, “CMOS Analog Circuit Design” 2nd edition, Oxford University Press, 2002.
- [87] C. Rafael, et al. “Digital Image Processing”, Second Edition, Prentice-Hall 2002, Upper Saddle River, New Jersey 07458.
- [88] R. Tadeusiewicz, P. Korohoda, “Komputerowa analiza i przetwarzanie obrazów”, Wydawnictwo Fundacji Postępu Telekomunikacji, 1997.
- [89] N. Kasai, M. Kakudo, “X-Ray Diffraction by Macromolecules”, Springer Series in Chemical Physics, ISBN: 978-3-540-25317-4, 2005