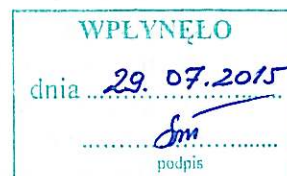


dr hab. inż. Ryszard Sroka prof. n. AGH  
Katedra Metrologii i Elektroniki  
Akademia Górniczo-Hutnicza  
w Krakowie

Kraków, 28.07.2015



**RECENZJA ROZPRAWY DOKTORSKIEJ**  
**mgr inż. Piotra Otfinowskiego**  
**pt.**

**Low power A/D converters for multichannel integrated circuits**

**1. Zagadnienia formalne**

Recenzja została opracowana na podstawie zlecenia (pismo nr WEAIIB-b/Sekr/217/15 z dnia 29.05.2015 roku) wystawionego przez Dziekana Wydziału Elektrotechniki Automatyki Informatyki i Inżynierii Biomedycznej Akademii Górniczo – Hutniczej w Krakowie, dr hab. inż. Antoniego Cieślę, prof. n. AGH.

**2. Wstęp i ocena tematyki rozprawy**

Tematyka rozprawy związana jest z możliwością projektowania przetworników A/C przeznaczonych do pracy w wielokanałowych systemach pomiarowych dedykowanych do współpracy z detektorami promieniowania stosowanymi w fizyce wysokich energii lub w eksperymentach prowadzonych z promieniowaniem X. Autor skupia się na systemach przeznaczonych do detekcji pojedynczych fotonów (cząstek) – najczęściej stosowane rozwiązania, w których dodatkowo możliwy jest pomiar wartości maksymalnej impulsu ładunku dostarczonego do detektora i odpowiednio ukształtowanego, co wymaga zastosowania w kanale pomiarowym przetwornika A/C. Autor zwraca uwagę na pole zainteresowań do hybrydowych układów detekcji. Uzasadnia to faktem istnienia dobrze dopracowanych technologicznie detektorów i koniecznością opracowywania coraz doskonalszych, wielokanałowych układów odczytowych do współpracy z tymi detektorami. Dostępne aktualnie technologie umożliwiają zmniejszanie wymiarów układu i ograniczanie poboru mocy, co pozwala na zwiększanie funkcjonalności projektowanych układów. Pociąga to za sobą również konsekwencje związane ze zmniejszeniem powtarzalności i stabilności projektowanych układów i prowadzi na etapie ich projektowania do różnego rodzaju kompromisów. Autor już we wstępie do pracy wskazuje na ograniczenia związane z budową układu przetwornika A/C i wymagania jakie musi on spełniać (ich analiza ma doprowadzić do wyboru liczby bitów, architektury i technologii jego wykonania). Struktura układu odczytowego determinowana jest zazwyczaj rodzajem zastosowanego detektora i dostępną powierzchnią, na której układ może być zaprojektowany (Autor ocenia, że dostępna powierzchnia pojedynczego kanału układu odczytowego mieści się w przedziale  $(50\div 200)\times(50\div 200)$   $\mu\text{m}$ ). Ograniczeniem jest również maksymalna moc wydzielana w pojedynczym kanale przetwarzania (wynikająca z całkowitej dopuszczalnej mocy układu scalonego i liczby kanałów pomiarowych). Autor szacuje moc przypadającą na pojedynczy kanał na kilka miliwatów dla detektorów paskowych i kilkadziesiąt mikrowatów dla detektorów pikselowych. Wyzwaniem dla projektanta jest również zapewnienie powtarzalności parametrów wszystkich kanałów pomiarowych. Podstawowy cel pracy autor określa więc jako poszukiwanie nowych architektur przetworników A/C odpowiednich do

zastosowania w systemach wielokanałowych charakteryzujących się niskim poborem mocy i małą powierzchnią zajmowaną w strukturze krzemu.

Tak określona tematyka, cel i problemy oraz ograniczenia związane z projektowaniem nowych struktur układów A/C uzasadniają podjęcie prac badawczych w tym obszarze. Autor traktuje problem kompleksowo, tj. od pomysłu, poprzez modelownie, projekt struktury układu, wykonanie fizycznego układu, aż po jego badania eksperymentalne i weryfikację postawionych na wstępie założeń.

Dlatego uważam, że zagadnienia podjęte w ramach recenzowanej rozprawy są aktualne, ważne, tak z badawczego punktu widzenia, jak i z punktu widzenia możliwości zastosowania wyników prac badawczych w praktyce, a przyjęta metodologia jest poprawna. Badania prowadzone w tym obszarze mogą więc być podstawą do ubiegania się o stopień doktora nauk technicznych w dyscyplinie elektronika.

### 3. Struktura rozprawy

Rozprawa napisana jest w języku angielskim, liczy 55 stron, a jej treść została podzielona na 5 rozdziałów (łącznie ze wstępem i podsumowaniem). Ponadto do rozprawy dołączono wykaz najważniejszych oznaczeń, rysunków i tabel oraz wykaz literatury liczący 49 pozycji. Wykaz literatury zawiera 9 pozycji, których Doktorant jest współautorem. Literatura jest dobrana właściwie i poprawnie cytowana w pracy.

Autor nie formułuje w sposób jawny tezy rozprawy, natomiast w rozdz. 1.4 określa jej cel jako: **projekt niskomocowego przetwornika A/C z przeznaczeniem do wielokanałowych systemów pomiarowych budowanych w technologiach submikronowych, gdzie najwyższym priorytetem jest minimalizacja zajmowanej przez układ powierzchni.**

We wstępie Autor przedstawia strukturę typowego toru przetwarzania współpracującego z detektorami promieniowania. Stawia założenia dotyczące przetworników A/C w takich torach: przetworniki powinny mieć rozdzielczość w przedziale 4÷8 bitów i stosunkowo wysoką częstotliwość próbkowania, rzędu kilku megaprobek/s oraz możliwości zewnętrznej kalibracji (korekcji). Dla ustalenia punktu wyjścia Autor przyjmuje wskaźniki określone przez dopuszczalną moc układu, częstotliwość próbkowania i efektywną liczbę bitów (ENOB), a także szerokość pasma i stosunek mocy sygnału do mocy szumów i zniekształceń (SINAD). Pozwoliło to na umiejscowienie różnych rozwiązań technicznych i technologicznych przetworników A/C i wskazanie struktur najbardziej odpowiednich do przewidywanych zastosowań. Autor finalnie wskazał dwa możliwe rozwiązania tj. przetworniki typu „flash” i przetworniki kompensacyjne („SAR”).

W rozdziale 2 przedstawiono projekt układu 5-bitowego przetwornika A/C typu „flash” przeznaczonego do pracy w 128 kanałowym układzie odczytu, który docelowo ma pracować w bardziej rozbudowanym układzie detekcji ciężkich cząstek posiadających ładunek. Układ detekcji powinien zapewniać możliwość zliczania cząstek padających na detektor z interwałem między kolejnymi cząstkami rzędu 2 ns i pomiar ładunku w przedziale 0,5 do 16 fC, poprzez pomiar wartości maksymalnej impulsu napięcia uformowanego na podstawie ładunku wejściowego. Projekt układu uwzględniał dostępną powierzchnię (szerokość do 58  $\mu\text{m}$ ) i warunki jego przyszłej pracy: duża liczba układów (ok. kilkunastu tysięcy) i intensywność chłodzenia – co ograniczało moc do 5mW na kanał. Dodatkowo układ miał być odporny na promieniowanie. Ze względu na dużą liczbę komparatorów w układzie, co skutkowało nie najlepszymi parametrami przetwornika ze względu na duże rozrzuty napięć niezrównoważenia tych komparatorów, Autor zmuszony był opracować oryginalny, dwustopniowy, układ korekcyjny, poprzez dodanie do każdego komparatora,



wysokorozdzielczego przetwornika C/A korygującego te napięcia, poświęcając bardzo dużo uwagi konstrukcji i parametrom tego układu. W rozdziale tym Autor szczegółowo przedstawił poszczególne bloki układu przetwornika A/C i układu korekcyjnego i ich zasady działania (tu czasami mniej szczegółowo). Nie podał jednak jaki jest czas przetwarzania pojedynczej próbki sygnału w takim przetworniku (wynikający np. z czasów propagacji sygnałów w układzie), a jest to jeden z ważniejszych parametrów przetwornika pozwalający określić maksymalną częstotliwość próbkowania. Zaprojektowany układ został fizycznie wykonany i przeprowadzono jego testy. Polegały one na podawaniu na wejście układu ściśle kontrolowanych impulsów napięciowych i monitorowaniu reakcji zaprojektowanego układu. Przedstawiono również procedurę korekcji układu komparatora. Efektem zastosowania tej procedury było znaczące ograniczenie odchylenia standardowego rozrzutów progu detekcji w komparatorach z 12,3 mV do 0,75 mV, a tym samym wyrównanie właściwości kanałów pomiarowych układu. Przeprowadzono również wybrane testy przetworników A/C wyznaczając charakterystyki błędów nieliniowości całkowitej i różnicowej (były one na poziomie poniżej  $\pm 0,25$  LSB w całym zakresie przetwornika). Warto również podkreślić, że ta część pracy wykonywana była dla potrzeb i uwarunkowań konkretnego eksperymentu naukowego.

W rozdziale 3 przedstawiono projekt, implementację i wyniki badań eksperymentalnych 7-bitowego kompensacyjnego przetwornika A/C. Docelowo jest on przewidziany do pracy w torze pomiarowym współpracującym z pikselowym detektorem promieniowania. W tym przypadku wymagania skupiły się na stosunkowo wysokiej częstotliwości próbkowania (kilkanaście megaprobek/s) i małej powierzchni zajmowanej przez układ. Dużą zaletą układu przetwornika w takiej konfiguracji jest jego wysoka efektywność energetyczna oraz mała liczba aktywnych elementów analogowych (w tym komparatorów), co dobrze wpisuje się w aktualnie stosowane procesy technologiczne. Autor na początku wskazuje na wadę klasycznego algorytmu przetwarzania przetwornika kompensacyjnego, tj. konieczność pracy komparatora w pełnym zakresie napięć wejściowych, co jest związane z wejściowym napięciem wspólnym jakie wtedy występuje w układzie, i nie jest wskazane z punktu widzenia złożoności aplikacyjnej takiego komparatora w aktualnie stosowanych technologiach wykonywania układów scalonych. Autor proponuje w pracy modyfikację algorytmu przetwarzania pozwalającą ograniczyć ten efekt. Polega on na pomiarze różnicy napięcia referencyjnego i wejściowego oraz wbudowaniu mechanizmu S&H w wewnętrzny przetwornik C/A. Implementacja algorytmu działania przetwornika C/A wymaga wtedy jedynie elementów biernych oraz przełączanych kluczy analogowych i bazuje na redystrybucji ładunku. Aby osiągnąć dużą wartość częstotliwości próbkowania i małe wymiary układu konieczne jest zastosowanie kondensatorów o małych wartościach pojemności, co z kolei skutkuje efektami niedopasowania i znacznymi szumami termicznymi. Jako, że główną przyczyną niedokładności jest niepowtarzalność wykonania kondensatorów, autor przeprowadził analizę i wyprowadził zależność odchylenia standardowego wartości pojemności kondensatorów od liczby bitów przetwornika przy założeniu, że to odchylenie nie może powodować błędów przetwornika większych niż  $0,5$  LSB. Jest to wskazówka, na ile precyzyjnie należy projektować pojemności w przetworniku. Pokazał również jakie powinny być minimalne wartości pojemności ze względu na szumy termiczne dla różnych rozdzielczości przetworników. Ze względu na dużą liczbę elementów koniecznych do wykonania układu przy założonej liczbie bitów przetwornika (a tym samym dużą zajmowaną powierzchnią) Autor zaproponował dwustopniową architekturę przetwornika C/A i rozważył dwa możliwe rozwiązania układowe. Finalnie do projektu wybrał rozwiązanie z pierwszym stopniem pojemnościowym, a drugim rezystancyjnym, próbując zminimalizować jego wady (prąd statyczny występujący w strukturze rezystancyjnej i mający wpływ na moc wydzielaną w

układzie). Przeprowadził analizę doboru liczby bitów w poszczególnych sekcjach przetwornika, ze względu na zajmowaną powierzchnię i pobieraną moc. Do realizacji wybrał opcję 4-bitowej części pojemnościowej i 3 bitowej części rezystancyjnej. Pozwoliło to na redukcję pobieranej mocy około 2,5 razy. W układzie komparatora nie zastosowano żadnej korekcji, godząc się na ewentualne przesunięcie zera charakterystyki statycznej przetwornika A/C. Rejestr SAR zoptymalizowano ze względu na zajmowaną powierzchnię. Rejestr ten może pracować z zegarem 20 MHz, daje maksymalną częstotliwość próbkowania przetwornika równą 2,5 MHz. Struktura układu została zaprojektowana ze szczególnym uwzględnieniem powtarzalności elementów pojemnościowych przetwornika C/A, które mają największy wpływ na jego dokładność. Układ zaprojektowano i wykonano w technologii CMOS 180 nm. Eksperymentalnie wyznaczono błędy nieliniowości całkowitej i różnicowej. Były one mniejsze niż 0,35 LSB. Test dynamiki przetwornika przeprowadzono przy ograniczonej częstotliwości sygnału wejściowego (ok. 4-krotnie), kompensując to potem decymacją danych wyjściowych przetwornika. Na tej podstawie oceniono takie parametry jak ENOB i SFDR równe odpowiednio 6,54 bita oraz 56,4 dB, co należy uznać za dobre wyniki (choć pewien komentarz do dyskusji zamieściłem w uwagach). Uzyskano również dobrą efektywność energetyczną i zajętość powierzchni, a więc postawiony na wstępie cel został osiągnięty (obrazuje to przedstawione w tabeli 3.6 zestawienie uzyskanych parametrów układu w odniesieniu do innych rozwiązań technicznych i znaczna przewaga jego parametrów kluczowych).

W rozdziale 4 przedstawiono konstrukcję przetwornika A/C w układzie odczytowym współpracującym z pikselową matrycą czujników promieniowania X, przeznaczoną do obrazowania obiektów, najczęściej w zastosowaniach „bio”. Każdy piksel matrycy współpracuje z pojedynczym kanałem przetwarzania. Podstawowym wymaganiem przy tego typu zastosowaniach jest bardzo duża szybkość działania układu. Często obserwacja padających fotonów odbywa się w zadanym oknie energetycznym lub powyżej wybranego progu, metodą ich zliczania. Wyzwaniem jest obserwacja wszystkich fotonów w pełnym zakresie energetycznym. W takim przypadku konieczne jest zastosowanie przetwornika A/C o niezbyt dużej liczbie bitów w każdym torze pomiarowym, współpracującym z pojedynczym pikselem. Ze względu na dużą zwykle liczbę czujników, jednym z wymogów jest jak najmniejsza powierzchnia zajmowana przez układ i związana z tym minimalizacja pobieranej mocy. Do tej pory nie stosowano rozwiązań z przetwornikami A/C przy rozmiarach pikseli mniejszych od  $100 \times 100 \mu\text{m}$ . Wymagania takie prowadzą do wyboru bardzo prostych architektur przetworników. Autor zdecydował się na asynchroniczny przetwornik typu „flash”, o małej liczbie bitów. Ze względu na małą dostępną powierzchnię zdecydował się na zastosowanie tranzystorów o bardzo małych wymiarach (ze wszystkimi omawianymi w rozdz. 2 konsekwencjami). W tym rozwiązaniu nie było jednak możliwości zastosowania układów korekcyjnych podobnych jak w układzie przedstawiony w rozdz. 2. Autor zdecydował się więc na rozwiązanie z dynamiczną korekcją wartości napięcia niezrównoważenia. Podobnie jak w rozdz. 2 zastosował dwa układy kształtujące sygnał. Szybszy z nich posłużył jako układ wyzwalający przetwarzanie, a wolniejszy jest źródłem sygnału dla przetwornika A/C. Zdecydował się wykonać projekty układu w dwóch technologiach 180 i 40 nm. Aby móc porównać ich właściwości, układy posiadały taką samą architekturę i parametry, jak np. liczba bitów (4 bity), częstotliwość próbkowania (5 MHz) i zakres napięć wejściowych (300 mV). Struktura układu odwzorowuje ideę działania typowego przetwornika typu „flash”. Autor dodatkowo wykorzystuje w tym przypadku kondensator dołączony do wejścia komparatora, na którym „zapamiętuje”, przy odpowiedniej konfiguracji układu, wejściowe napięcie niezrównoważenia. Tak naładowany kondensator włączony jest następnie szeregowo z napięciem referencyjnym do wejścia odwracającego,

kompensując napięcie niezrównoważenia komparatora. Kluczowym parametrem przetwornika są komparatory i Autor dokonał w pracy porównania obu technologii (z punktu widzenia właśnie komparatora), w których podjął się zaprojektować układ. Zaprojektowane układy zajmują powierzchnię:  $35 \times 25 \mu\text{m}$  dla technologii 40 nm i  $160 \times 55 \mu\text{m}$  dla technologii 180 nm. Po wykonaniu układów, eksperymentalnie wyznaczono ich podstawowe parametry. Układy testowano przy częstotliwości próbkowania równej 5MHz. Wykazano, że zastosowana metoda korekcji napięcia niezrównoważenia sprawdziła się i pozwoliła na znaczące ograniczenie rozrzutów tego napięcia. W przypadku technologii 180 nm wyraźnie widać zależność wartości tego napięcia od napięcia referencyjnego przy jakim pracuje komparator. Autor przeprowadził badania symulacyjne, i stwierdził, że przyczyną może być zbyt małe pasmo kaskady tranzystorów w strukturze komparatora. Szczególnie dobre wyniki uzyskano dla technologii 40 nm, stwierdzono przy okazji zależność wartości napięcia niezrównoważenia od umieszczenia danego komparatora w strukturze układu. W przypadku każdej z technologii, odchylenie standardowe tych napięć udało się ograniczyć od kilku do kilkunastu razy. W przypadku parametrów przetwornika A/C (podobnie jak w poprzednich przypadkach) wyznaczono błędy nieliniowości. Dla obu zastosowanych technologii ich wartości maksymalne były na podobnym poziomie tj. ok. 0,4 LSB. Testy dynamiczne przeprowadzono przy obniżonej częstotliwości próbkowania. Autor pokazał uzyskane widma, nie pokusił się jednak o policzenie współczynników charakteryzujących przetworniki np. jak w rozdz. 3., ani nie skomentował uzyskanych wyników. Uznanie budzi natomiast bardzo mały pobór mocy ( $17 \mu\text{W}$ ) w technologii 40 nm i stosunkowo wysokie efektywne liczby bitów dla obu technologii.

Pewien niedosyt budzi też minimalizm i ogromna oszczędność w słowach przy pisaniu pracy. Kilka stron więcej i na pewno czytało by się pracę znacznie płynniej, bez uciekania się czasami do zewnętrznej literatury (brakuje wyjaśnienia skrótów, podstawowych definicji niektórych stosowanych wielkości i współczynników, itp.).

#### 4. Uwagi do dyskusji

Autor nie ustrzegł się jednak pewnych nieścisłości i niedociągnięć:

1. Rozprawa nie zawiera streszczenia w języku polskim (wg ustawy powinna),
2. Różne oznaczenia stosowane we wzorach i w tekście (np. str. 4) – uwaga edycyjna,
3. Autor używa slangowego pojęcia „kod termometryczny” do określenia stanu wyjścia przetwornika A/C typu „flash”. Poprawnie – kod unitarny (np. str. 11, 41),
4. Str. 11 – czy jeśli liczba komparatorów w układzie A/C jest problemem (Autor pisze o wielu problemach stąd wynikających - aby zminimalizować negatywne efekty konieczne było dodanie do każdego komparatora przetwornika C/A w układzie korekcyjnym), czy nie lepiej było zastosować strukturę szeregowo-równoległą, i np. przy 6-bitowym przetworniku ograniczyć liczbę komparatorów z 63 do 14, czy problemem była szybkość przetwarzania przetwornika??, czy Autor brał pod uwagę tego typu strukturę?
5. Str 15. Na wyjściu bufora korekcyjnego odchylenie standardowe wyjściowego napięcia niezrównoważenia (symulacja) wynosiło 5mV, a ile wynosiło przed korekcją??
6. Str. 17, trzecia linia od dołu, jaki jest wymiar rezystancji warstwy??,
7. Zabrakło mi omówienia (a nawet tylko przedstawienia) układów, w jakich prowadzone były pomiary błędów przetworników i w jakich warunkach, czy nawet odwołania się do literatury w tym zakresie. Przedstawiono jedynie dwa rodzaje



- błędów z całej gamy charakteryzującej właściwości przetworników A/C (a np. błędy komutacji, histerezy, błąd zera, błąd wzmocnienia?),
8. W przypadku pierwszego projektowanego przetwornika nie określono maksymalnej częstotliwości próbkowania, choćby nawet metodami symulacyjnymi,
  9. Na rys. 2.22 przedstawione są charakterystyki **błędów** nieliniowości określone dla pełnego zakresu przetworników (w literaturze zwykle podaje się maksymalne wartości tych błędów),
  10. Na str. 27 Autor używa pojęcia „suma kondensatorów”, raczej powinno być „suma pojemności kondensatorów”,
  11. Str. 33. Pierwsza linia od góry, Autor pisze o kluczu S8, chodzi raczej o klucz S7,
  12. Str. 38, do oceny przetwornika zastosowano współczynnik SFDR, który nie był wcześniej zdefiniowany ani wspomniany w pracy. Rysunek 3.17, SFDR jest podany w dB, co jest odniesieniem przy wyliczaniu tego współczynnika (amplituda zadawanego sygnału??)? – wtedy zwyczajowo powinny być dBc. Poza tym na rysunku relacja między amplitudą i najsilniejszym zakłóceniem jest mniejsza niż 40 dB,
  13. Autor często posługuje się skrótami nie wyjaśniając ich przy pierwszym użyciu (np. str. 44, tab. 4.4 – np. GBW). A poza tym chyba coś jest nie tak z jednostką tego parametru, jest M, a powinno być MHz,
  14. Drobne błędy edycyjne i interpunkcyjne (np. str. 41 (kropka na końcu zdania), 43 (cascode – cascade??), 47 (w tabeli 4.5, jednostka napięcia małą literą), itp.).

## 5. Podsumowanie i wniosek końcowy

Za oryginalne i wartościowe osiągnięcia Doktoranta uważam:

1. Projekt 5-bitowego przetwornika A/C w strukturze „flash” z unikalnym rozwiązaniem układu korekcji napięcia offsetu komparatorów (dzięki precyzyjnemu przetwornikowi C/A). Rozwiązanie takie pozwoliło znacząco na redukcję zajmowanego przez przetwornik obszaru (około 4 razy) i poprawę liniowości jego charakterystyki statycznej. Dzięki takiej korekcji rozrzuty napięcia niezrównoważenia ograniczone zostały około 16-krotnie.
2. Projekt 7-bitowego kompensacyjnego przetwornika A/C o bardzo niskim poborze mocy (ok.  $4.4 \mu\text{W}$ ) charakteryzującego się bardzo dobrą efektywnością energetyczną – poniżej 100 fJ/krok przetwarzania. Szczególną cechą tego układu jest również bardzo mała zajmowana powierzchnia ( $90 \times 95 \mu\text{m}$ ).
3. Projekt 4-bitowego przetwornika A/C typu „flash” z bardzo małą powierzchnią zajmowaną przez komparatory, co udało się uzyskać dzięki układowi dynamicznej kompensacji napięcia niezrównoważenia komparatorów. Ograniczenie rozrzutów napięć niezrównoważenia między 7 a 16 razy w zależności od zastosowanej technologii wykonania układu. Szczególnie dobre wyniki uzyskane dla technologii 40 nm i ciekawe wnioski dotyczące związków parametrów układu z jego strukturą.
4. Fakt, że założenia projektowe wszystkich analizowanych układów, Autor potwierdził badaniami eksperymentalnymi lub w przypadku niezgodności potrafił je diagnozować i wyjaśniać.
5. Dużą biegłość i umiejętność posługiwania się zarówno narzędziami symulacyjnymi, projektowymi jak i sprzętowymi przy weryfikacji parametrów zaprojektowanych układów,

6. Dodatkowo, umiejętność systematycznej pracy badawczej i projektowej, umiejętność właściwego planowania badań i pracy w zespole oraz efektywne publikowanie na bieżąco wyników swoich prac.

Praca napisana bardzo starannie od strony językowej, edycyjnej i graficznej (nieliczne tylko usterki edycyjne).

Docenić natomiast należy ogromny nakład pracy, który widać w przedłożonym tekście i dużą swobodę poruszania się Autora w obszarze, w którym ulokowana jest tematyka pracy. Warto dodać, że 11 prac Doktoranta odnotowanych jest w bazie WoS, a indeks  $h=1$ .

**Biorąc pod uwagę wszystkie powyżej sformułowane uwagi krytyczne jak również pozytywne oceny, z całym przekonaniem stwierdzam, że przedstawiona rozprawa doktorska mgr inż. Piotra Otfinowskiego spełnia wymagania stawiane przez obowiązujące przepisy i wnioskuję o dopuszczenie Doktoranta do publicznej obrony tej rozprawy.**



